



西安交通大学

XI'AN JIAOTONG UNIVERSITY

# 第8章

# 时序MOS逻辑电路

西安交通大学微电子学院

国家集成电路人才培养基地

程 军 jcheng@mail.xjtu.edu.cn

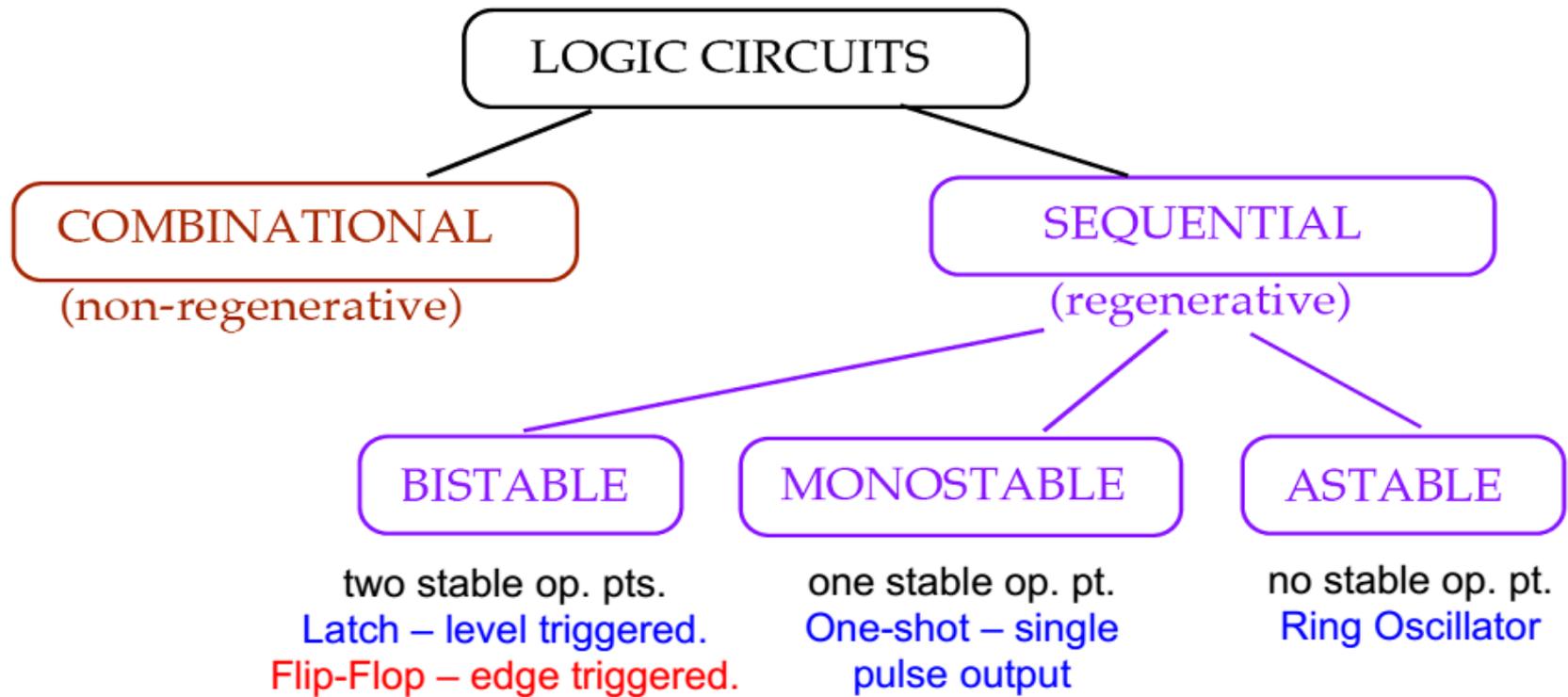
2019年4月

# 主要内容

- 概述
- 双稳态元件的特性
- SR锁存电路
- 钟控锁存器和触发器电路
- 钟控存储器的时间相关参数
- CMOS D锁存器和边沿触发器
- 基于脉冲锁存器的钟控存储器
- 基于读出放大器的触发器
- 时钟存储器件中的逻辑嵌入
- 时钟系统的能耗及其节能措施
- 附录：施密特触发器



# 概述

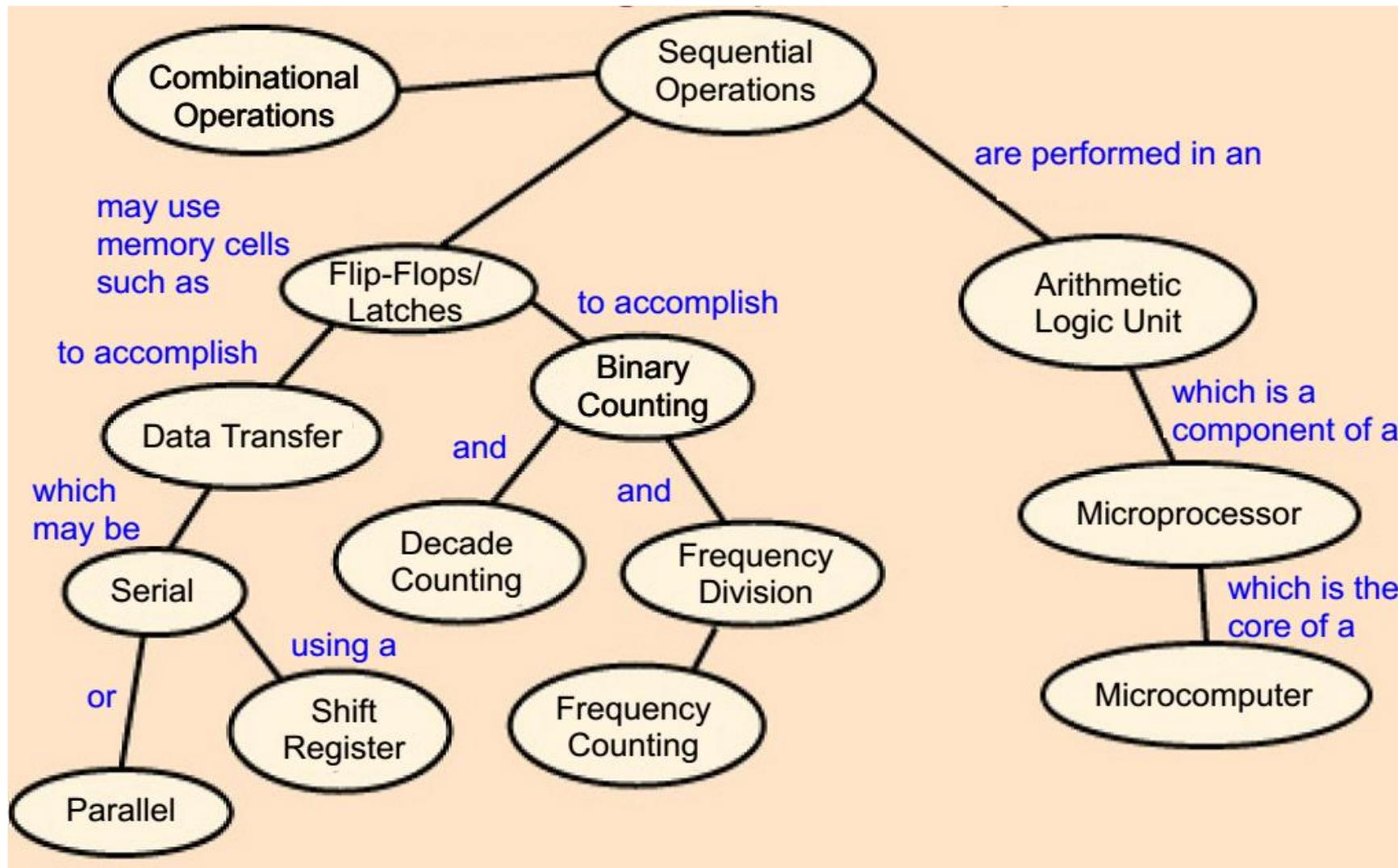


组合逻辑(Combinational Logic): 输出只由当前输入决定, 电路没有存储单元。

时序逻辑(Sequential Logic): 输出由当前输入和以前的输入(电路状态)决定, 用来实现需要若干步骤问题的解决, 电路中需要存储单元保存以前的输入形成的结果。

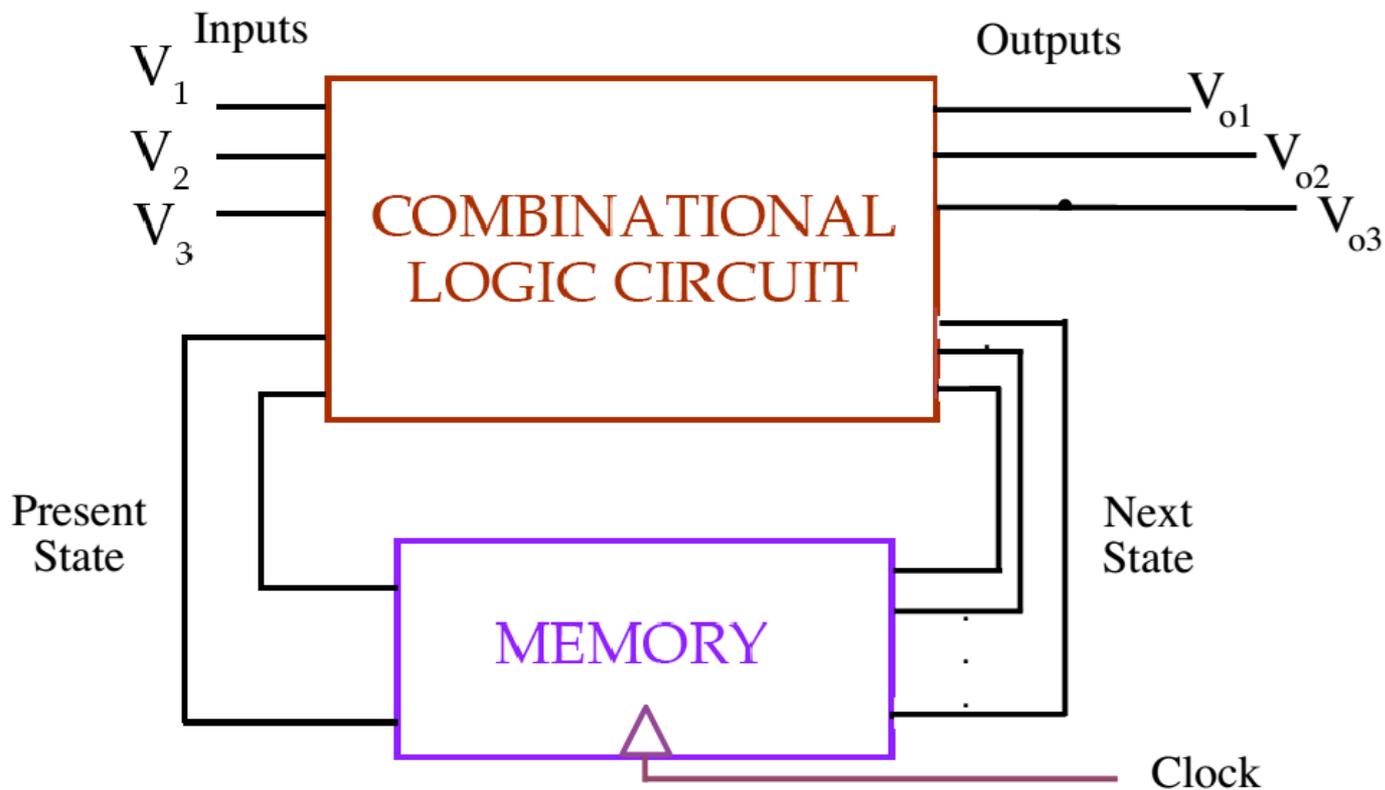


# 概述



# 概述

时序逻辑(Sequential Logic):



Memory用于存储之前的状态或者输出值。

异步(Asynchronous)时序电路: 没有时钟, 存储单元输出的变化由输入信号决定

同步(Synchronous)时序电路: 统一的时钟, 存储单元输出的变化在时钟沿发生

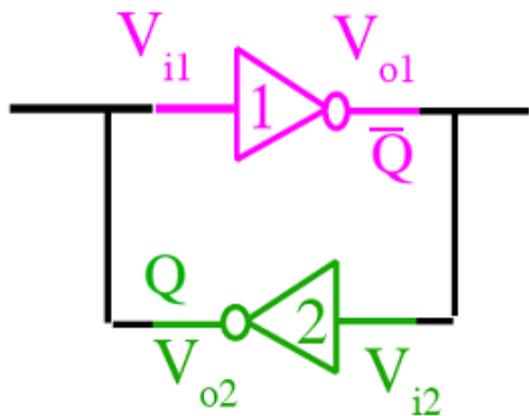


# 主要内容

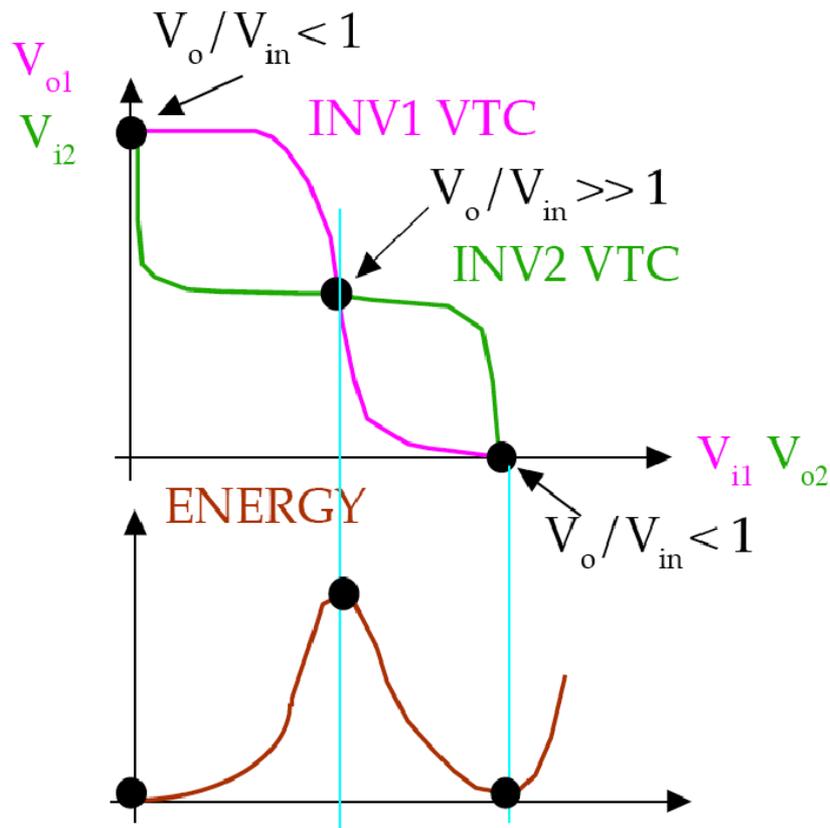
- 概述
- 双稳态元件的特性
- SR锁存电路
- 钟控锁存器和触发器电路
- 钟控存储器的时间相关参数
- CMOS D锁存器和边沿触发器
- 基于脉冲锁存器的钟控存储器
- 基于读出放大器的触发器
- 时钟存储器件中的逻辑嵌入
- 时钟系统的能耗及其节能措施
- 附录：施密特触发器



# 双稳态电路



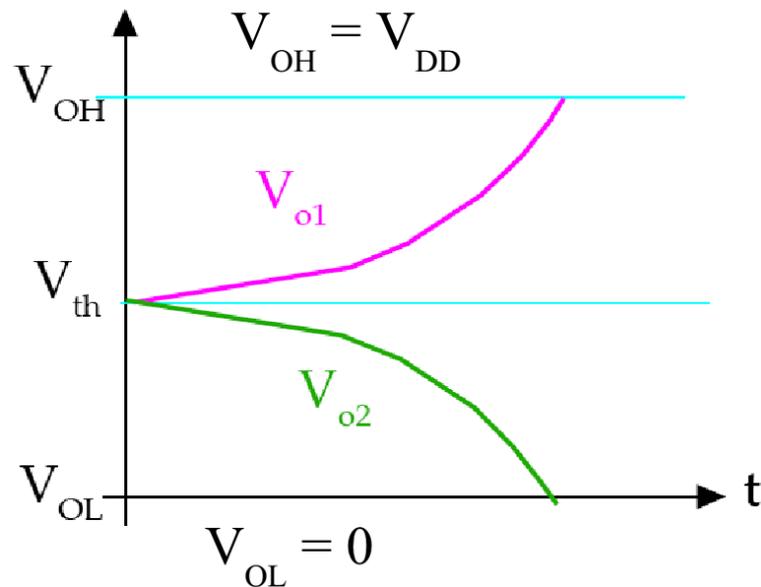
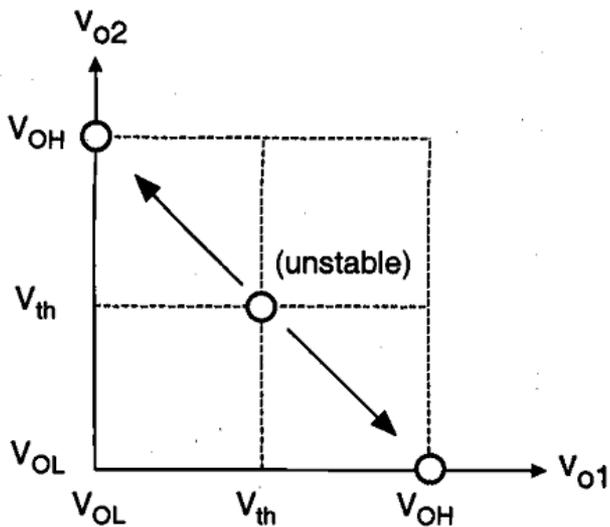
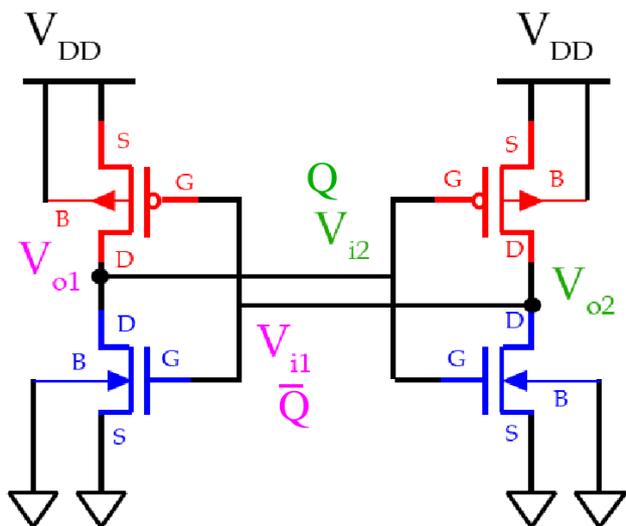
交叉耦合的反相器对构成的双稳态电路



在0和1的交叉点，有稍微的扰动，结果又回到原始状态，所以两端是稳态；在中间的交叉点，只要有一点扰动，电压就会变化到1或者0，所以中间的交叉点是非稳态。



# 双稳态电路



如何改变电路保存的状态？

- ① 使用驱动强度更强的电路
- ② 断开反馈回路

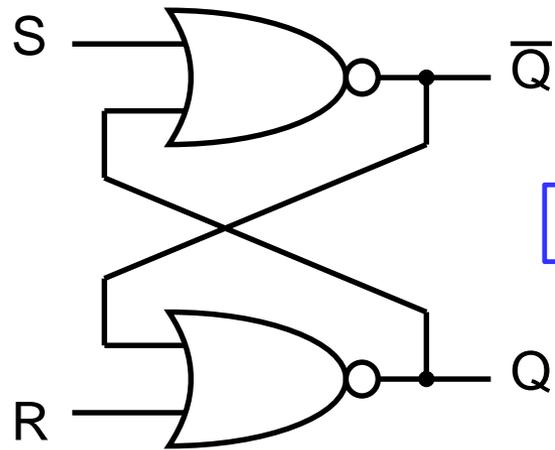


# 主要内容

- 概述
- 双稳态元件的特性
- **SR锁存电路**
- 钟控锁存器和触发器电路
- 钟控存储器的时间相关参数
- **CMOS D锁存器和边沿触发器**
- 基于脉冲锁存器的钟控存储器
- 基于读出放大器的触发器
- 时钟存储器件中的逻辑嵌入
- 时钟系统的能耗及其节能措施
- 附录：施密特触发器

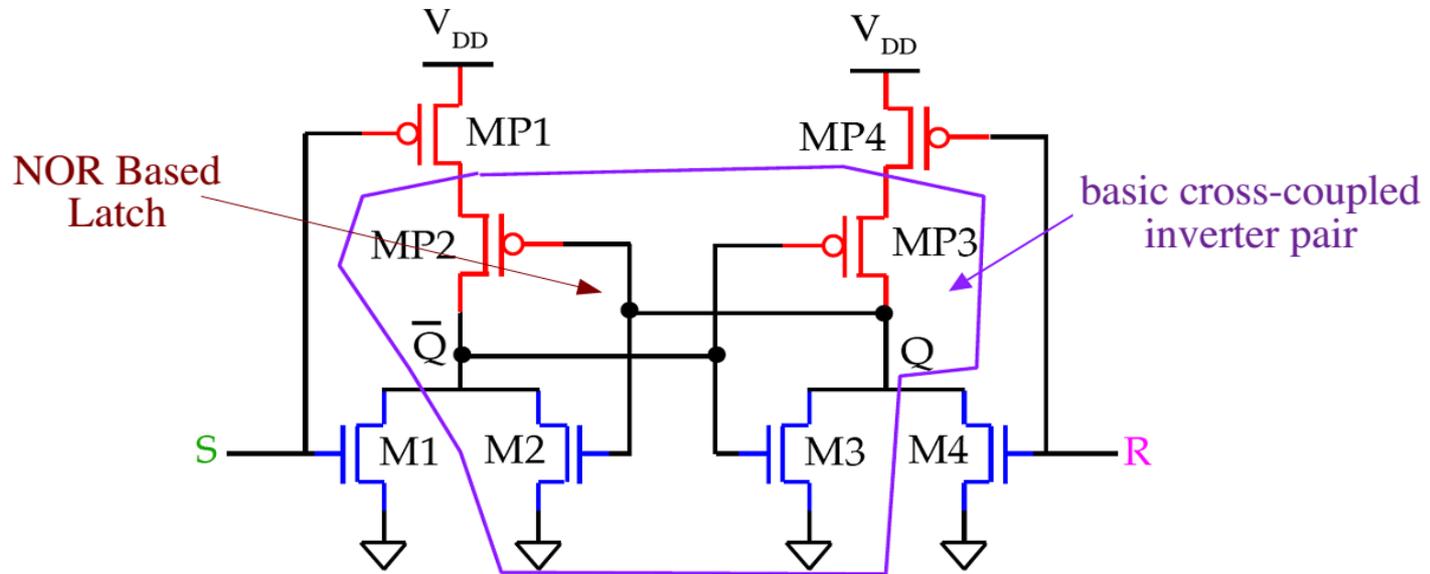


# SR锁存电路(RS锁存器)

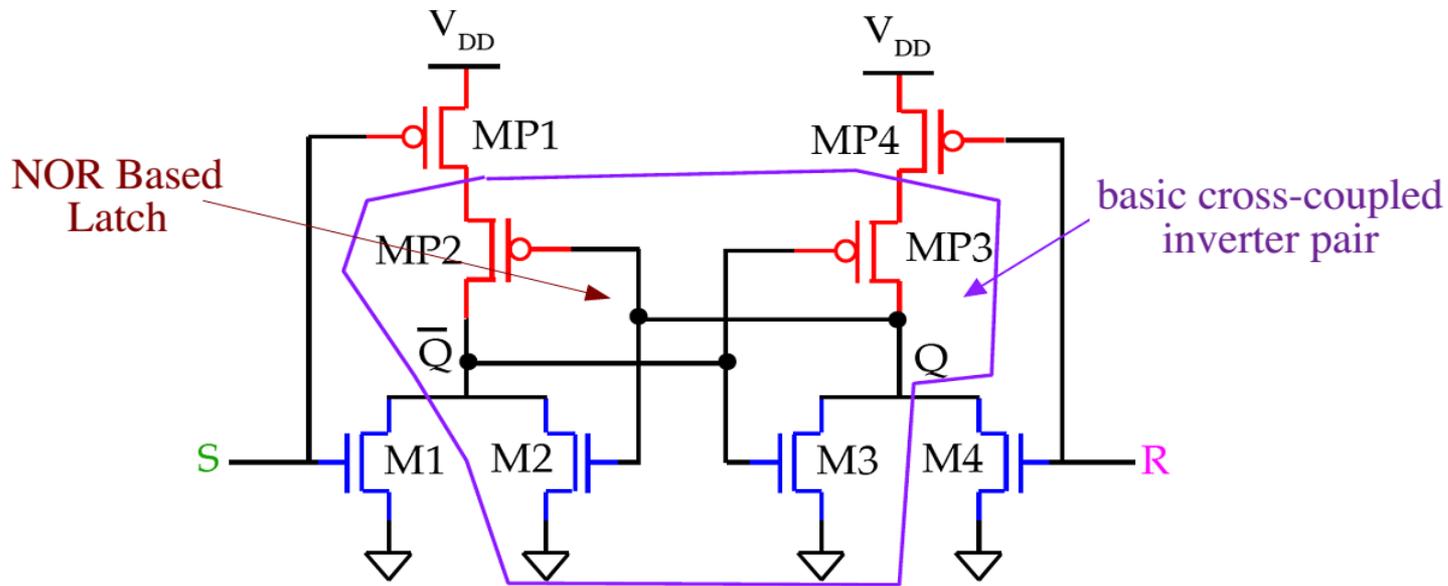


S	R	Q	$\bar{Q}$	
0	0	Q	$\bar{Q}$	保存
1	0	1	0	置位
0	1	0	1	复位
1	1	0	0	禁止

高有效



# SR锁存电路—工作模式



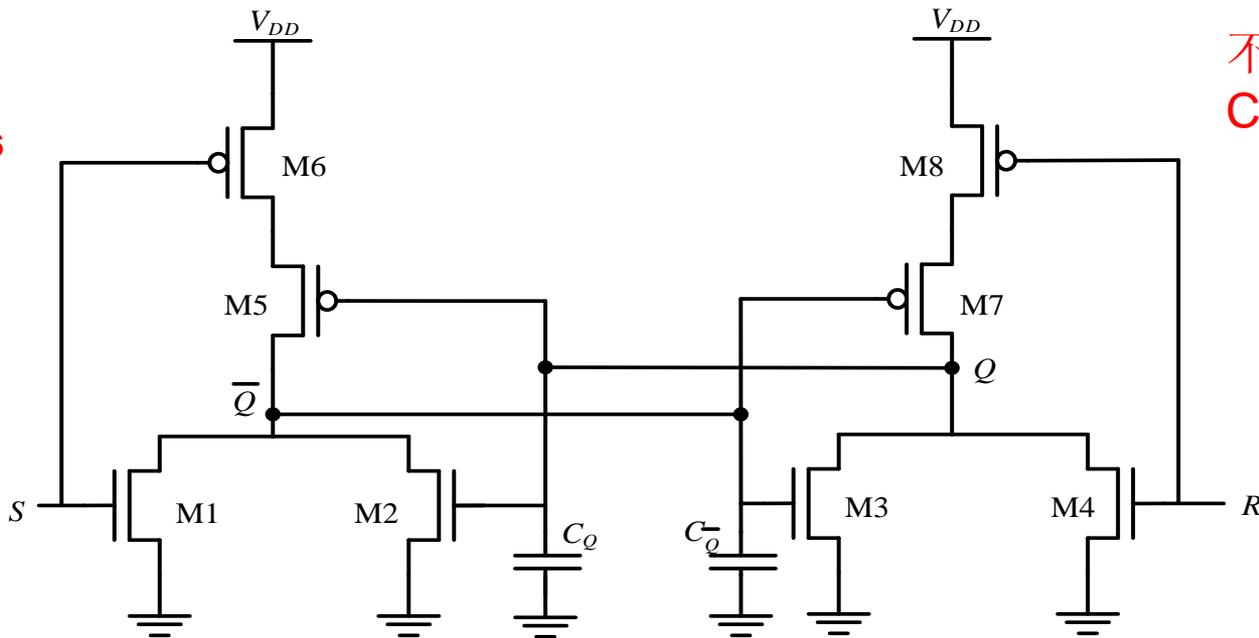
$S$	$R$	$Q_{n+1}$	$\overline{Q}_{n+1}$	工作状态
$V_{OH}$	$V_{OL}$	$V_{OH}$	$V_{OL}$	M1和M2导通, M3和M4截止; MP1/2截止, MP3/4导通
$V_{OL}$	$V_{OH}$	$V_{OL}$	$V_{OH}$	M1和M2截止, M3和M4导通; MP1/2导通, MP3/4截止
$V_{OL}$	$V_{OL}$	$V_{OH}$	$V_{OL}$	M1和M4截止, MP1和MP4导通; M2和MP3导通, M3和MP2截止
$V_{OL}$	$V_{OL}$	$V_{OL}$	$V_{OH}$	M1和M4截止, MP1和MP4导通; M3和MP2导通, M2和MP3截止

$S = V_{OH}$  且  $R = V_{OH}$  为禁止输入状态, 此时  $Q = V_{OL}$ ,  $\overline{Q} = V_{OL}$ , 是无效状态。



# SR锁存电路—瞬态响应

不应该有：  
 $C_{sb,5}$ 和 $C_{db,6}$



不应该有：  
 $C_{sb,7}$ 和 $C_{db,8}$

$$C_Q = C_{g,2} + C_{g,5} + C_{db,3} + C_{db,4} + C_{db,7}$$

$$C_{\bar{Q}} = C_{g,3} + C_{g,7} + C_{db,1} + C_{db,2} + C_{db,5}$$

精确计算延时：求解两个联立的微分方程，每个输出对应一个方程。

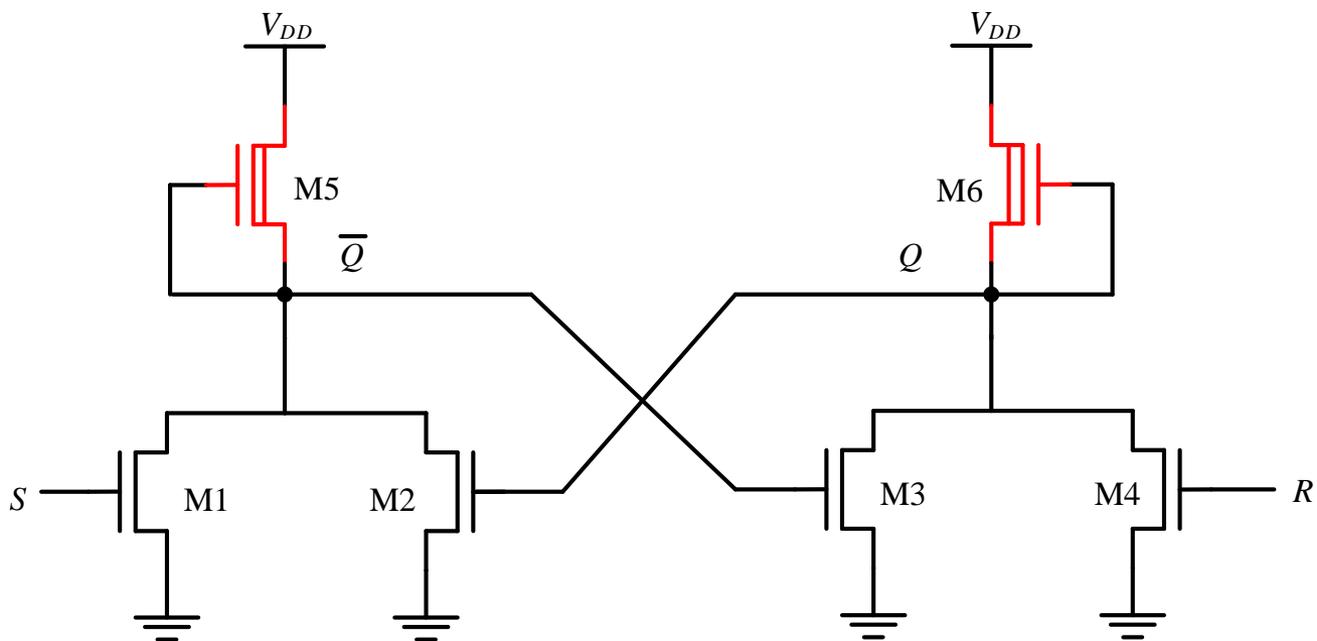
保守估算：假设这两个过程是先后发生的，结果会略微偏大。

初态为复位，令 $S=1$ ， $R=0$ ，则 $Q$ 的上升时间为：

$$\tau_{rise,Q} = \tau_{rise,Q}(\text{NOR } 2) + \tau_{fall,\bar{Q}}(\text{NOR } 2)$$



# 耗尽型nMOS负载SR锁存器

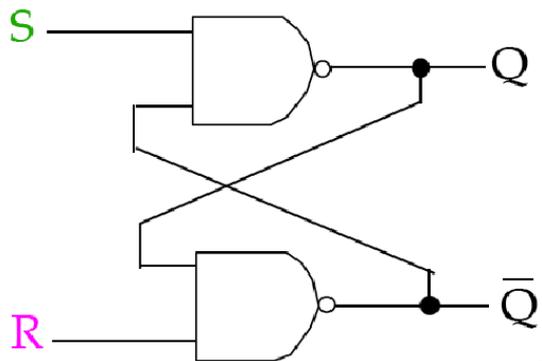


有比逻辑，工作原理与CMOS SR锁存器相同，但是有静态功耗，噪声容限降低。

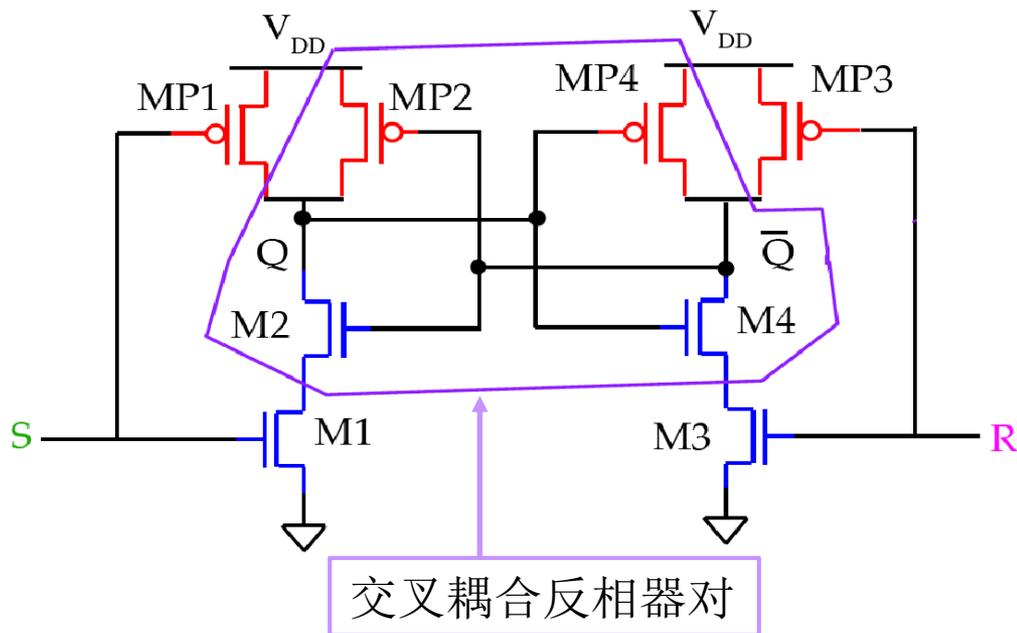
CMOS SR触发器有最大噪声容限，保持状态无静态功耗，晶体管尺寸不影响输出电压（无比逻辑）。



# NAND2构成的SR锁存器



S	R	$Q_{n+1}$	$\overline{Q}_{n+1}$	工作状态
0	0	1	1	无效/禁止
0	1	1	0	置位
1	0	0	1	复位
1	1	$Q_n$	$\overline{Q}_n$	保持

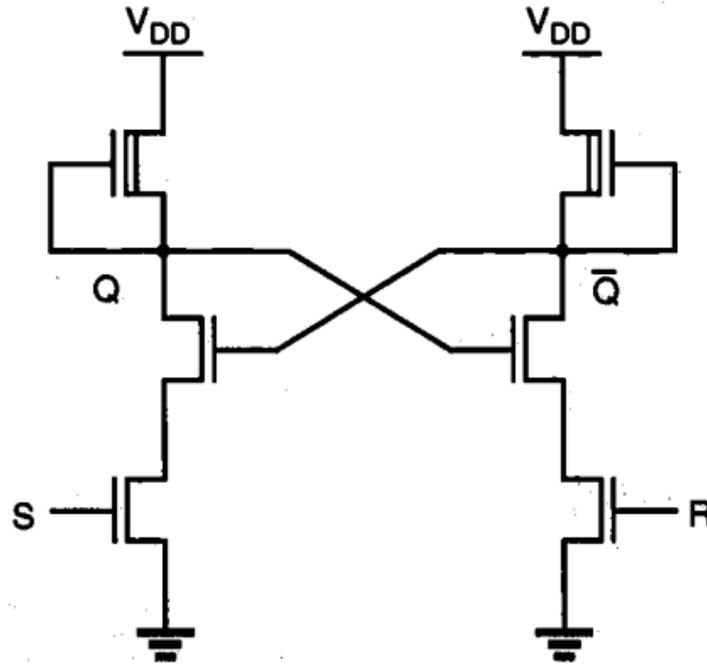


SR锁存器优缺点：最简单的锁存器，异步的锁存器，不允许序列输入。

NAND和NOR构成的SR锁存器，选择哪一个更好？



# NAND2构成的SR锁存器



耗尽型nMOS负载基于与非门的SR锁存器

功耗和噪声容限不如CMOS NAND SR锁存器

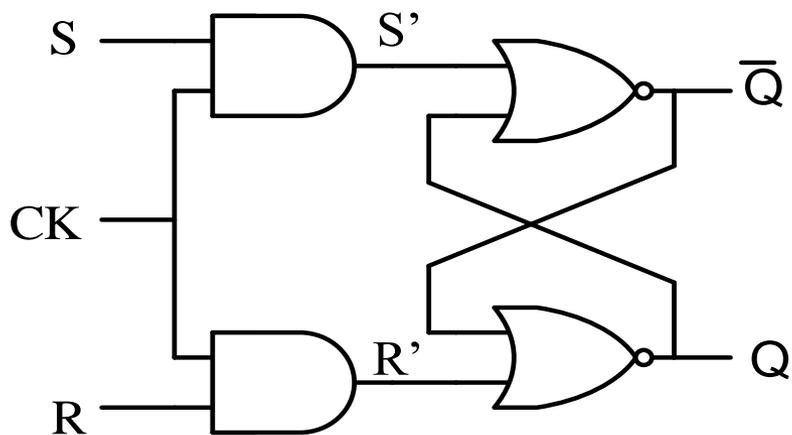


# 主要内容

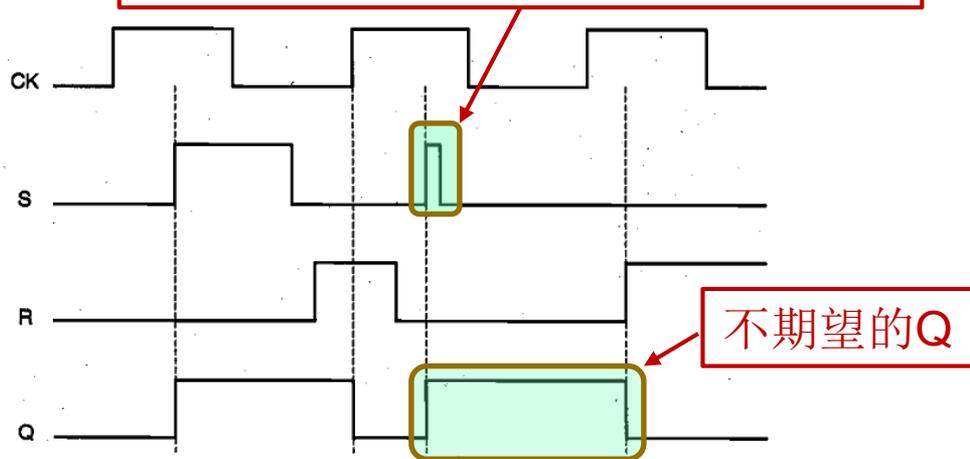
- 概述
- 双稳态元件的特性
- SR锁存电路
- 钟控锁存器和触发器电路
- 钟控存储器的时间相关参数
- CMOS D锁存器和边沿触发器
- 基于脉冲锁存器的钟控存储器
- 基于读出放大器的触发器
- 时钟存储器件中的逻辑嵌入
- 时钟系统的能耗及其节能措施
- 附录：施密特触发器



# 钟控SR锁存器



CK为高时，在S或者R上的毛刺都会使Q置位或者复位，这是不期望的

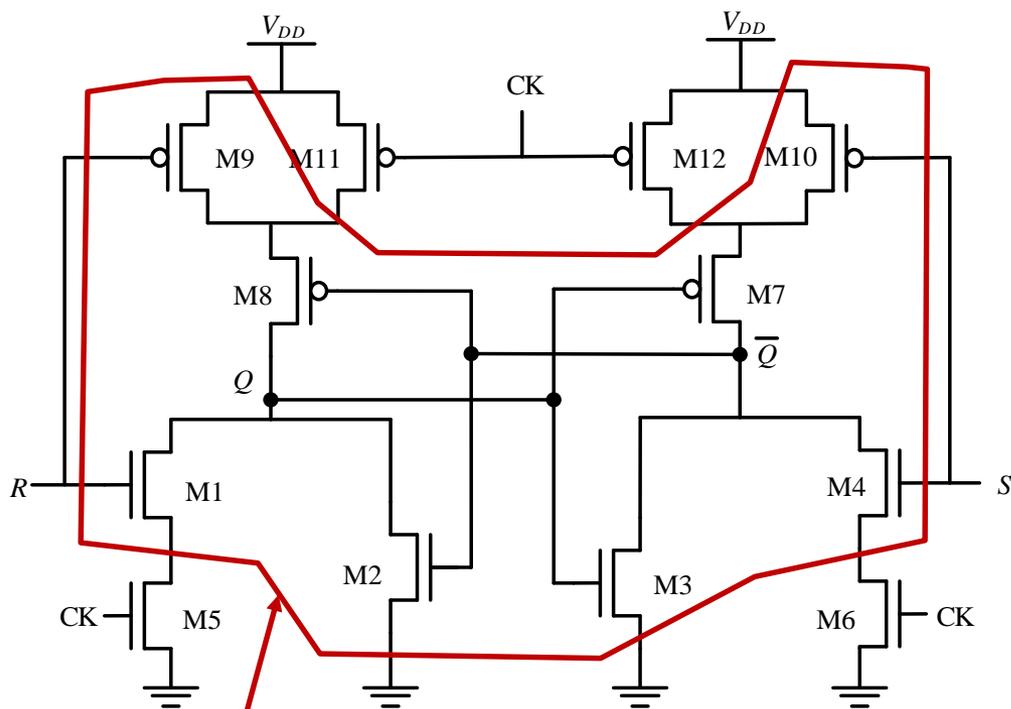


状态	CK	S	R	S'	R'	$Q_{n+1}$	$\overline{Q}_{n+1}$
保持	0	x	x	0	0	$Q_n$	$\overline{Q}_n$
置位	1	1	0	1	0	1	0
复位	1	0	1	0	1	0	1
禁止	1	1	1	1	1	?	?
保持	1	0	0	0	0	$Q_n$	$\overline{Q}_n$

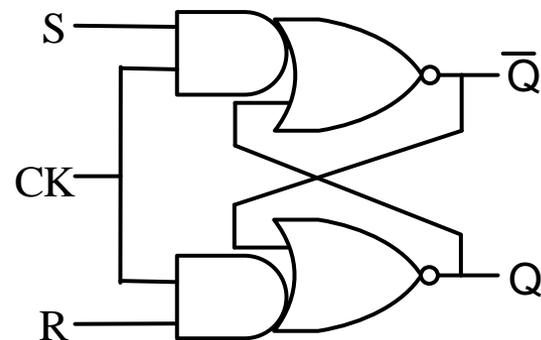
CK为低时，输入不影响Q的值；CK为高时，S和R上的电平改变都会影响Q的值



# 钟控SR锁存器—AOI门结构



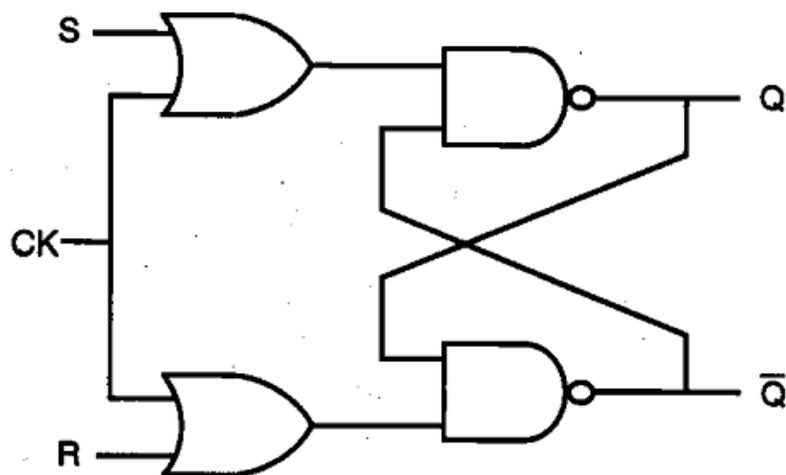
NOR构成的SR Latch



总共12个晶体管，比两输入与门和两输入或非门构成的电路面积小。

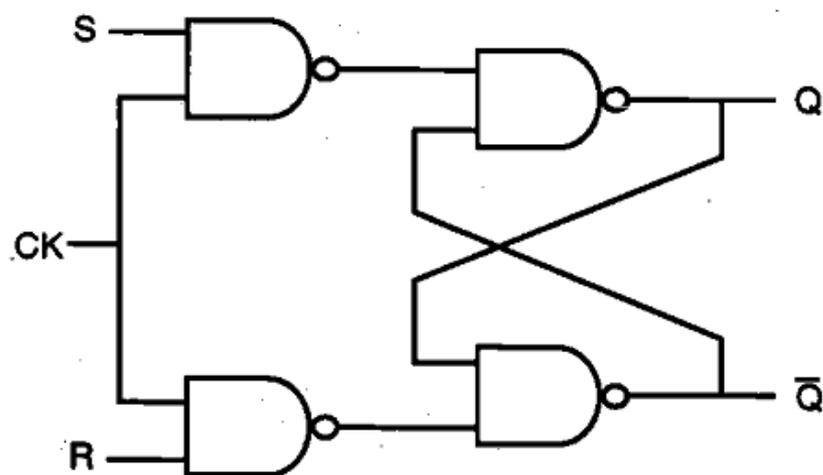


# 钟控SR锁存器



时钟输入低有效的、基于NAND SR锁存器的钟控SR锁存器

可以用OAI实现，只需要12个晶体管



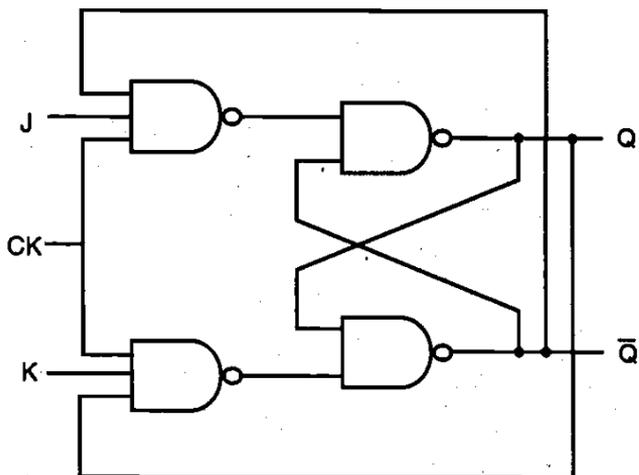
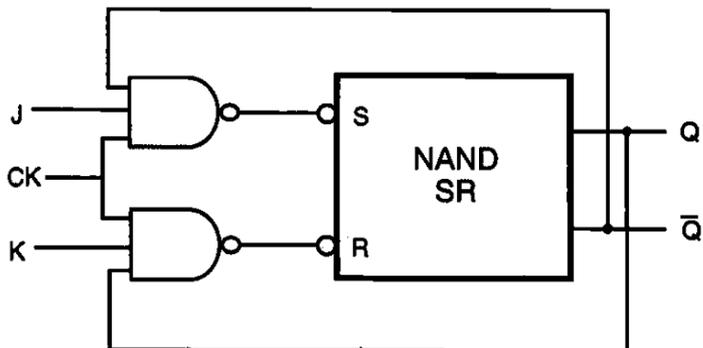
时钟输入高有效的、基于NAND SR锁存器的钟控SR锁存器

用二输入NAND门实现，需要16个晶体管

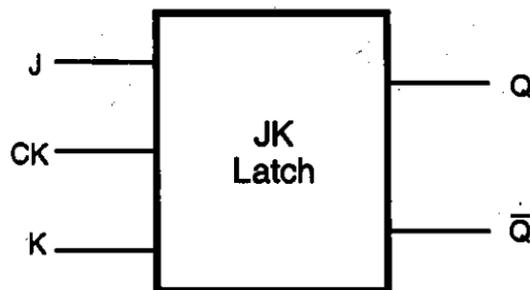


# 钟控JK锁存器(JK触发器)

钟控SR锁存器存在不允许的状态：S、R同时有效，Q和QN同时为1，电路状态是不允许的。



同时输入1、1时，电路状态保持，不会出现同时输出1的情况。



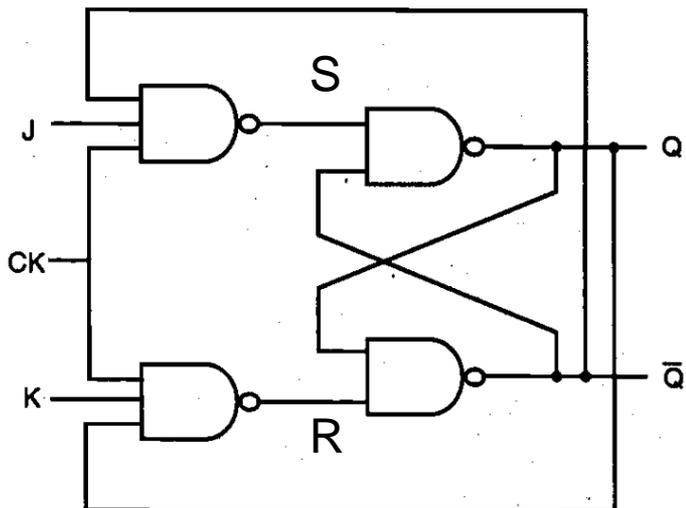
NAND Latch真值表

S	R	$Q_{n+1}$	$\overline{Q_{n+1}}$	工作状态
0	0	1	1	无效/禁止
0	1	1	0	置位
1	0	0	1	复位
1	1	$Q_n$	$\overline{Q_n}$	保持

由于反馈的存在，使得NAND SR锁存器不存在两个同时为0的输入



# 钟控JK锁存器



NAND Latch真值表

S	R	$Q_{n+1}$	$\overline{Q_{n+1}}$	工作状态
0	0	1	1	无效/禁止
0	1	1	0	置位
1	0	0	1	复位
1	1	$Q_n$	$\overline{Q_n}$	保持

CK=0时, S=R=1, Latch处于保持状态。

当CK=1时,

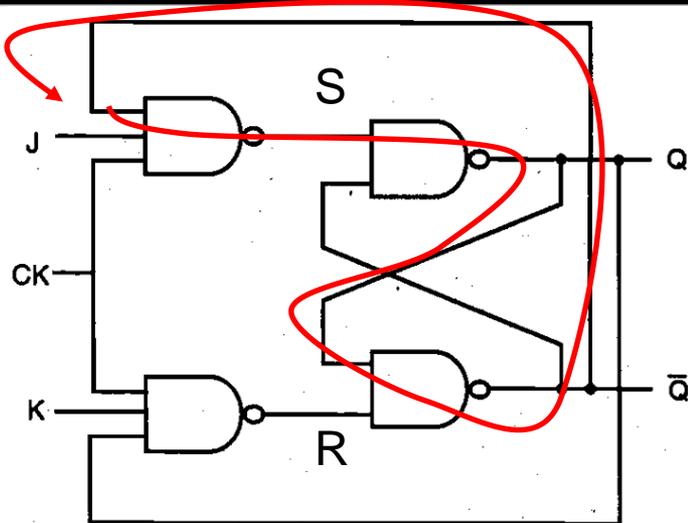
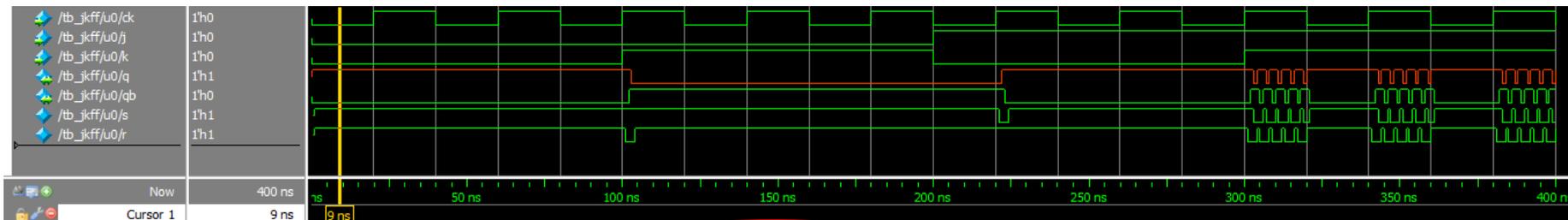
J	K	$Q_n$	$\overline{Q_n}$	S	R	$Q_{n+1}$	$\overline{Q_{n+1}}$	工作状态
0	0	0	1	1	1	0	1	保持状态
0	0	1	0	1	1	1	0	
0	1	0	1	1	1	0	1	复位
0	1	1	0	1	0	0	1	
1	0	0	1	0	1	1	0	置位
1	0	1	0	1	1	1	0	
1	1	0	1	0	1	1	0	翻转
1	1	1	0	1	0	0	1	

Q值产生振荡,  
不期望的状态



# 钟控JK锁存器

用VerilogHDL仿真器模拟，当 $J=K=1$ 时，可以看到Q在CK为高电平时发生振荡，这是不期望出现的！！

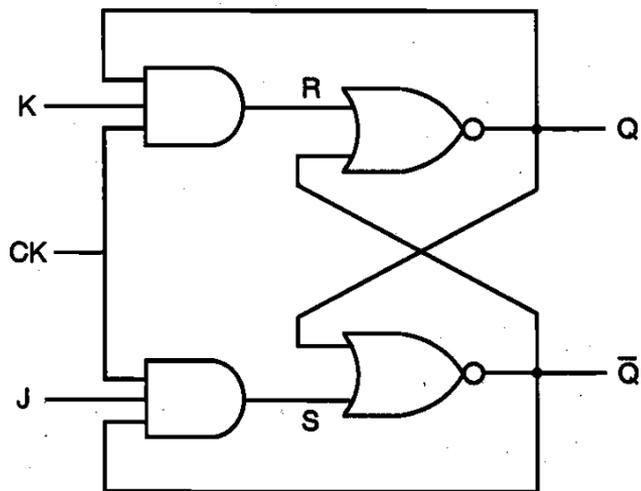


此时是三个反相器头尾相连，因此产生了振荡！

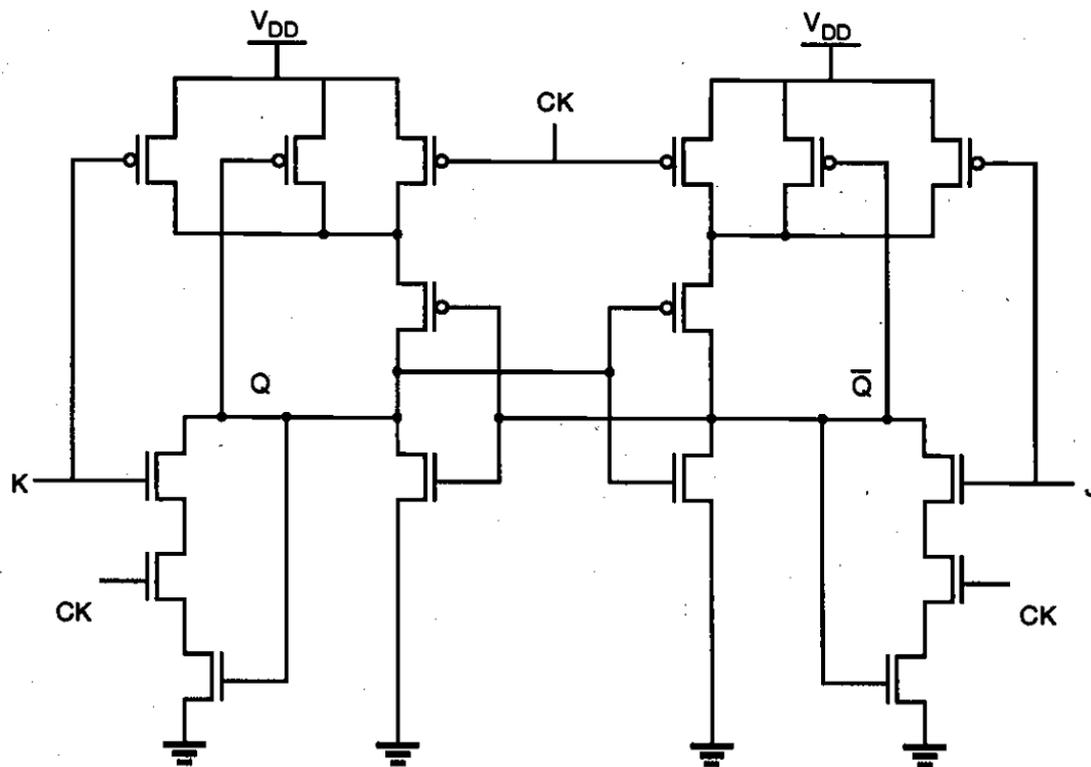
为了不产生振荡，必须CK的高电平时间小于JK锁存器从输入到输出的延时，这样时钟频率就会太高，这对数字电路设计是难以实现的。



# 钟控JK锁存器—其他电路形式



基于NOR SR Latch的钟控JK锁存器



用AOI门实现的钟控JK锁存器CMOS电路

比图8.20用全NAND门实现的钟控JK锁存器晶体管个数少！



# 主从触发器

JK触发器在 $J=K=1$ 输入时输出会振荡，这是不期望的；存在的时序限制问题，可以用主从触发器实现。

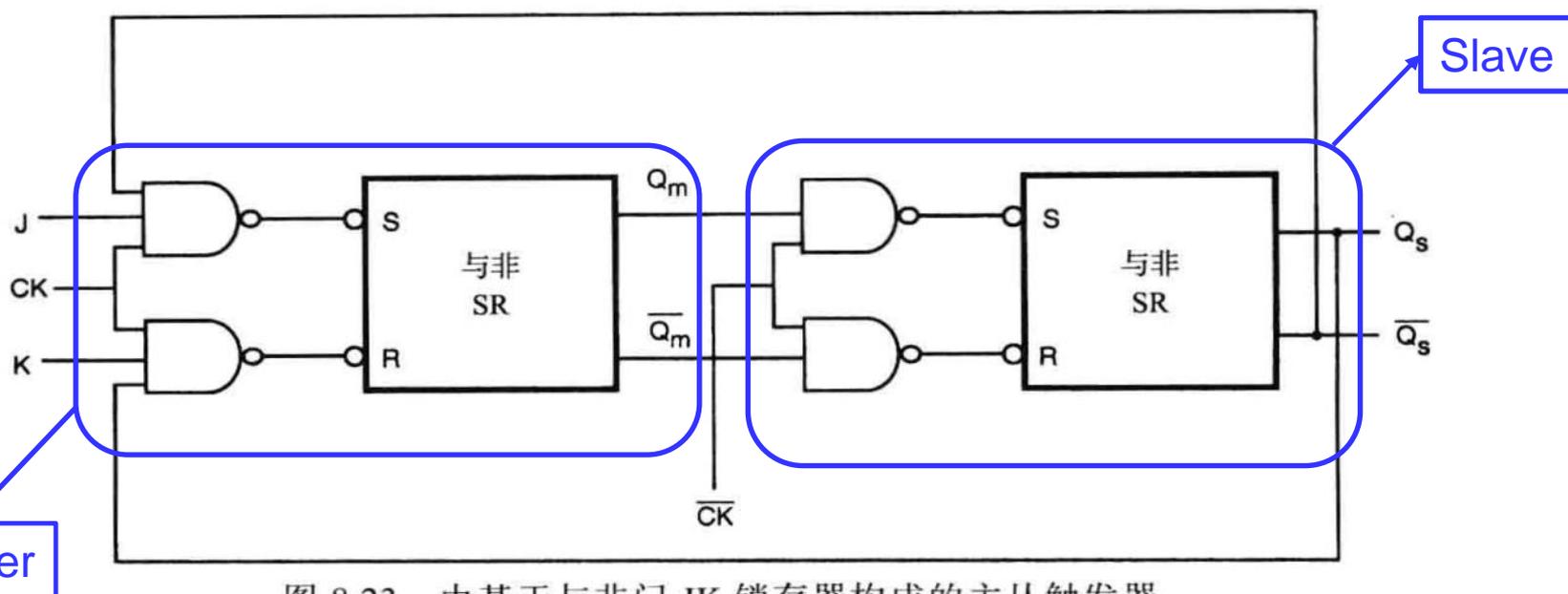


图 8.23 由基于与非门 JK 锁存器构成的主从触发器

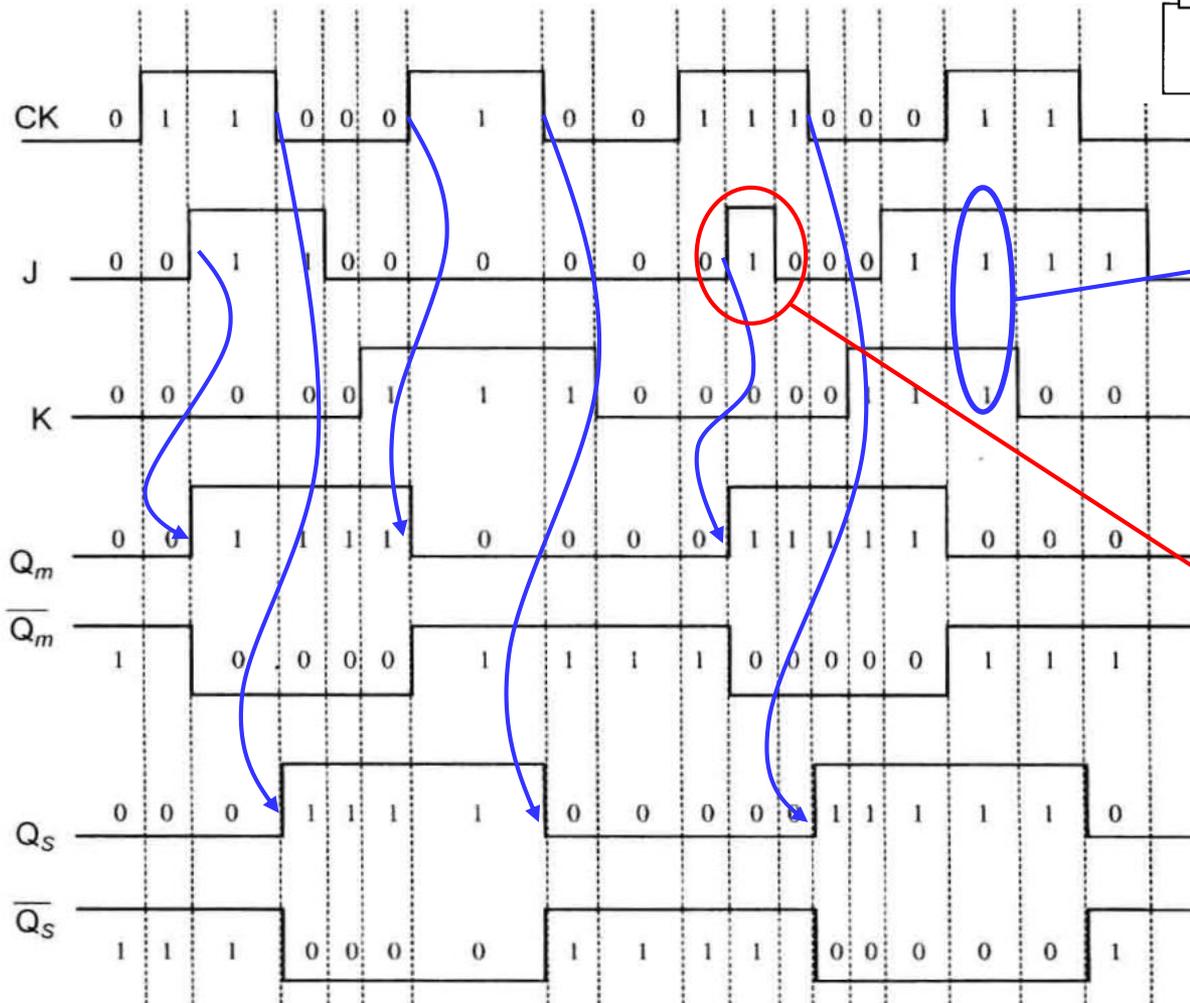
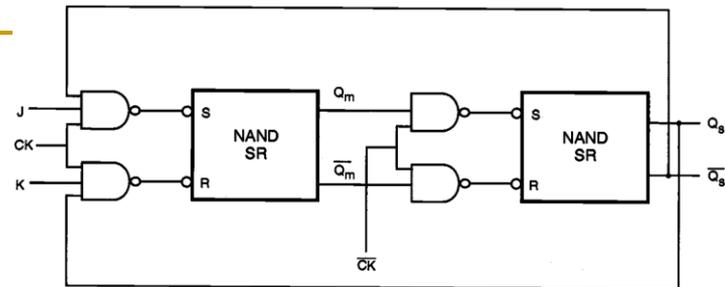
CK=1时，Master采样输入数据，Slave处于保持状态。

CK=0时，Master处于保持状态，保持住CK=1时采样到的输入数据；Slave采样数据，将Master输出的 $Q_m$ 输出到 $Q_s$ 。

Master和Slave的时钟信号是相反的，所以输入信号不可能直接到输出！



# 主从触发器

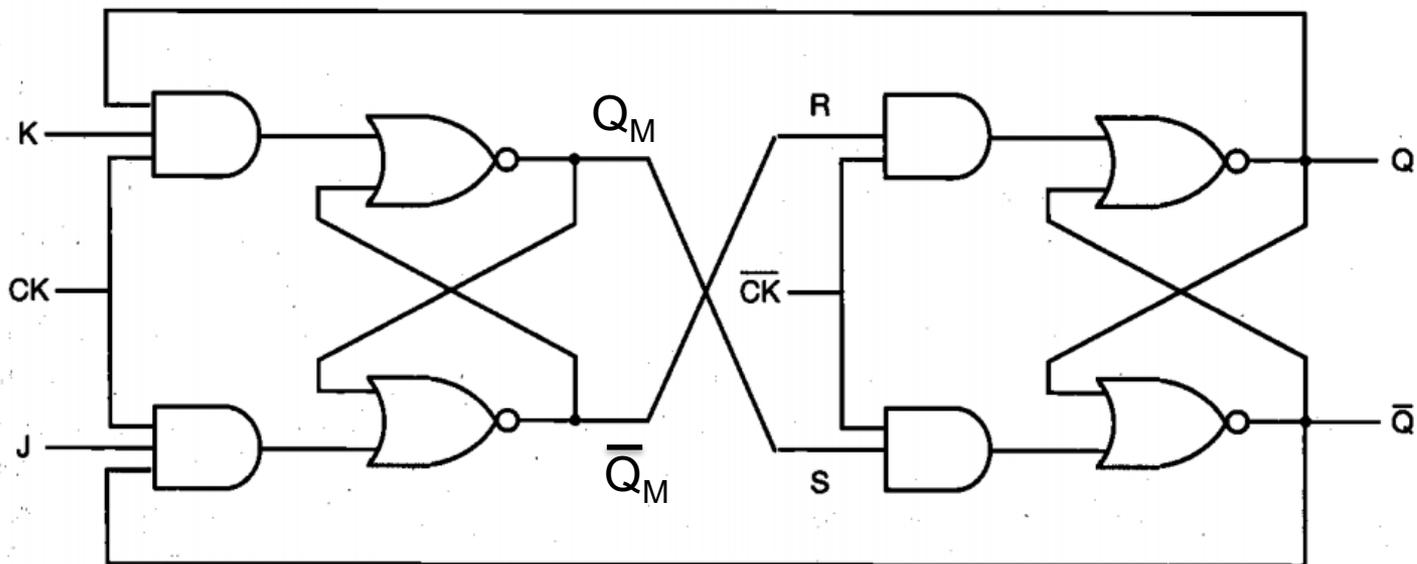


J=K=1, 由于CK=1时Slave是保持状态, 反馈的Q<sub>S</sub>和Q<sub>S</sub>非不翻转, 所以输出不会再发生振荡。由Q<sub>S</sub>=1&&Q<sub>S</sub>非=0, 使得Q<sub>m</sub>=0。

J信号上的毛刺使输出被改变, 这通常是不期望的。



# 主从触发器



基于NOR门实现的主从JK触发器

工作原理与基于NAND门的主从JK触发器相同。

主要优缺点：

同步工作；无不允许的输入状态；非电平敏感； $J=K=1$ 时输出不会振荡；  
电路复杂，NAND电路需要38个晶体管；AOI电路需要30个晶体管(包括CK非的反相器)。



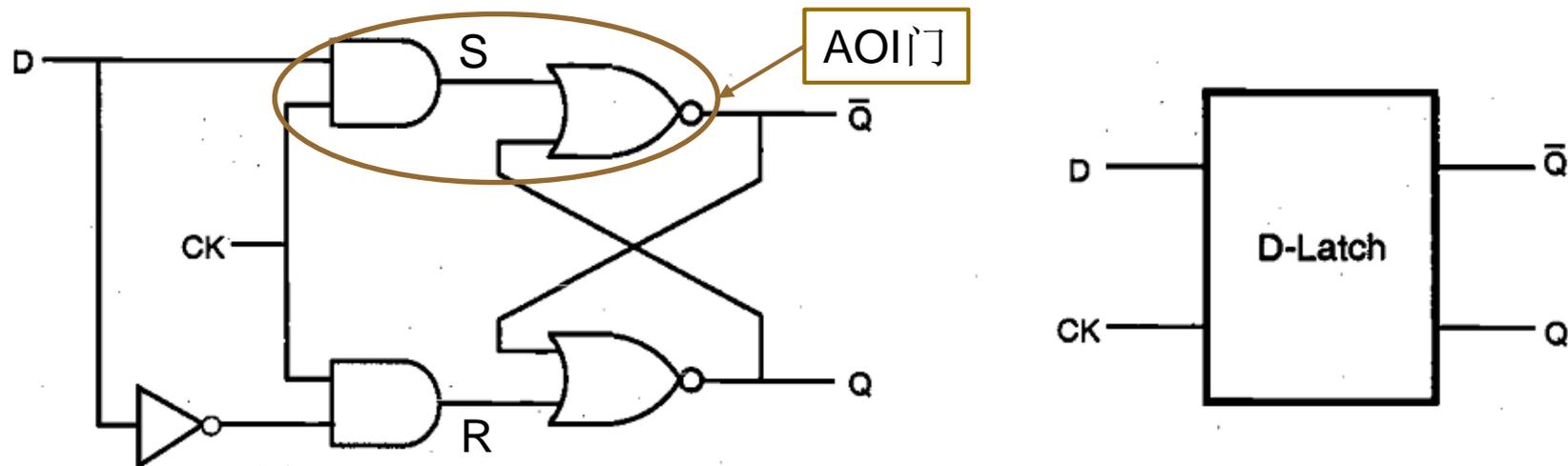
# 主要内容

- 概述
- 双稳态元件的特性
- SR锁存电路
- 钟控锁存器和触发器电路
- 钟控存储器的时间相关参数
- CMOS D锁存器和边沿触发器
- 基于脉冲锁存器的钟控存储器
- 基于读出放大器的触发器
- 时钟存储器件中的逻辑嵌入
- 时钟系统的能耗及其节能措施
- 附录：施密特触发器



# 基本 D锁存器

CMOS D锁存器由传输门构成，晶体管数量大大减少，在CMOS数字电路中广泛使用。先学习一下传统的基本D-Latch。



$CK=1$ 时， $D$ 传输给 $S$ ， $D$ 非传输给 $R$ ，使 $Q=D$ 。

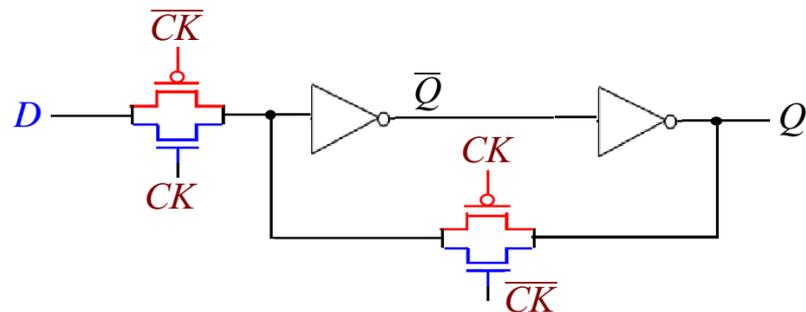
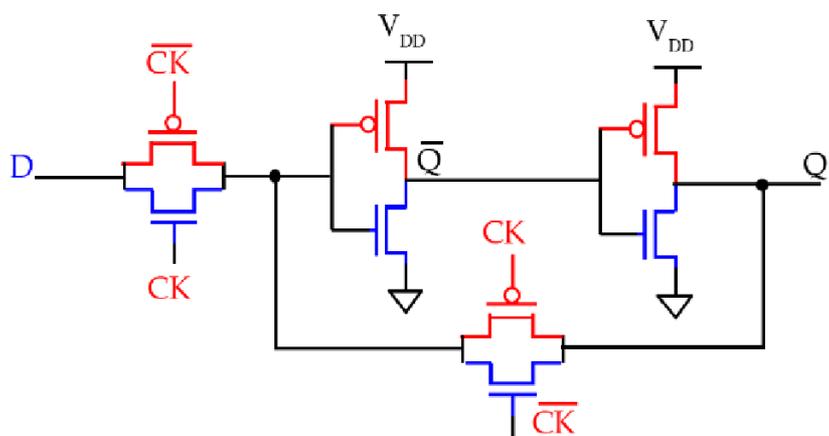
$CK=0$ 时， $S=0$ ， $R=0$ ，SR Latch处于保持状态，保持输出不变。

这样的D锁存器称为正Latch，在 $CK$ 为高电平时采样输入数据，在 $CK=0$ 时保持数据不变。作为数据存储单元或者延时单元(延时一个时钟周期)。

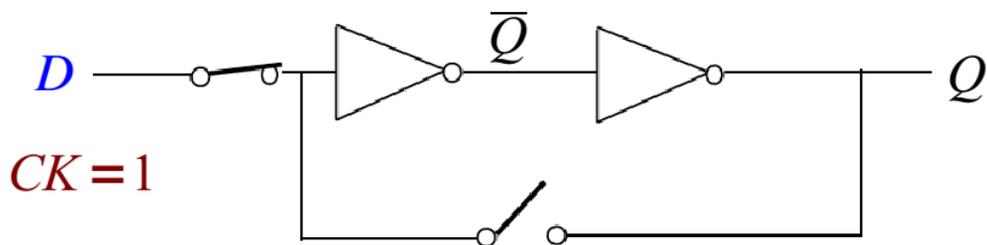
采用AOI门需要14个晶体管。没有不允许的输入状态，输出不会振荡。



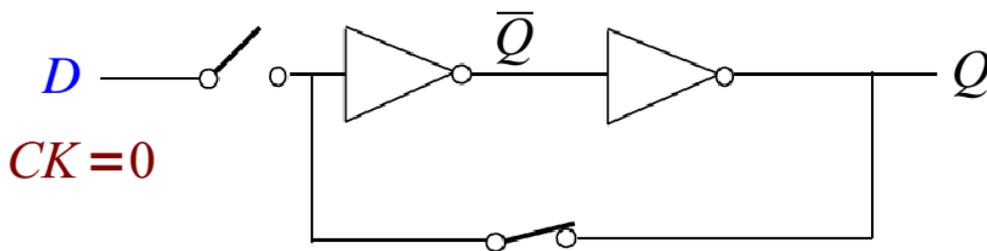
# CMOS D锁存器



两个反相器，两个传输门构成的，8个晶体管。



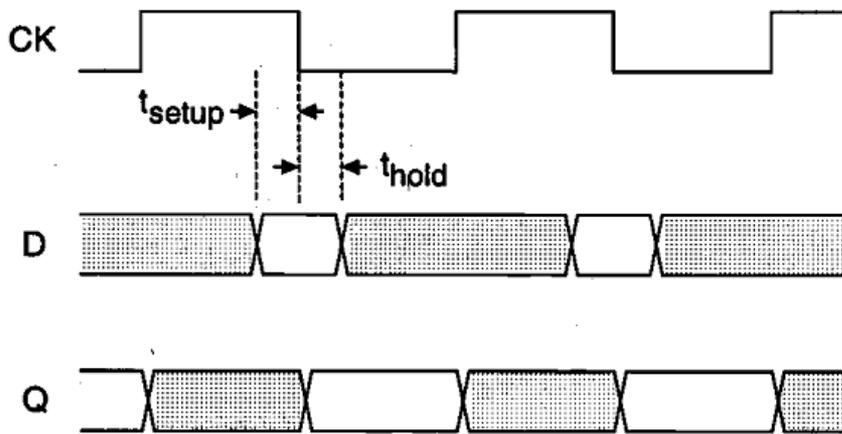
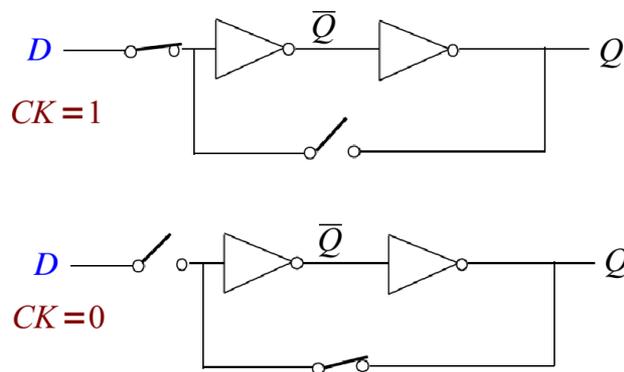
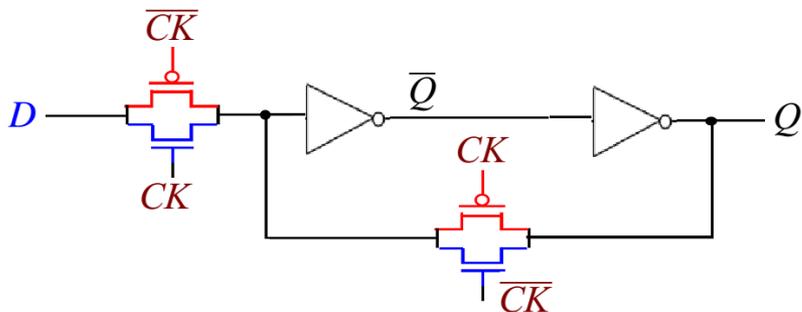
$CK=1$ 时， $Q$ 跟随输入信号 $D$



$CK=1 \rightarrow 0$ 时， $Q$ 锁存输入 $D$ ，输出保持不变。



# CMOS D锁存器时间参数



建立时间 $t_{setup}$ : 输入信号 $D$ 在时钟跳变沿之前, 要保持稳定不变的最短时间。

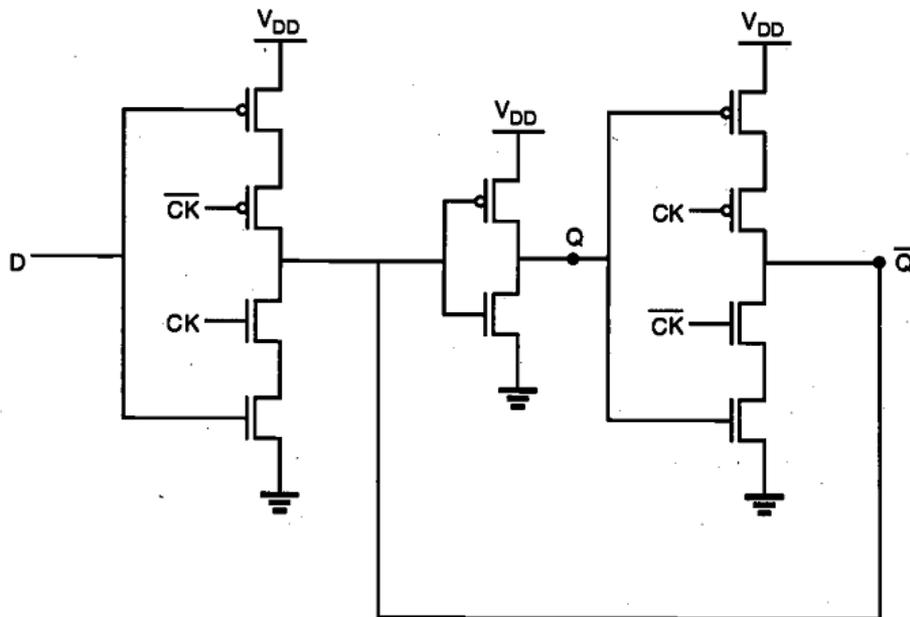
保持时间 $t_{hold}$ : 输入信号 $D$ 在时钟跳变沿之后, 要保持稳定不变的最短时间。

输出延时 $t_{clk-to-Q}$ : 从时钟跳变沿到 $Q$ 的值稳定的时间。

D锁存器在工作时, 如果没有满足建立时间和保持时间的要求, 就会产生同步失败, 输出结果无法确定, 数据传输可能错误。



# CMOS D锁存器—形式2



CMOS正D锁存器

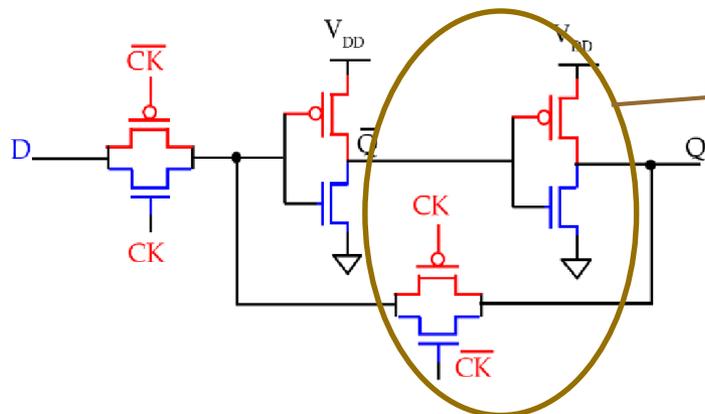
CK=1时，第一个三态反相器导通，第二个三态反相器输出三态，输入数据D直接输出到Q。锁存器处于跟踪输入的状态。

CK=0时，第一个三态反相器输出三态，第二个三态反相器导通，与中间的反相器构成存储单元，保持CK=1时采样进来的D的值，输出到Q。锁存器处于保持状态。



# CMOS主从D触发器

## ■ 边沿触发的主从D触发器



CMOS D锁存器

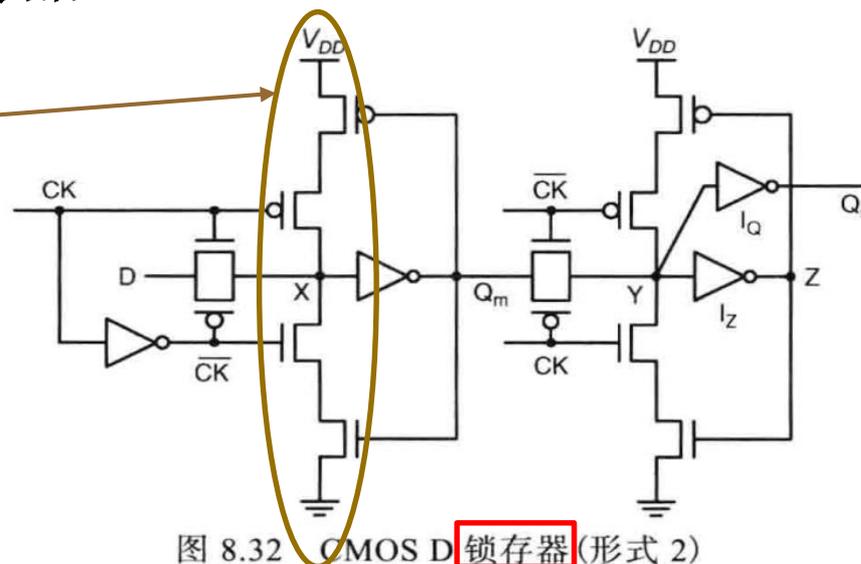
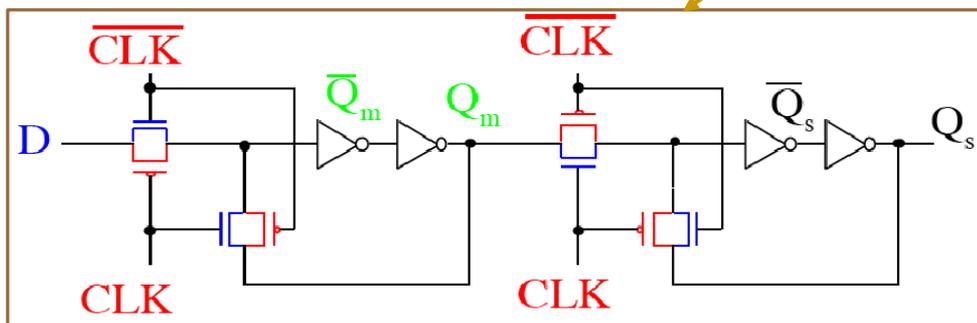


图 8.32 CMOS D锁存器(形式 2)

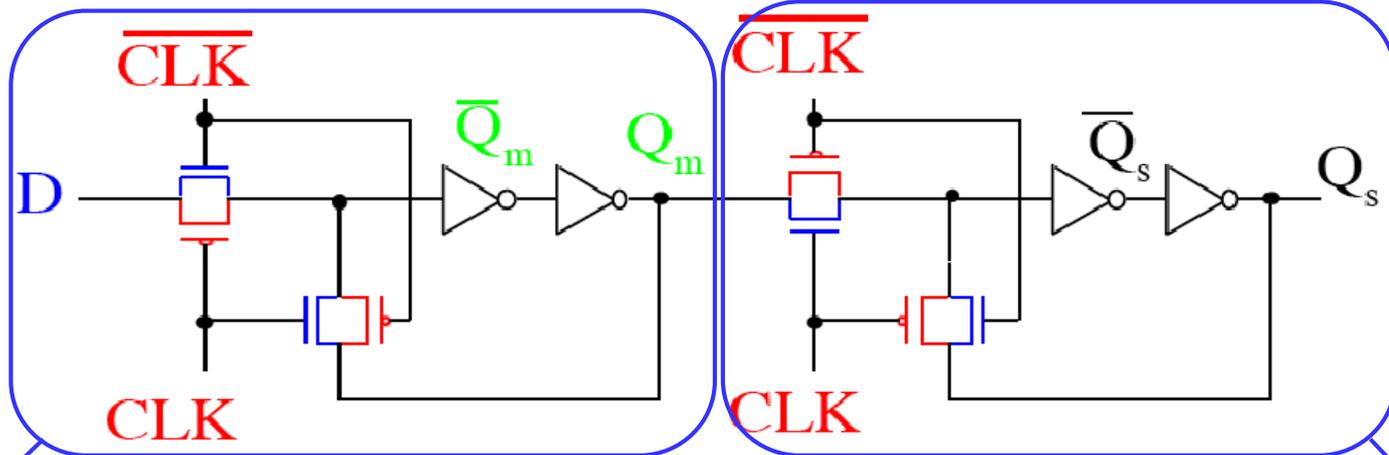


触发器



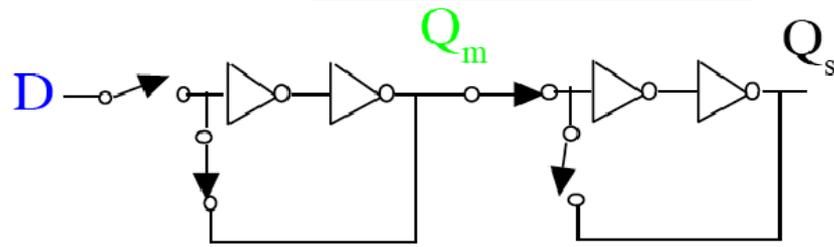
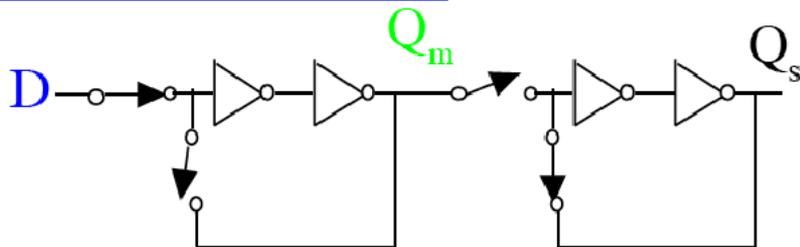
# CMOS主从D触发器

只需要  
16个晶  
体管



Master, 负D锁存器

Slave, 正D锁存器



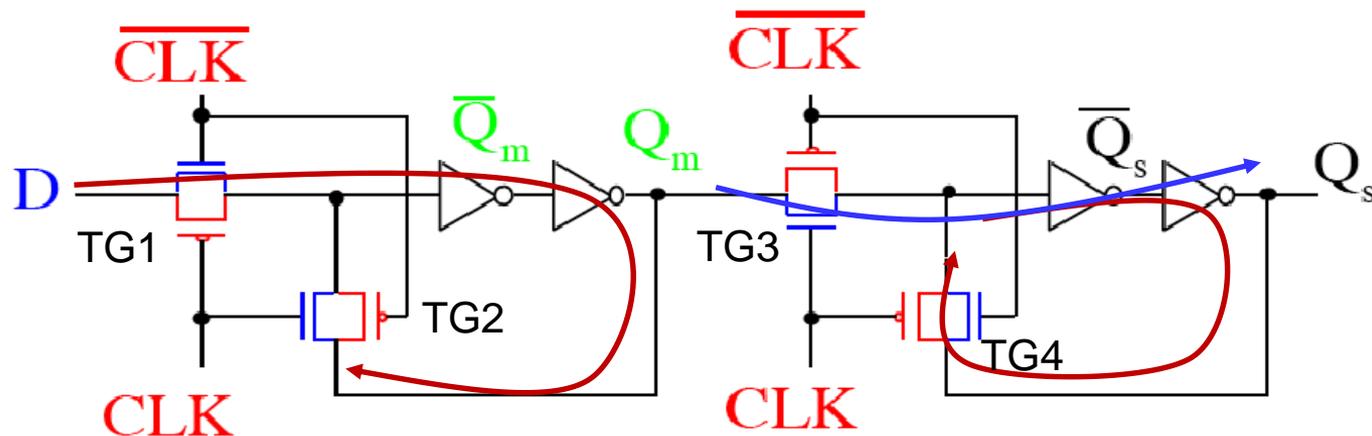
当 $CLK=0$ 时, Master跟随输入D, Slave处于保持状态, 保存的是上一次采样到的D, 输入信号D的变化不影响输出 $Q_s$ 。

当 $CLK=1$ 时, Master处于保持状态, 保存住当前输入的D, Slave处于跟随状态,  $Q_s$ 跟随 $Q_m$ 的变化。

该D触发器在CLK的上升沿将输入数据D传输到 $Q_s$ 。如何实现下降沿触发的D触发器?



# CMOS主从D触发器



建立时间 $t_{\text{setup}}$ : CLK=0时, TG1和TG4导通, TG2和TG3截止。当传输门TG2打开时, 要求TG2两边的数据必须是一致的。否则Master在CLK上升沿锁存下来的数据可能就会出错。出错的原因是TG2两边数据不一致产生的竞争。

这就要求数据从D输入, 要一直传递到Qm后, TG2才能导通。数据从TG1到Qm的延时时间就是D触发器的建立时间。

输出延时 $t_{\text{c2q}}$ : TG3导通时, 数据从Qm传输到Qs的延时。

保持时间 $t_{\text{hold}}$ : 当CLK上升沿后, TG1截止, D的变化不会影响Master锁存的数据, 因此该CMOS D触发器的保持时间为0。



# CMOS主从D触发器—信号波形

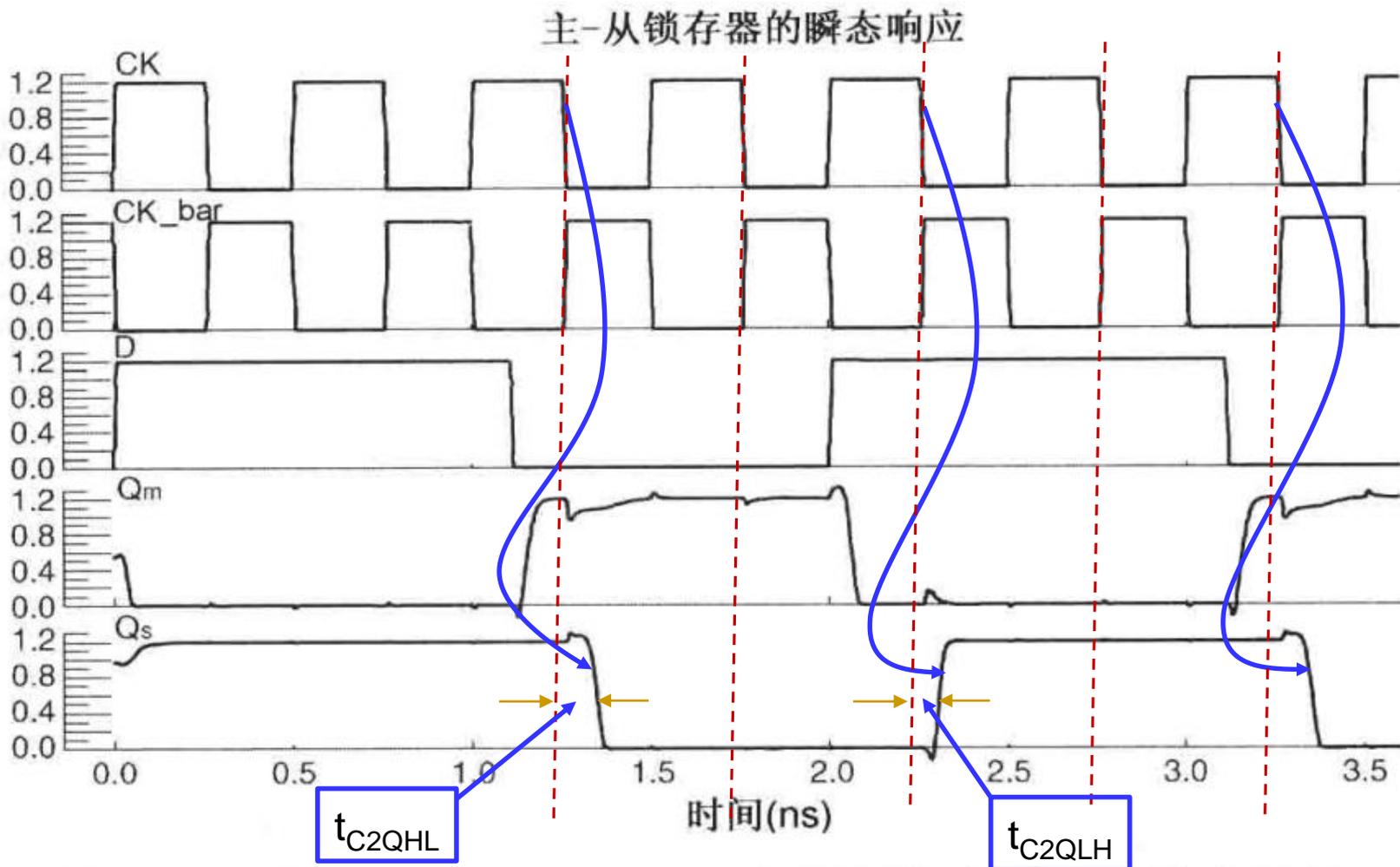


图 8.33 图 8.32 中 CMOS DFF 电路的仿真输入、输出波形



# CMOS主从D触发器—setup不合法

在违反建立时间规定的0.25 ns时，主-从锁存器的瞬态响应

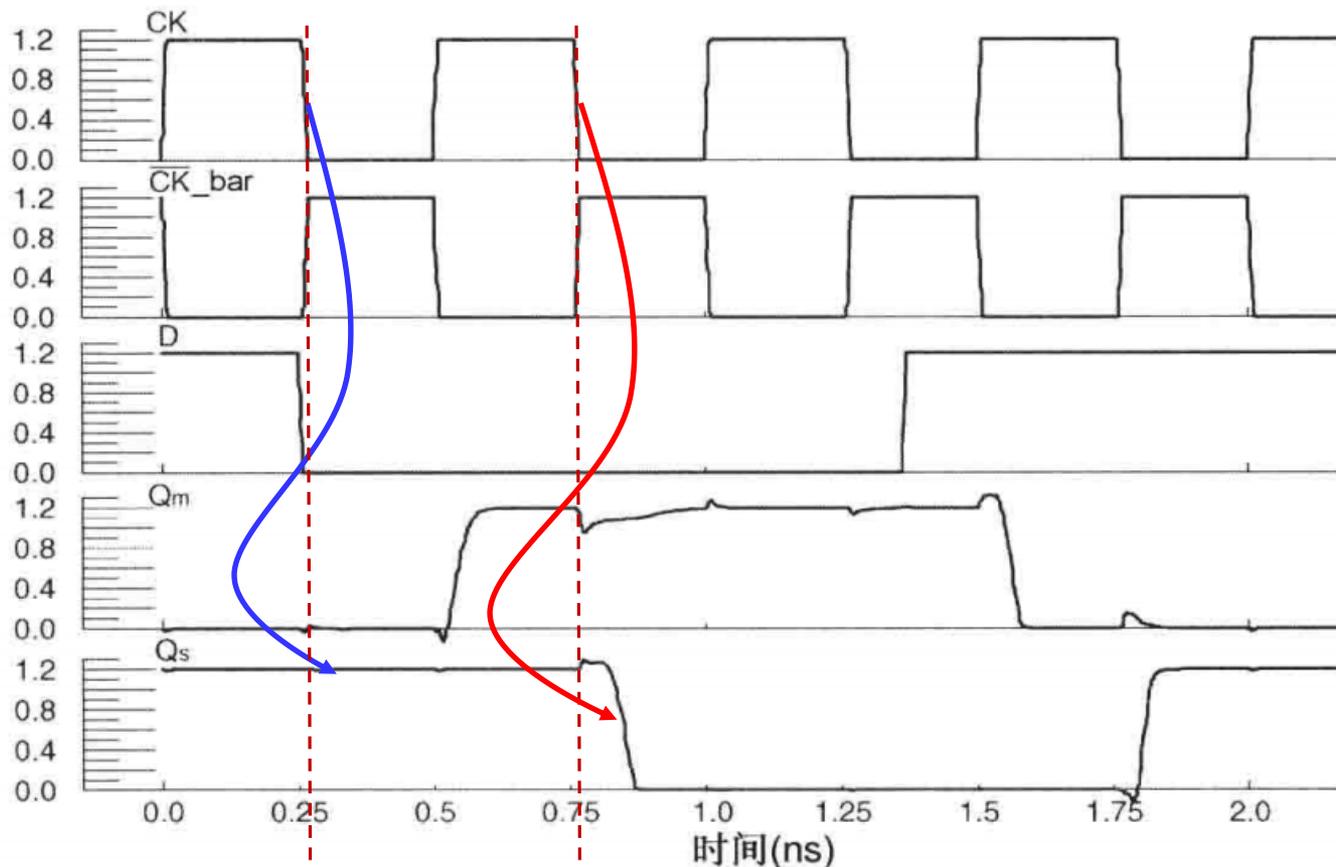
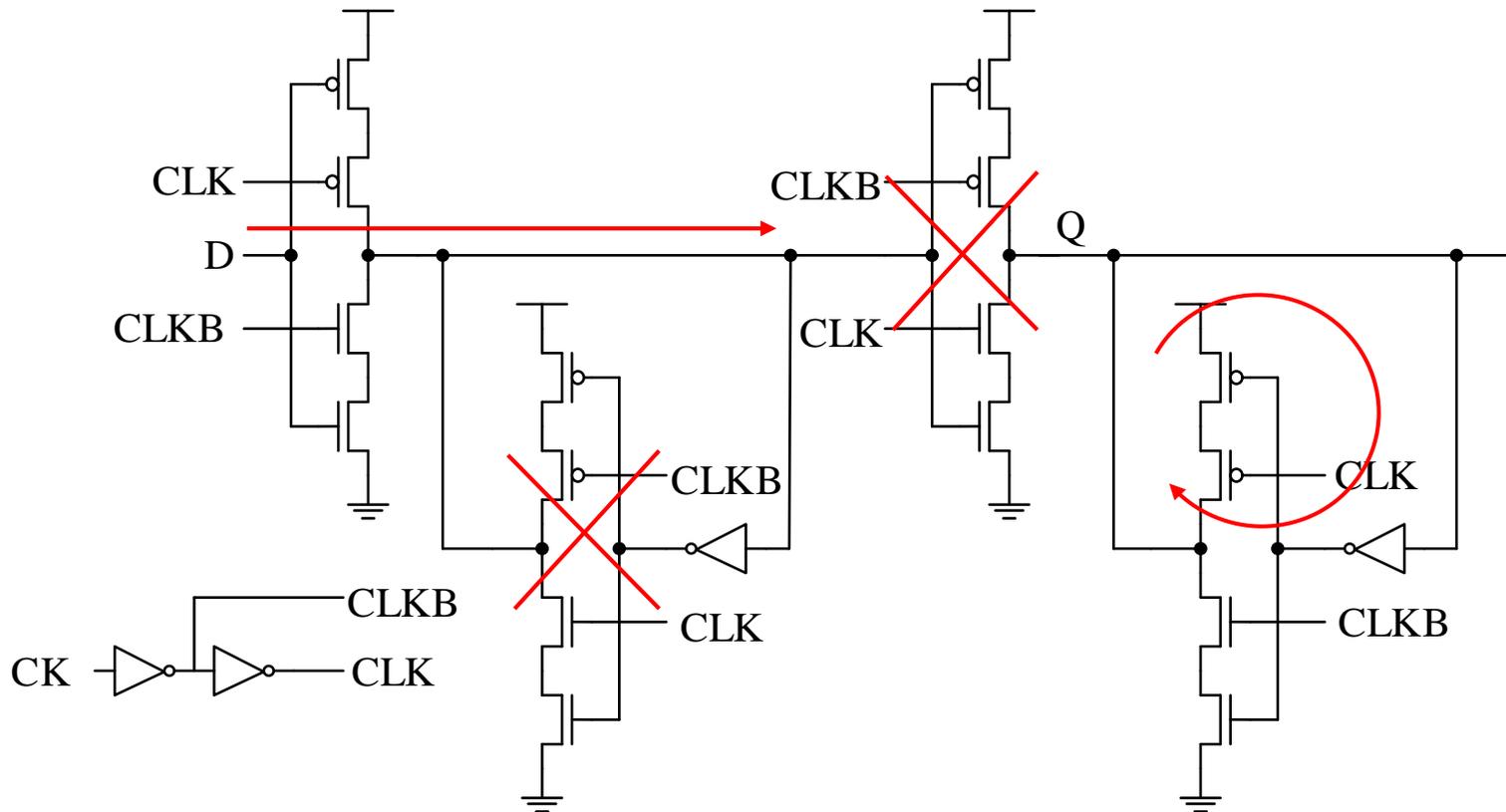


图 8.34 主-从 D 锁存电路在 0.25 ns 处，主锁存器输入违反了建立时间规定情况下的仿真波形。主锁存器输出错误电平



# C<sup>2</sup>MOS主从D触发器

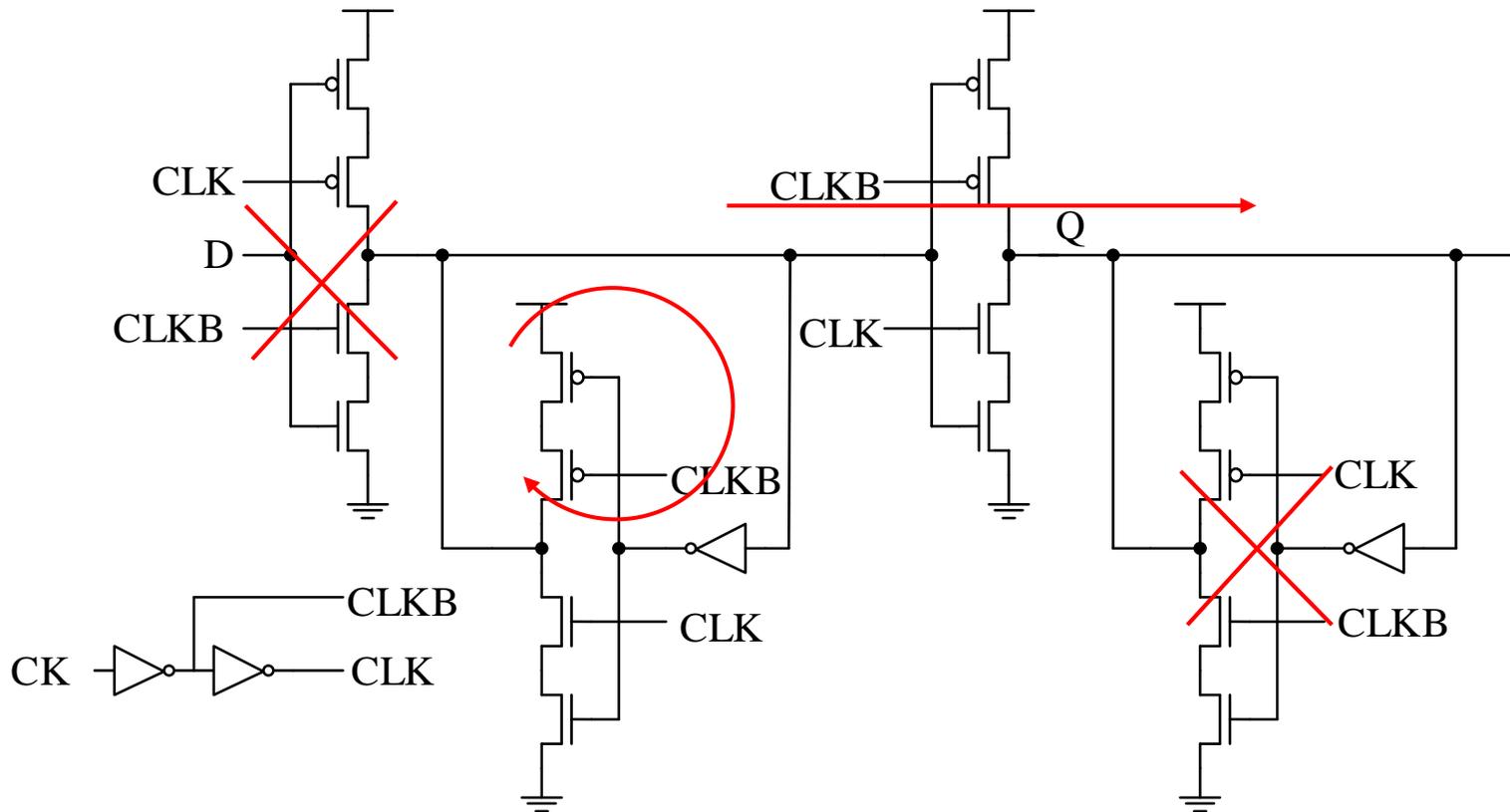


CLK=0时： 输入D被采样，输出Q保持不变。

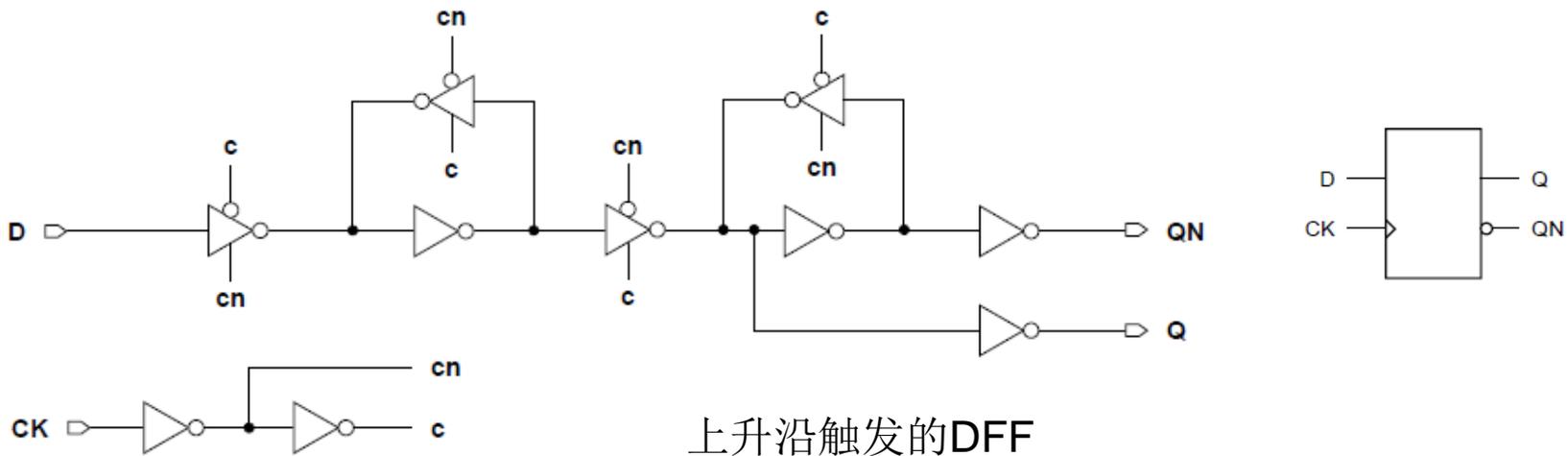
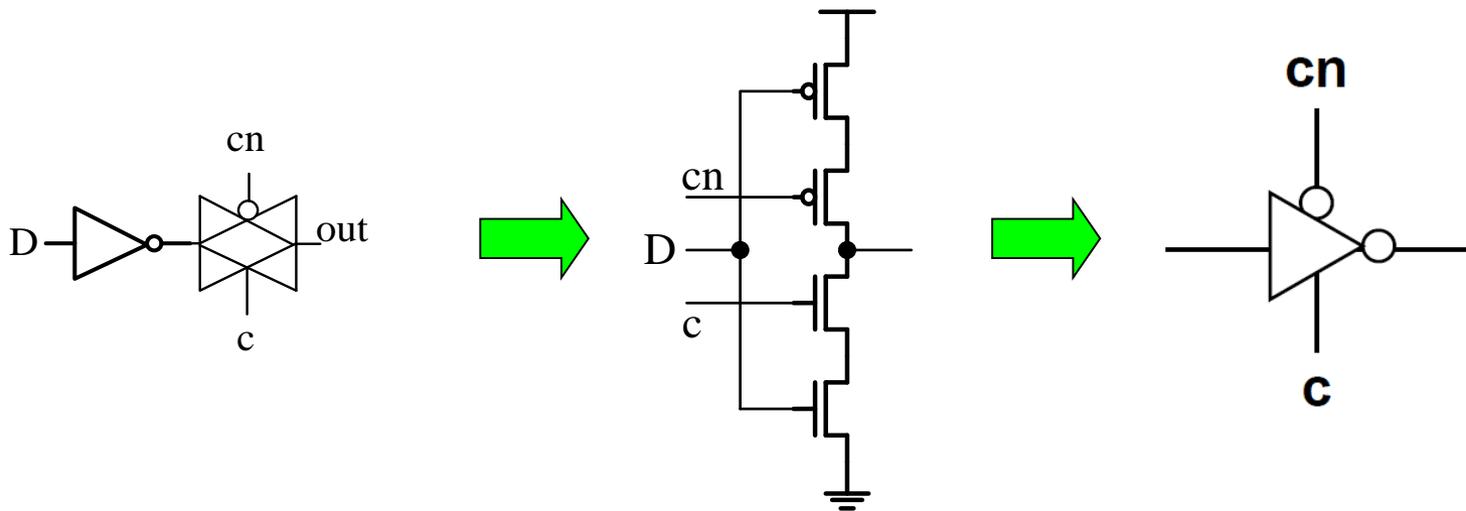


# C<sup>2</sup>MOS主从D触发器

CLK=1时： 当CLK=0时的采样到的D被保持，输出到Q。



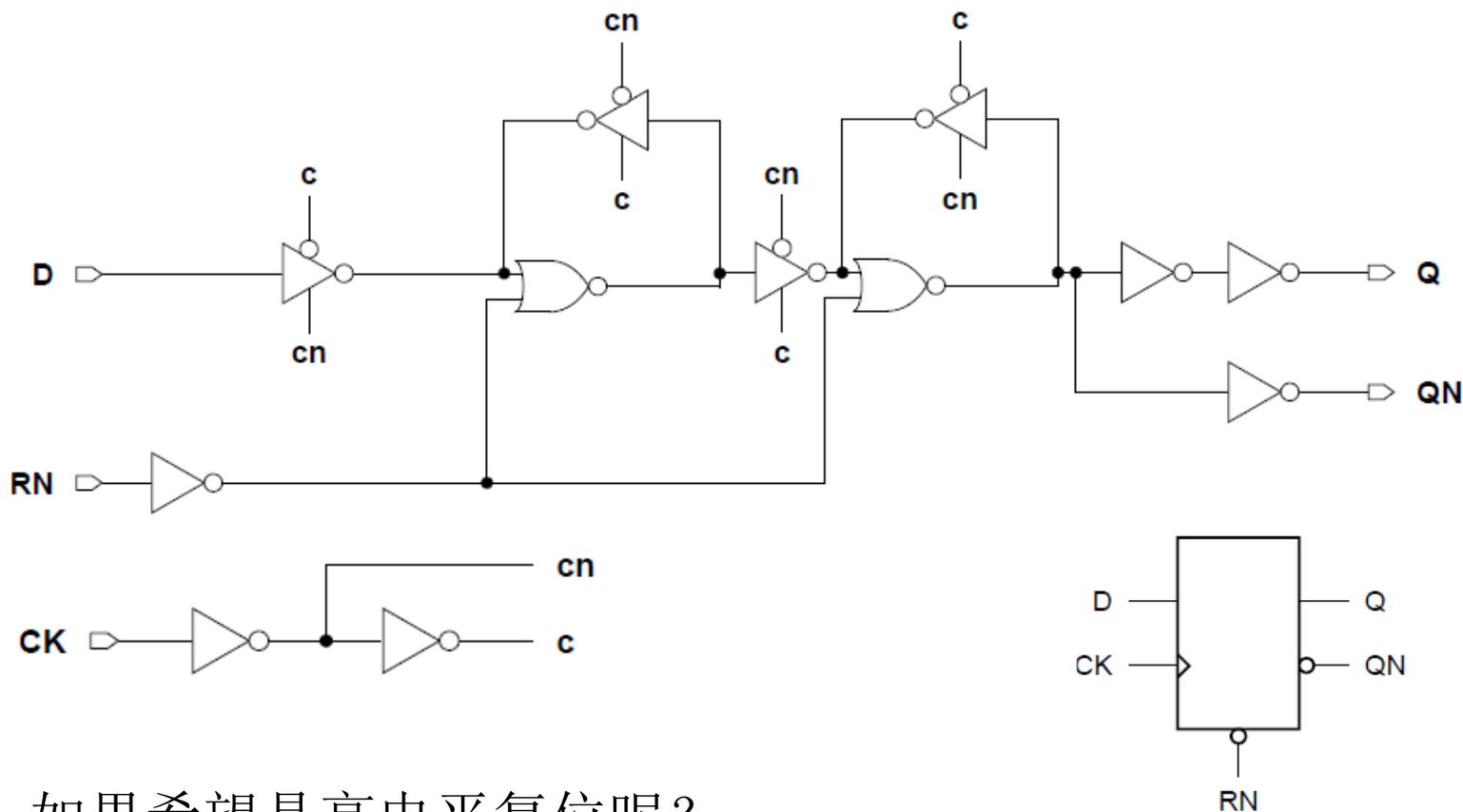
# 实际触发器电路(1)





# 实际触发器电路(3)

## ■ 带异步低电平复位的DFFR

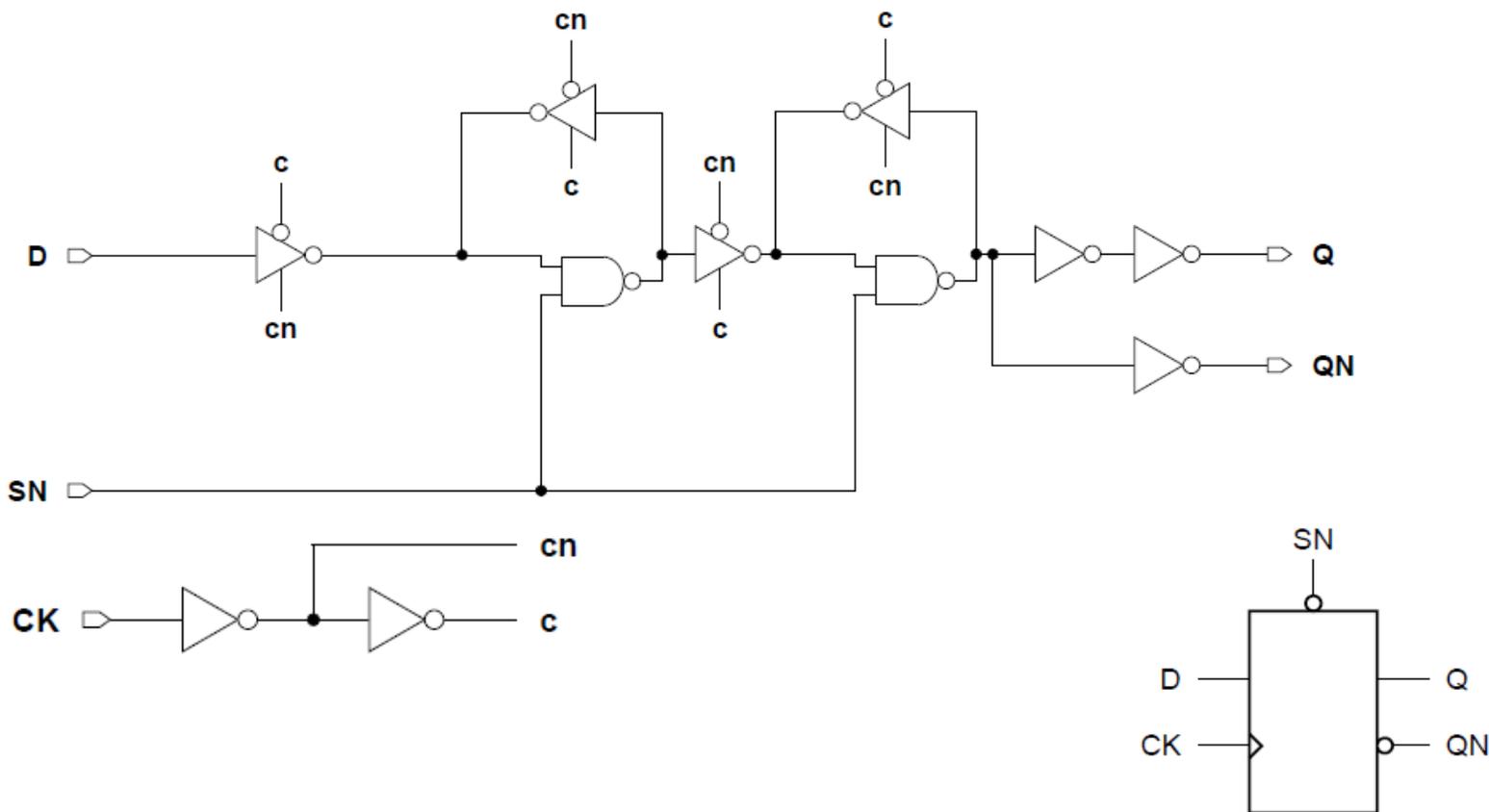


如果希望是高电平复位呢？



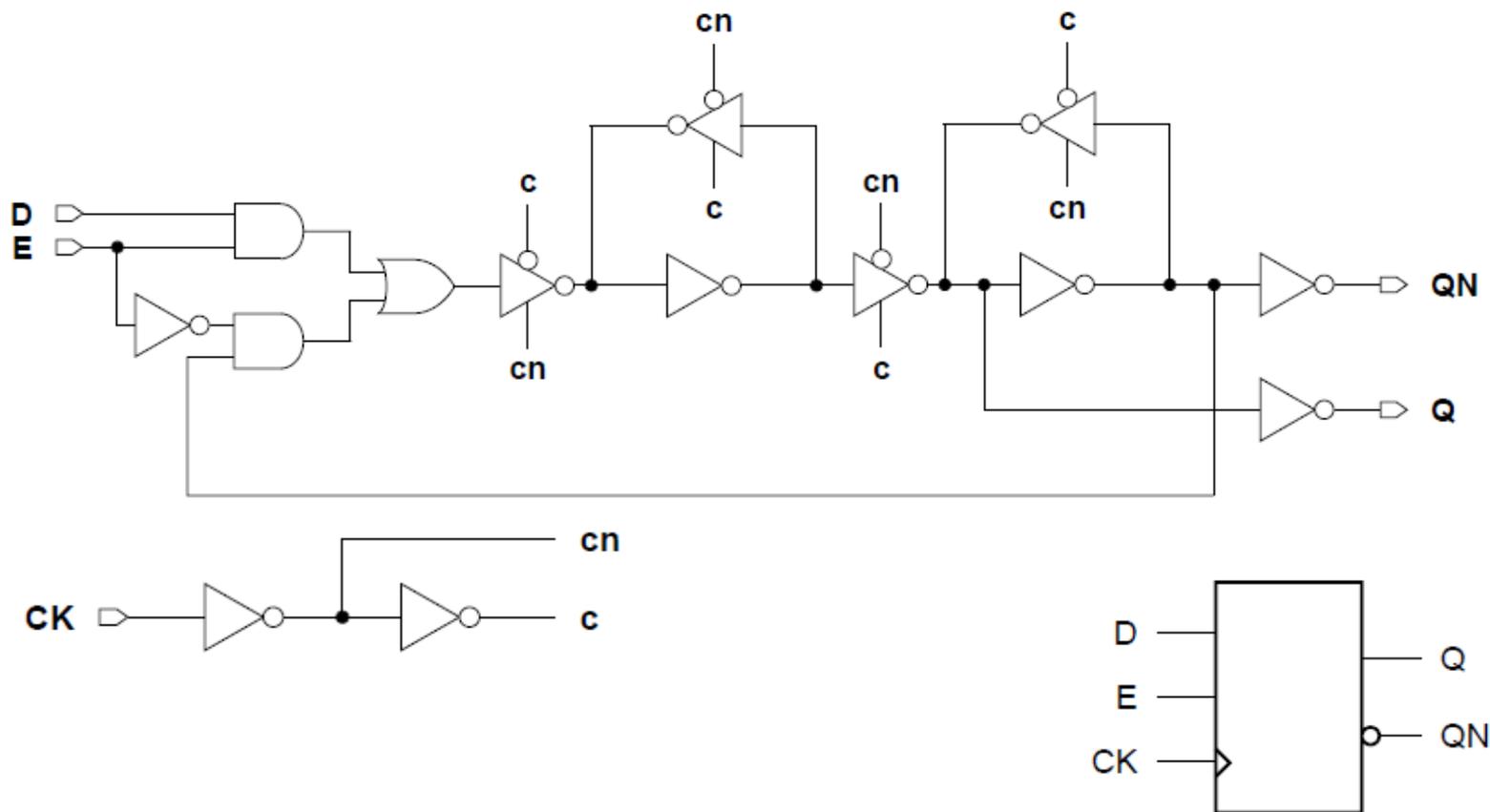
# 实际触发器电路(3)

## ■ 带异步低电平置位的DFFS



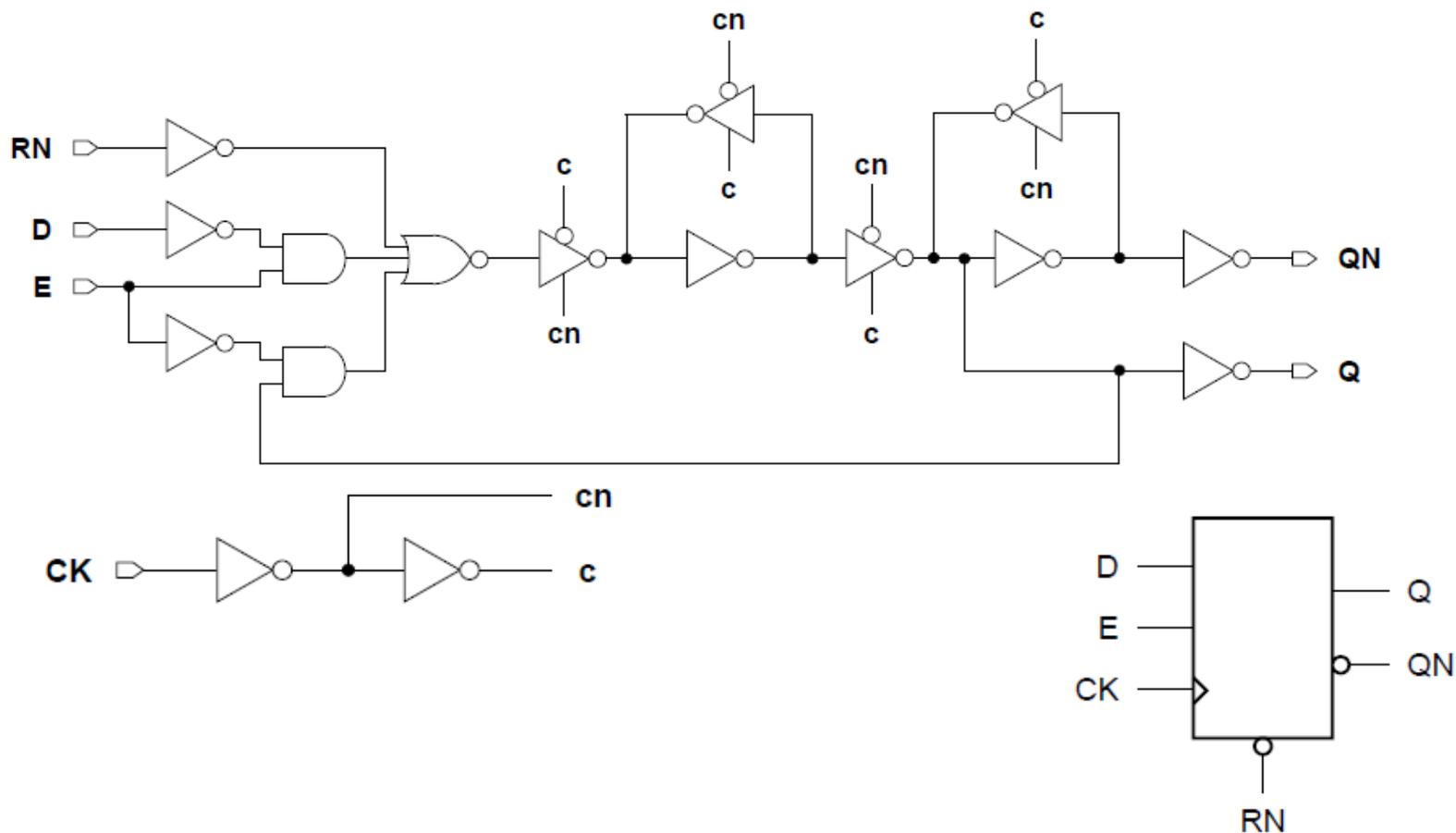
# 实际触发器电路(4)

## ■ 带同步使能的EDFF



# 实际触发器电路(5)

## ■ 带同步使能和同步复位的EDFFTR



# 主要内容

- 概述
- 双稳态元件的特性
- SR锁存电路
- 钟控锁存器和触发器电路
- 钟控存储器的时间相关参数
- CMOS D锁存器和边沿触发器
- 基于脉冲锁存器的钟控存储器
- 基于读出放大器的触发器
- 时钟存储器件中的逻辑嵌入
- 时钟系统的能耗及其节能措施
- 附录：施密特触发器



# 上升沿触发器(正latch)时序图

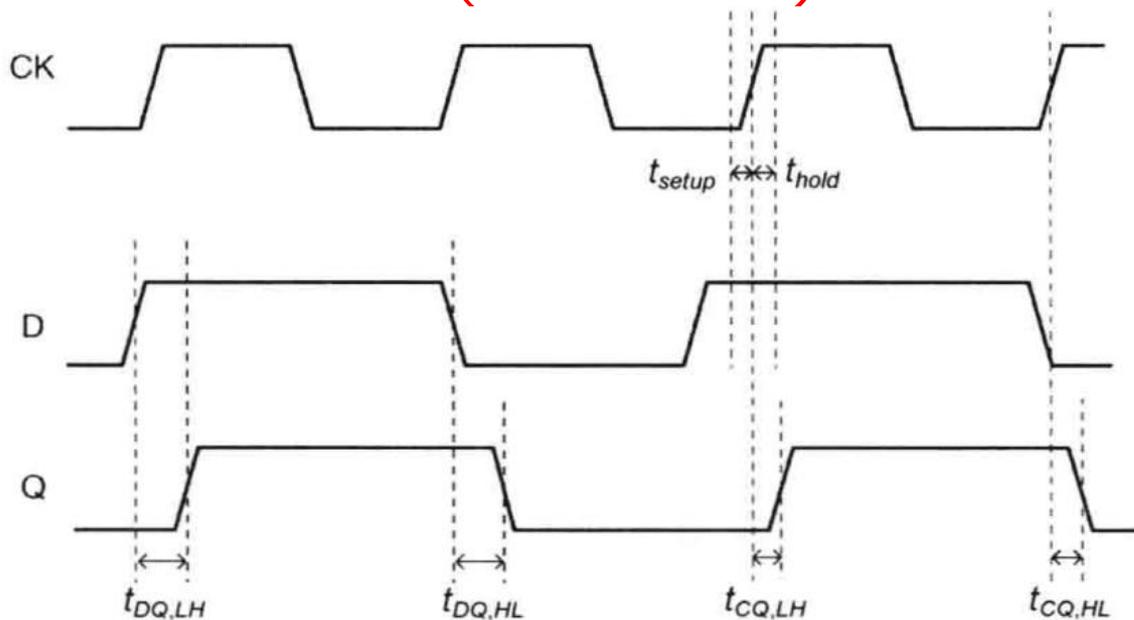


图 8.26 上升沿触发器的时序图

- 输出延时—— $t_{CQ,LH}$ 、 $t_{CQ,HL}$
- 建立时间—— $t_{setup}$
- 保持时间—— $t_{hold}$
- 数据到输出端Q的延时—— $t_{DQ}$ ，这个延时是Latch才有的



# 建立时间和保持时间确定

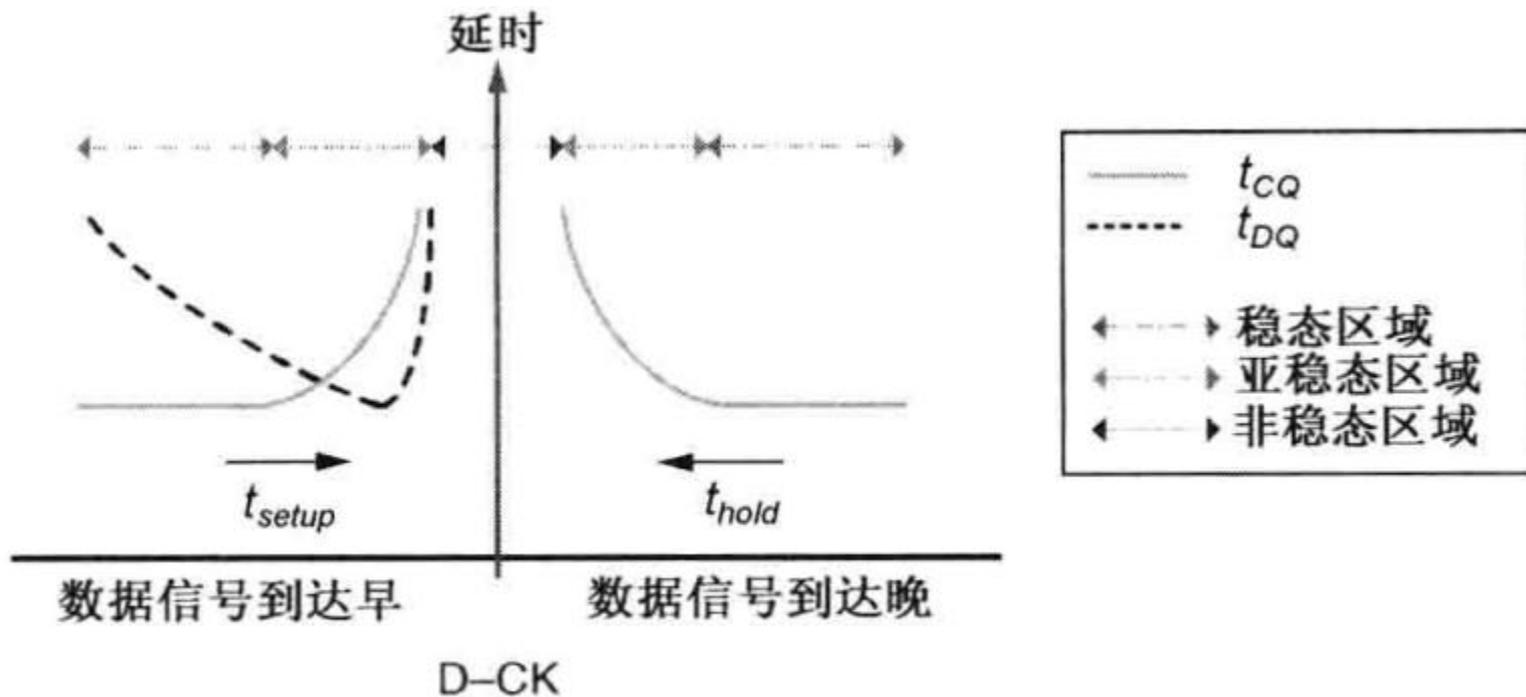


图 8.27 在输出延时功能下建立和保持时间的动态特性

- 当 $t_{CQ}$ 增大5%时的D离CK的时间为 $t_{Setup}$ ，或者 $t_{DQ}$ 最小时的D到CK的时间为 $t_{Setup}$ 。
- 保持时间的定义类似



# 锁存器的时序图(正latch)

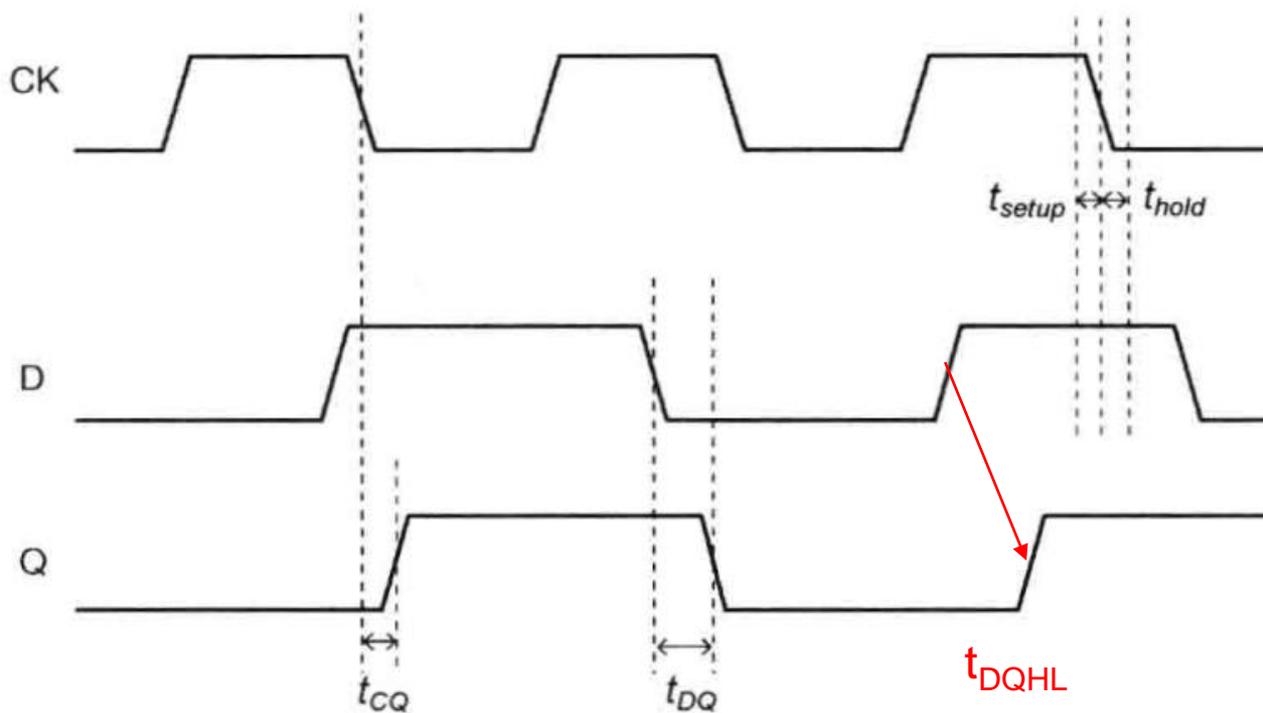


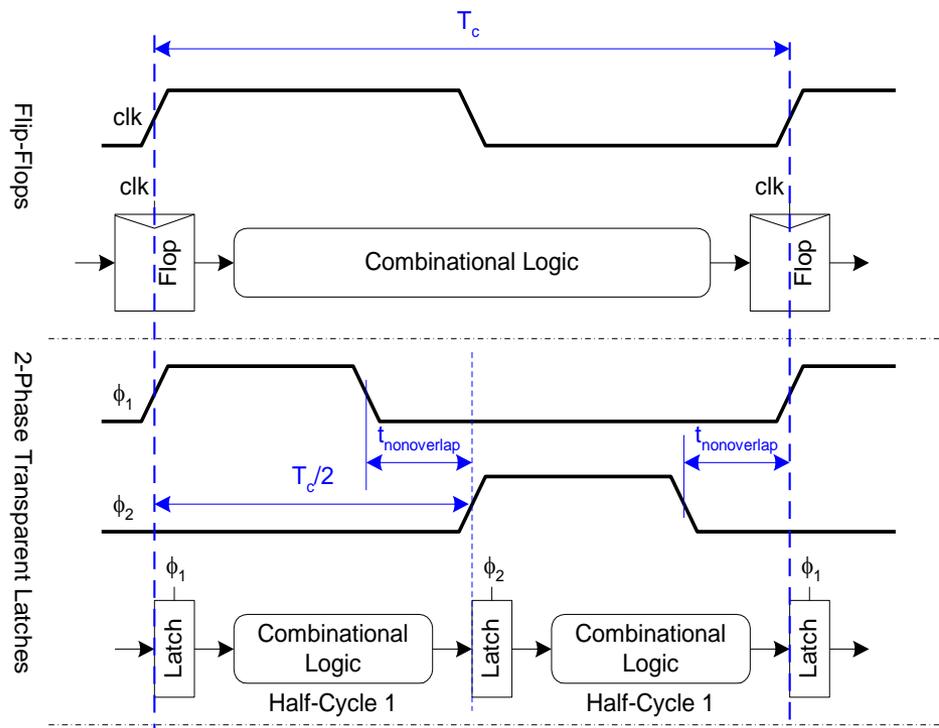
图 8.28 锁存器时序图

锁存器电路设计更灵活，例如可以时间借用。但是，由于使用边沿触发的时序元件更容易进行时序验证，EDA工具支持更好，使得现在的数字集成电路设计时序电路的选择绝大部分都是用触发器。



# 时序逻辑设计方法

- 触发器(Flip-flops)
- 两相锁存器  
(2-Phase Latches)



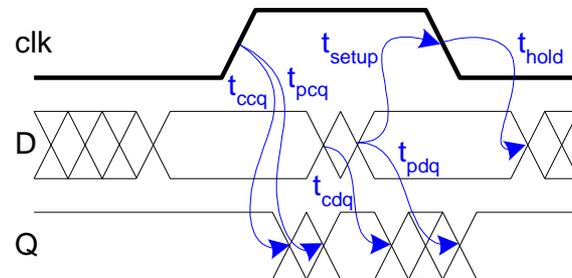
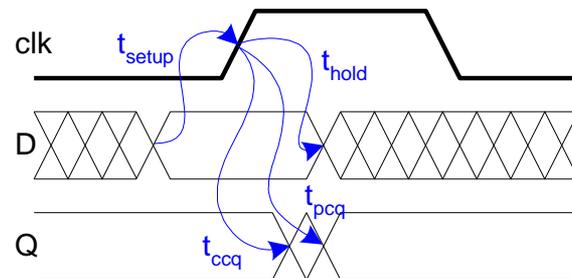
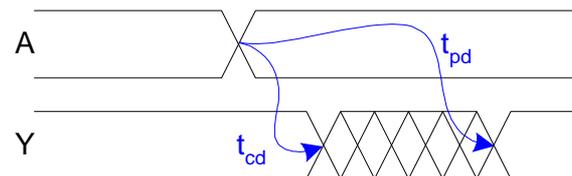
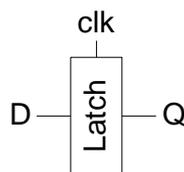
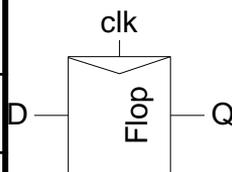
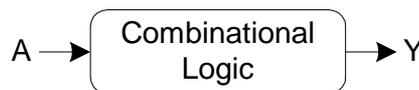
参考：H.E.Weste, David Harris, 周润德译, CMOS超大规模集成电路设计(第4版) --CMOS VLSI Design : A Circuits and Systems Perspective (4th Edition), 电子工业出版社, 2012年7月



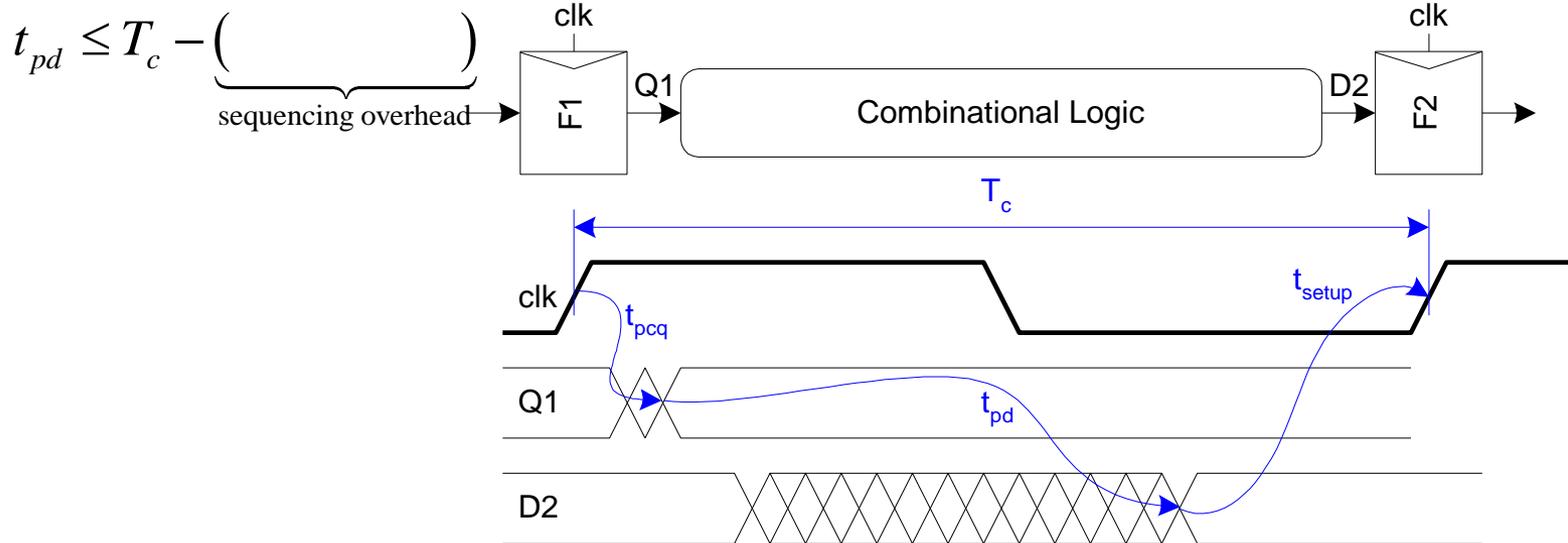
# 时序电路时间参数

## 污染延时和传输延时

$t_{pd}$	组合逻辑传输延时
$t_{cd}$	组合逻辑污染延时
$t_{pcq}$	Latch/Flop Clk-Q传输延时
$t_{ccq}$	Latch/Flop Clk-Q 污染延时
$t_{pdq}$	Latch D-Q传输延时
$t_{cdq}$	Latch D-Q污染延时
$t_{setup}$	Latch/Flop建立时间
$t_{hold}$	Latch/Flop保持时间



# 触发器：最大延时

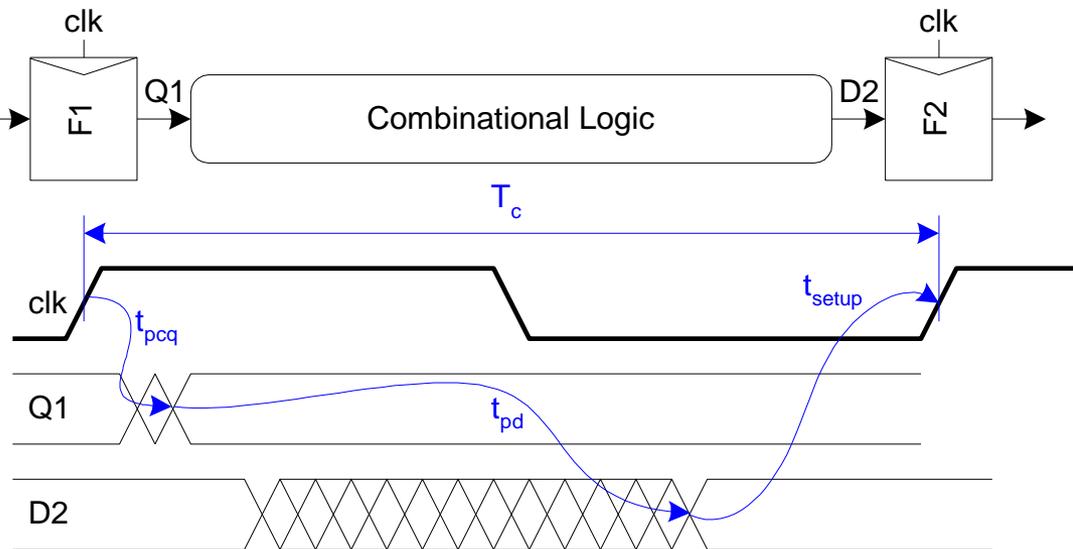


$$T_C > t_{pcq} + t_{pd} + t_{setup}$$



# 触发器：最大延时

$$t_{pd} \leq T_c - \underbrace{(t_{setup} + t_{pcq})}_{\text{sequencing overhead}}$$

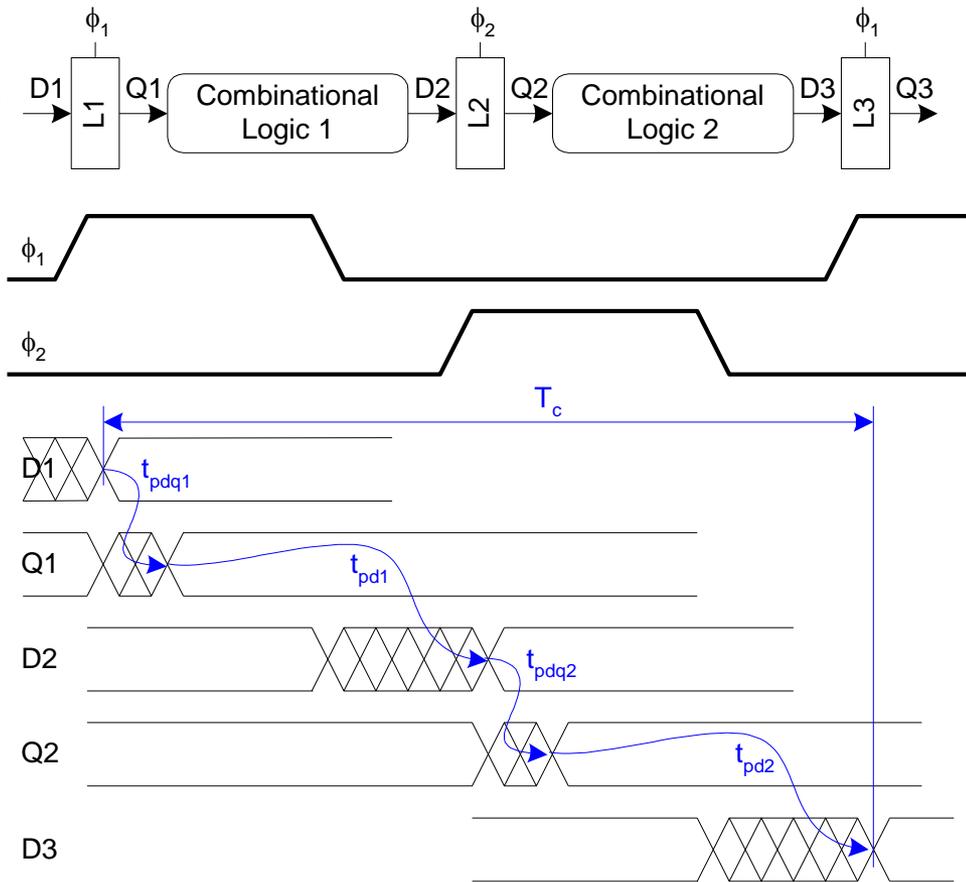


$$T_c > t_{pcq} + t_{pd} + t_{setup}$$



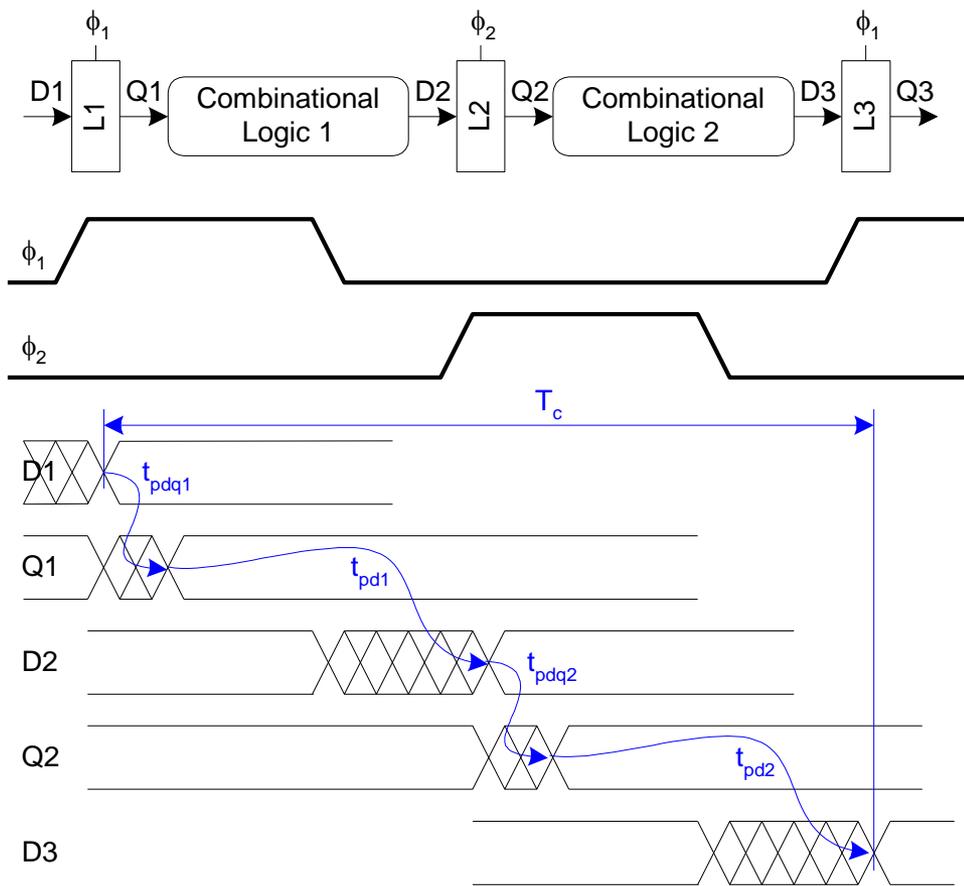
# 最大延时: 两相锁存器

$$t_{pd} = t_{pd1} + t_{pd2} \leq T_c - (\underbrace{\hspace{10em}}_{\text{sequencing overhead}})$$



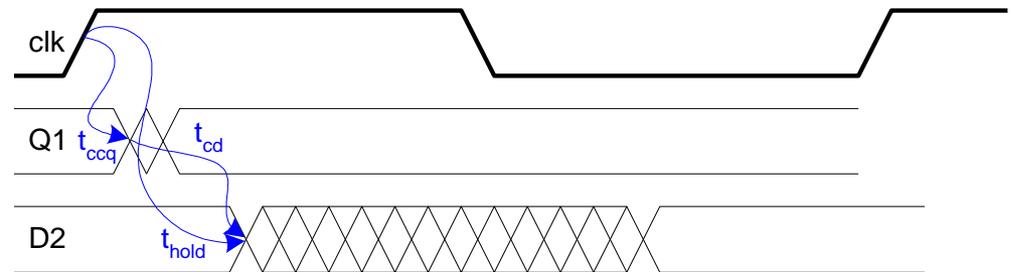
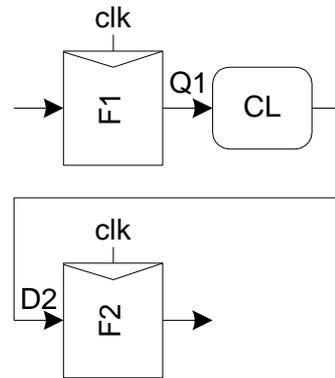
# 最大延时: 两相锁存器

$$t_{pd} = t_{pd1} + t_{pd2} \leq T_c - \underbrace{(2t_{pdq})}_{\text{sequencing overhead}}$$



# 最小延时: 触发器

$$t_{cd} \geq$$

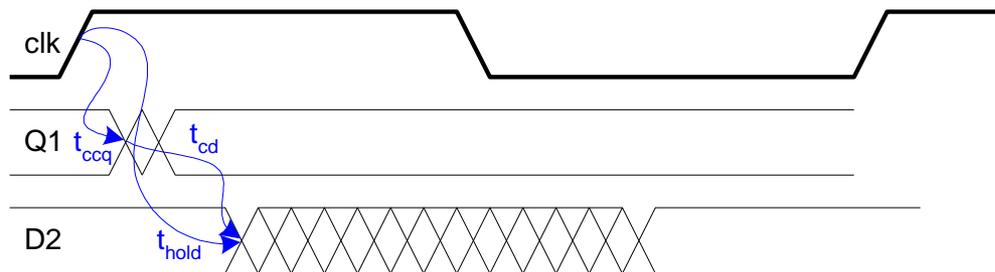
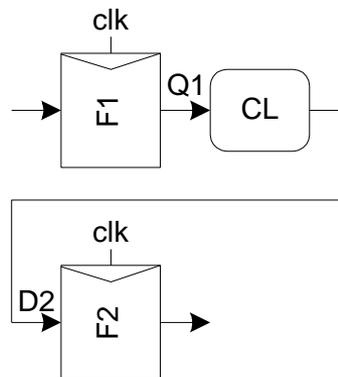


$$t_{hold} < t_{ccq} + t_{cd}$$



# 最小延时: 触发器

$$t_{cd} \geq t_{\text{hold}} - t_{ccq}$$



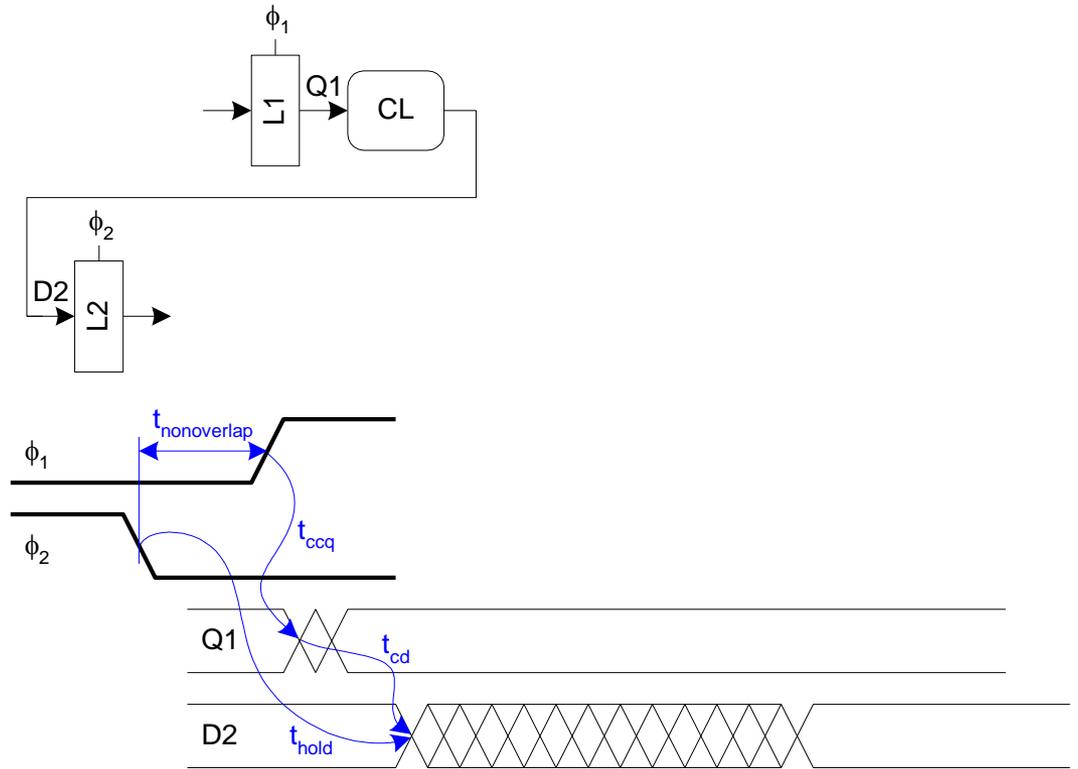
$$t_{\text{hold}} < t_{ccq} + t_{cd}$$

如果通过触发器的污染延时很小，就必须在两个触发器之间插入缓冲器增加延时！  
如果触发器的污染延时大于保持时间，就可以放心的背靠背使用触发器。  
扫描链的使用就是个背靠背触发器的例子。



# 最小延时: 两相锁存器

$$t_{cd1}, t_{cd2} \geq$$



$$t_{hold} < t_{nonoverlap} + t_{ccq} + t_{cd}$$

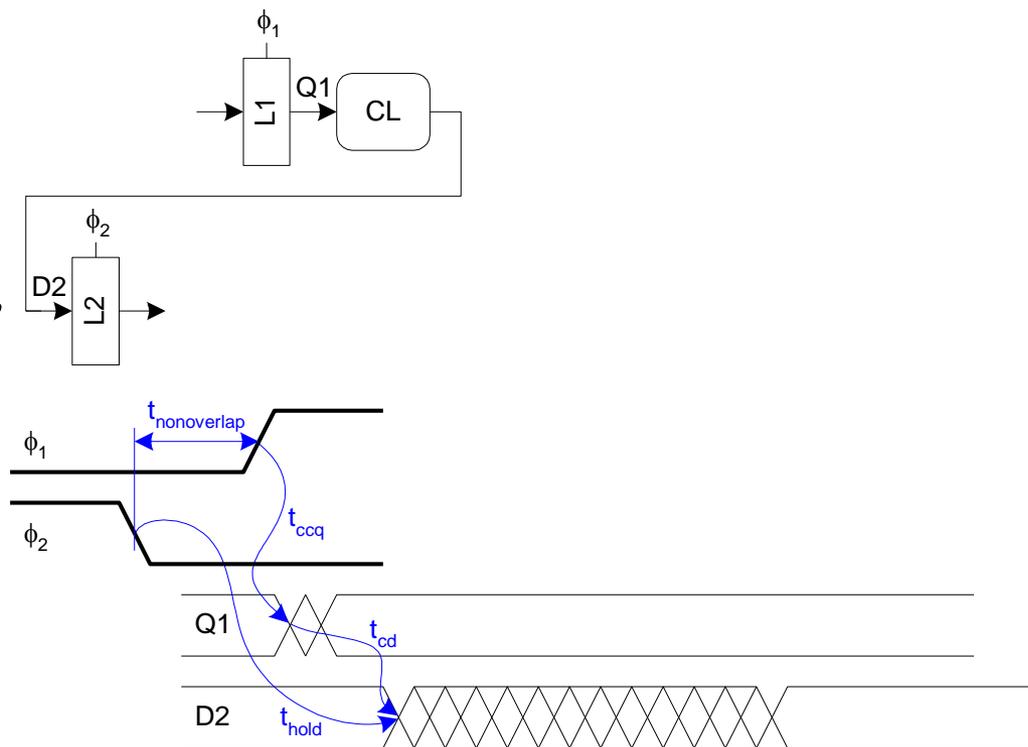


# 最小延时: 两相锁存器

$$t_{cd1}, t_{cd2} \geq t_{hold} - t_{ccq} - t_{nonoverlap}$$

只要时钟不交叠时间足够大，就可以避免保持时间失效。

但在高速设计中，产生和分布不交叠时钟是很困难的，大部分商用的基于透明锁存器的系统使用的一个时钟及其反相互补钟，此时  $t_{nonoverlap} = 0$ ，此时污染延时的约束条件在锁存器和触发器系统两者是一样的。



$$t_{hold} < t_{nonoverlap} + t_{ccq} + t_{cd}$$



# 时间借用 (Time Borrowing)

## ■ 基于触发器的系统:

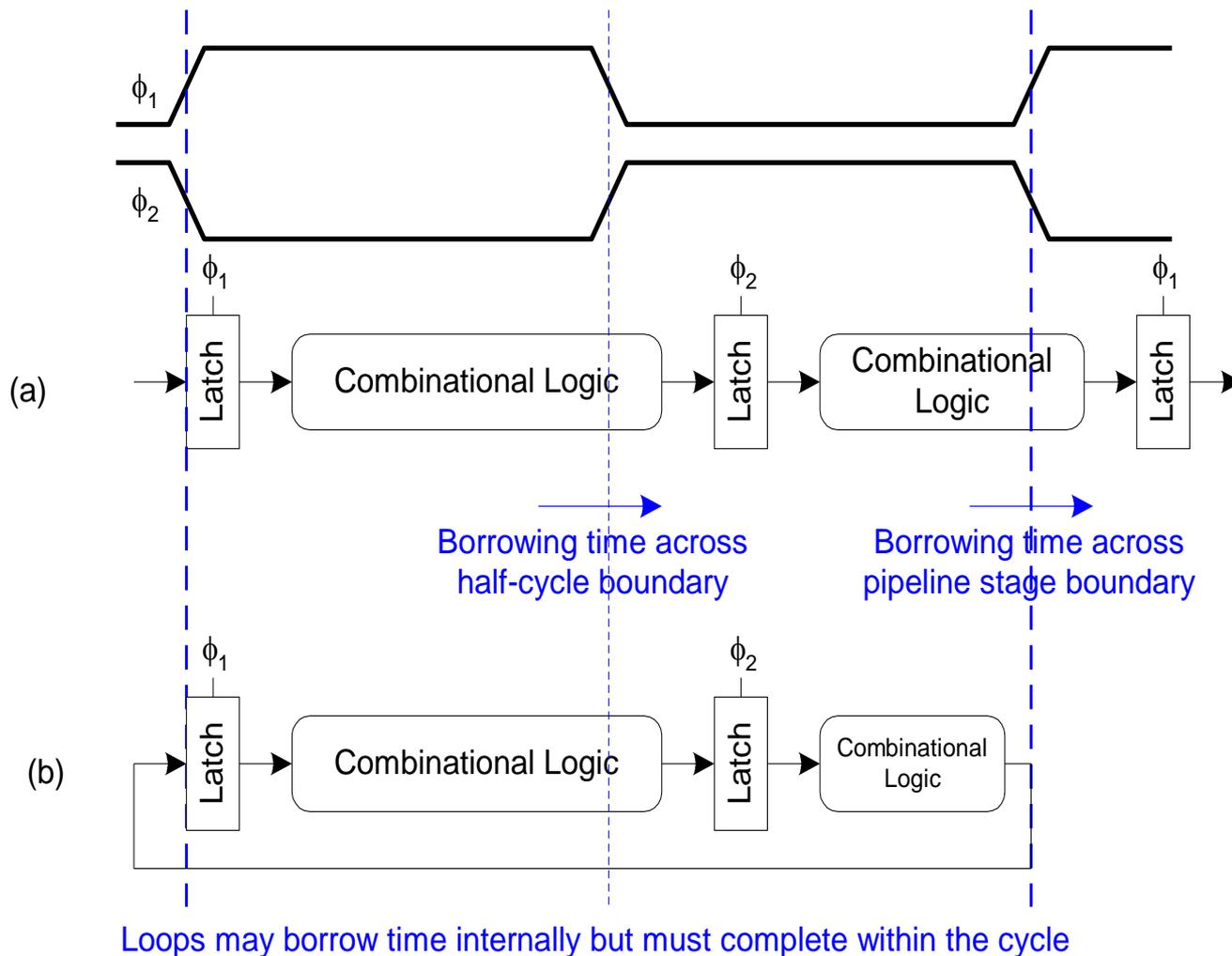
- 数据在前一个触发器时钟的第一个上升沿送出
- 在下一个上升沿之前的建立时间必须到达第二个触发器;
- 如果数据到晚了, 系统错误
- 如果数据到早了, 时间浪费了
- 触发器有严格固定的沿, 无法进行Time borrowing

## ■ 基于锁存器的系统:

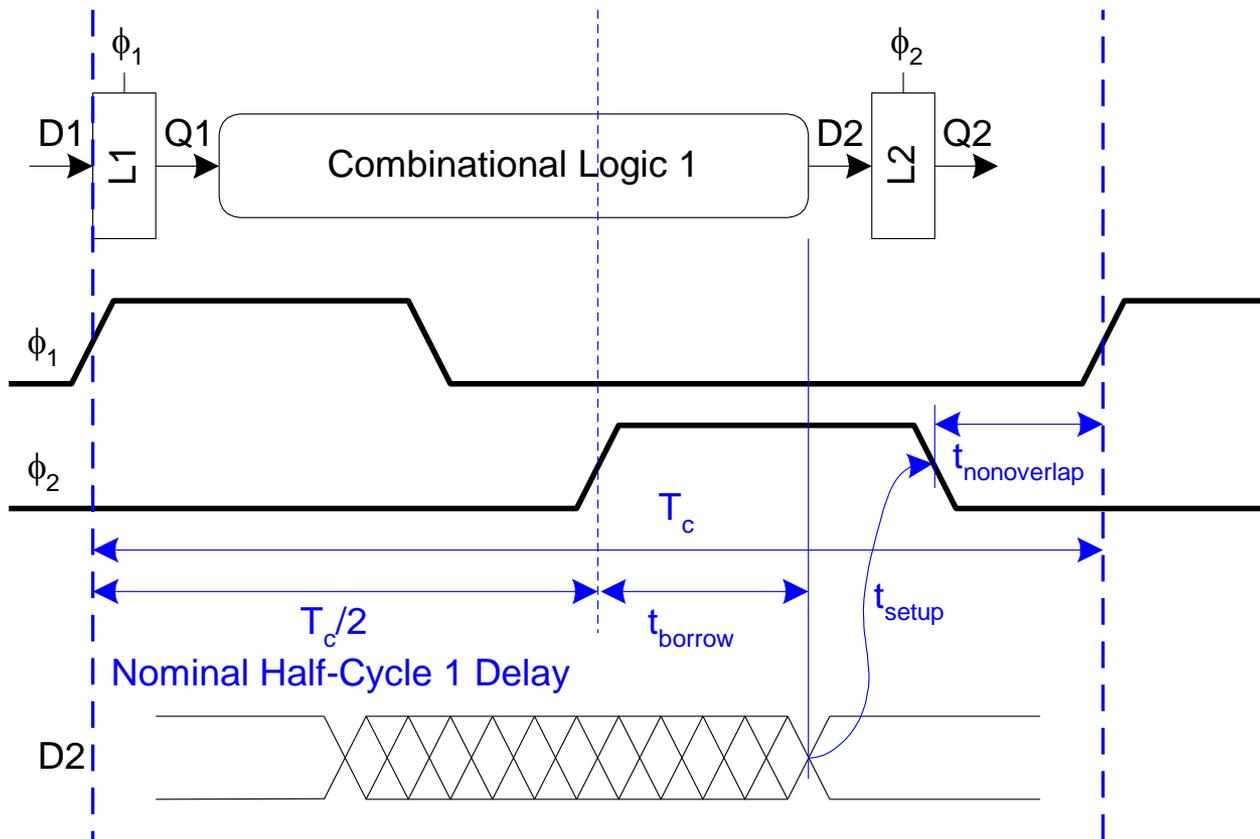
- 当锁存器透明时数据可以穿透过去
- 延时长的逻辑电路可以向下一级锁存器借用时间
- 每个循环只要在一个周期内完成



# 时间借用例子



# 最大借用多长时间？



2-Phase Latches 
$$t_{\text{borrow}} \leq \frac{T_c}{2} - (t_{\text{setup}} + t_{\text{nonoverlap}})$$



# 时钟偏斜(skew)

- 前面我们假设时钟偏斜为0
- 真正的时钟到达时具有不确定性。
  - 减小了最大传输延时
  - 增大最小污染延时
  - 减小time borrowing



# 时钟偏斜: 触发器

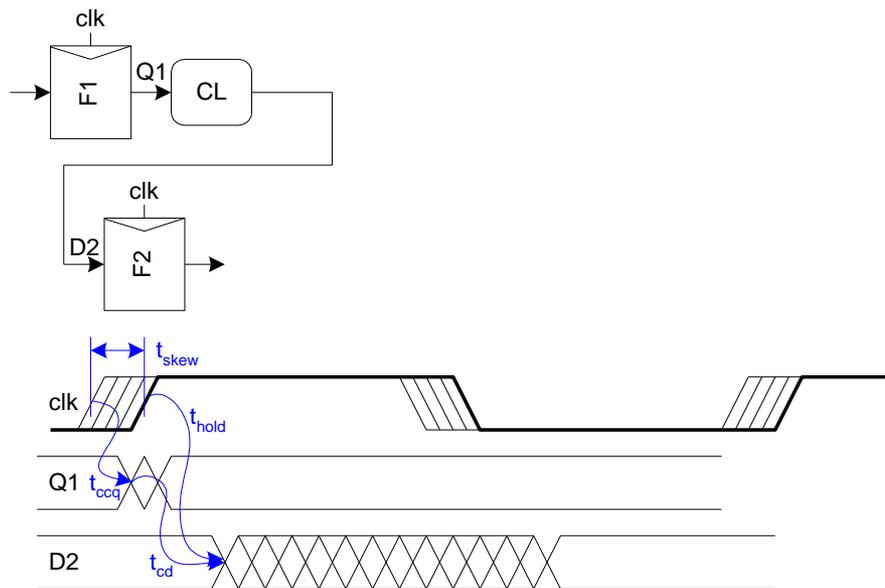
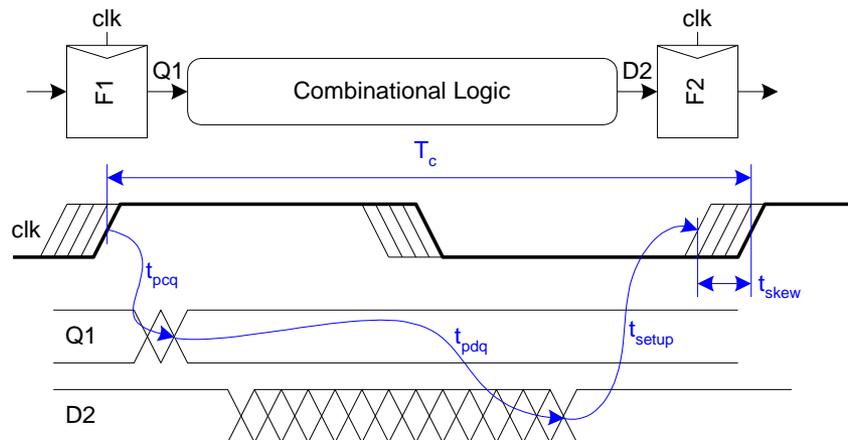
$$T_C > t_{pcq} + t_{pd} + t_{setup} + t_{skew}$$

最大延时:

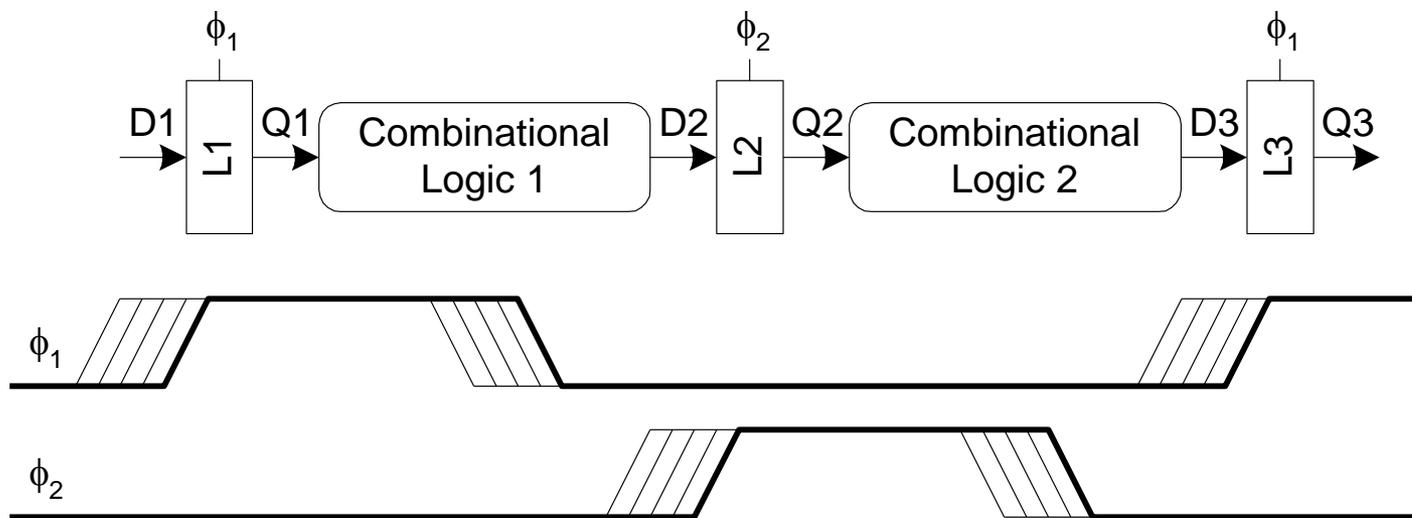
$$t_{pd} \leq T_c - \underbrace{(t_{pcq} + t_{setup} + t_{skew})}_{\text{sequencing overhead}}$$

最小延时:

$$t_{cd} \geq t_{hold} - t_{ccq} + t_{skew}$$



# 时钟偏斜: 2相锁存器



$$t_{pd} \leq T_c - \underbrace{(2t_{pdq})}_{\text{sequencing overhead}}$$

$$t_{cd1}, t_{cd2} \geq t_{\text{hold}} - t_{ccq} - t_{\text{nonoverlap}} + t_{\text{skew}}$$

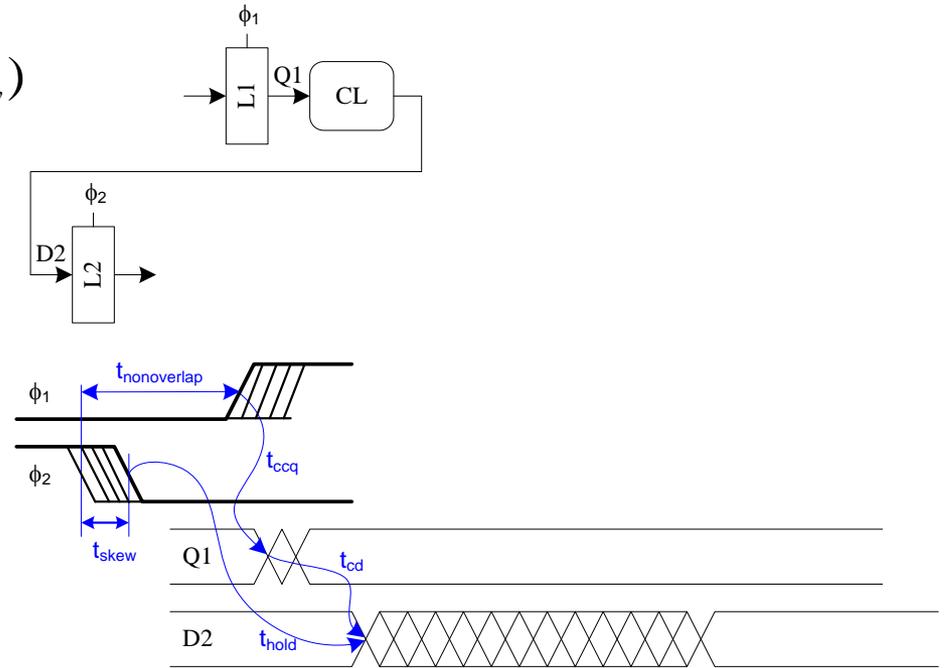
$$t_{\text{borrow}} \leq \frac{T_c}{2} - (t_{\text{setup}} + t_{\text{nonoverlap}} + t_{\text{skew}})$$

- 对最大延时没有影响。因为信号可以有完整的透明周期到达L3。因此锁存器是容许skew的。
- 增加了每个半周期的保持时间。
- 缩小了time borrow的时间。



# skew对最小延时的影响: 两相锁存器

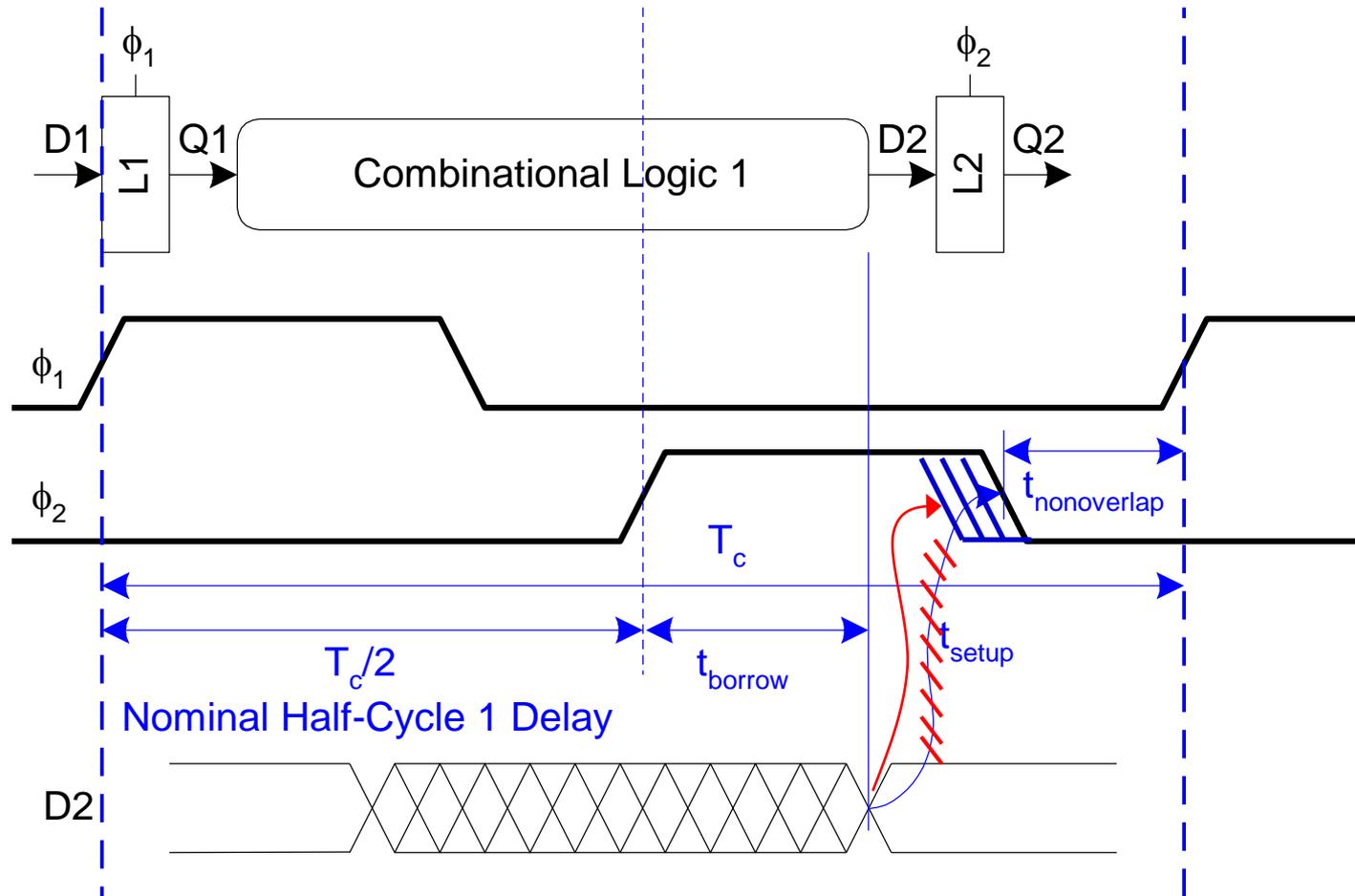
$$t_{cd1}, t_{cd2} \geq (t_{hold} - t_{ccq} - t_{nonoverlap} + t_{skew})$$



$$t_{hold} < t_{nonoverlap} + t_{ccq} + t_{cd} - t_{skew}$$



# 时钟偏斜影响time borrow

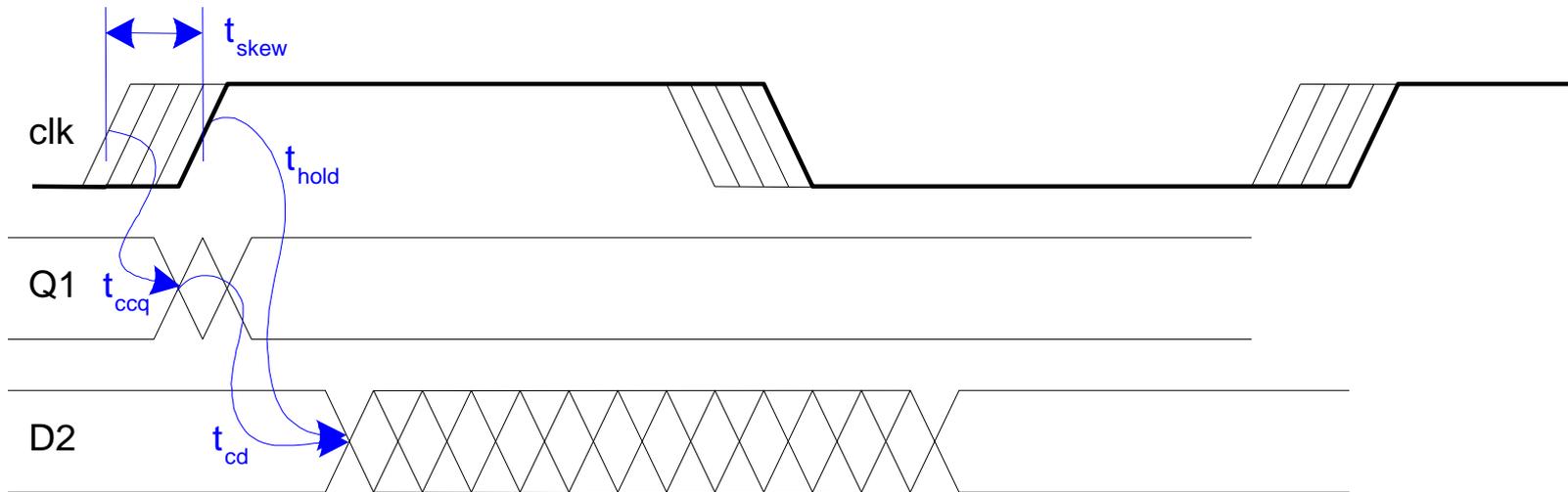


最大borrow时间受到影响,

$$t_{borrow} \leq \frac{T_c}{2} - (t_{setup} + t_{nonoverlap} + t_{skew})$$



# 时钟偏斜影响最小时间



触发器:  $t_{hold} < t_{cd} + t_{ccq} - t_{skew}$

锁存器:  $t_{hold} < t_{cd} + t_{ccq} + t_{nonoverlap} - t_{skew}$

由于时钟skew增加了保持时间非法的可能性。



# 主要内容

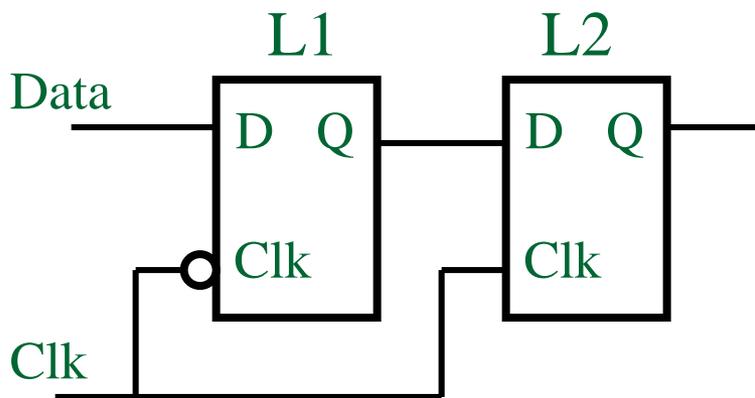
- 概述
- 双稳态元件的特性
- SR锁存电路
- 钟控锁存器和触发器电路
- 钟控存储器的时间相关参数
- CMOS D锁存器和边沿触发器
- 基于脉冲锁存器的钟控存储器
- 基于读出放大器的触发器
- 时钟存储器件中的逻辑嵌入
- 时钟系统的能耗及其节能措施
- 附录：施密特触发器



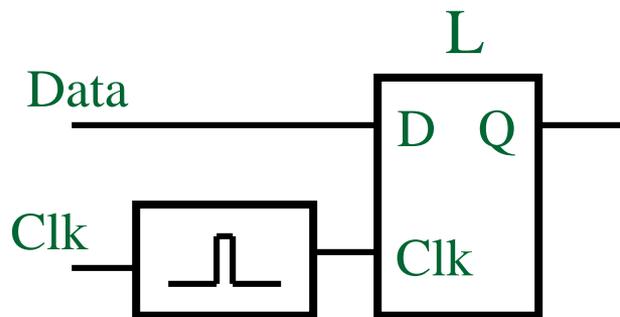
# 脉冲触发寄存器

随着流水线设计加深，时钟频率越来越高，钟控时序单元的开销明显增大，高速IC需要高性能钟控时序电路，减小插入开销。

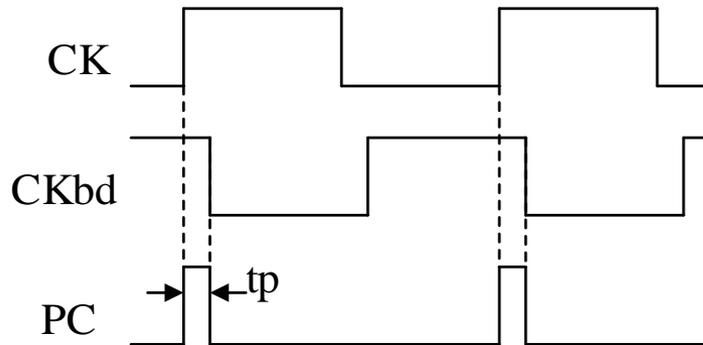
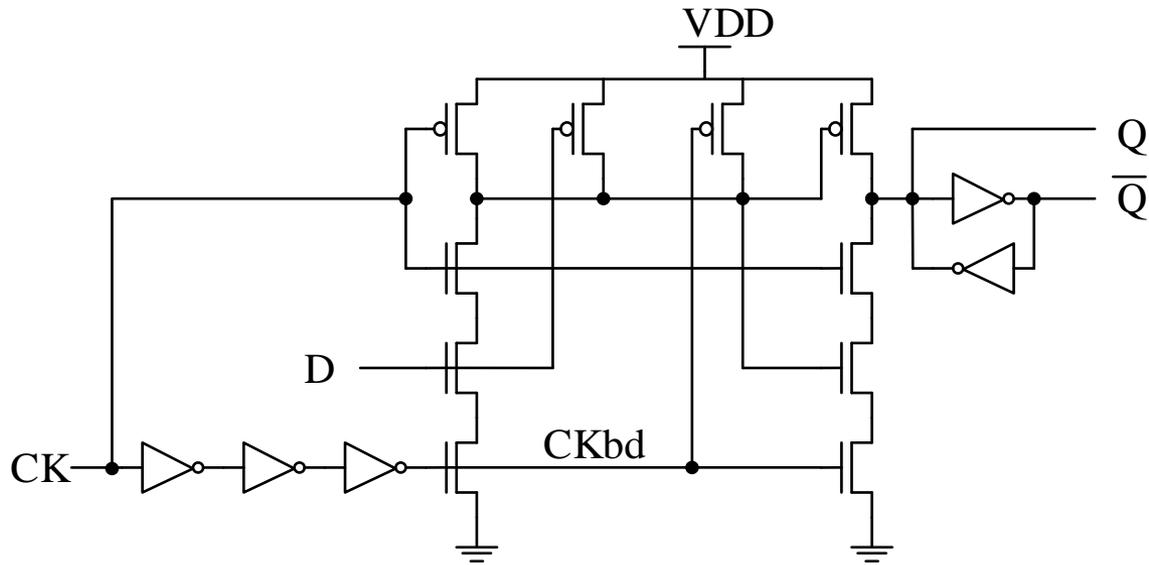
主从锁存器 → 边沿触发器



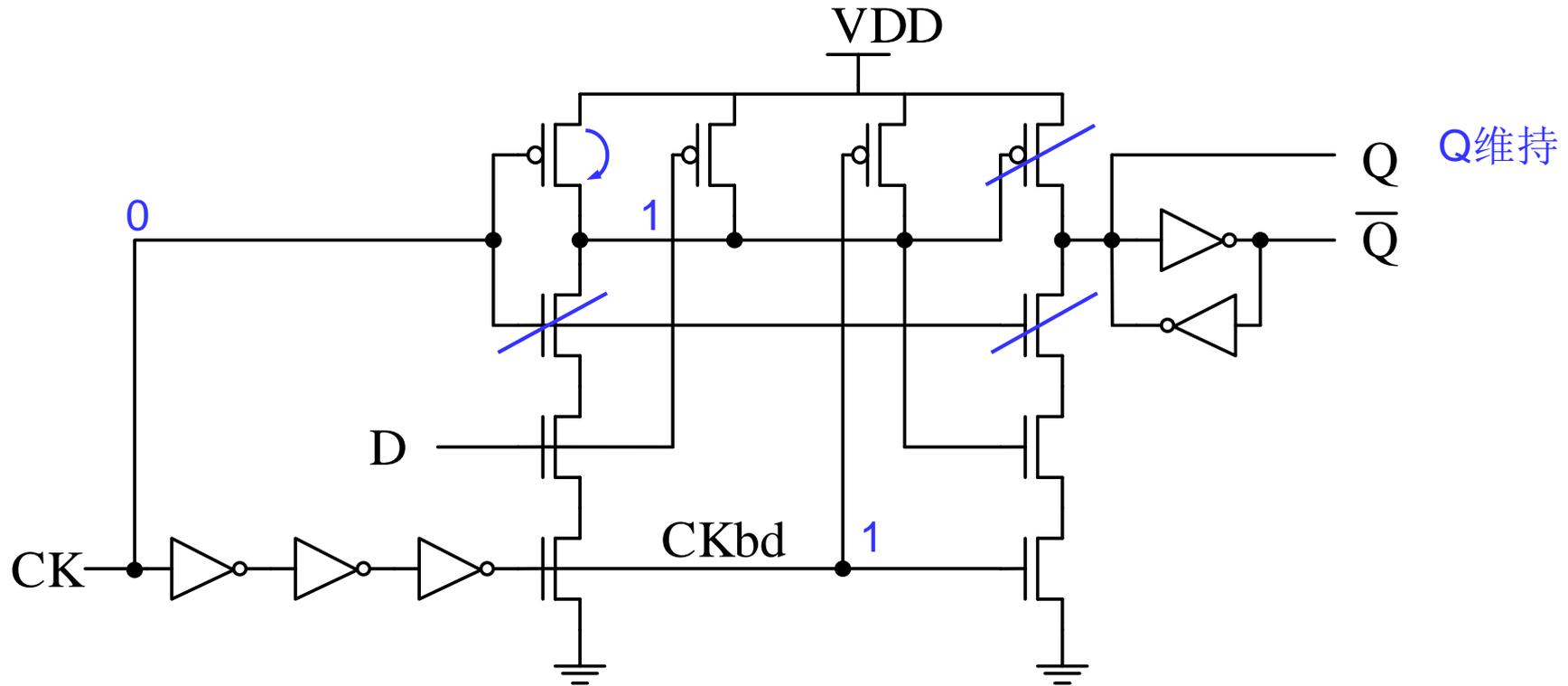
脉冲触发寄存器



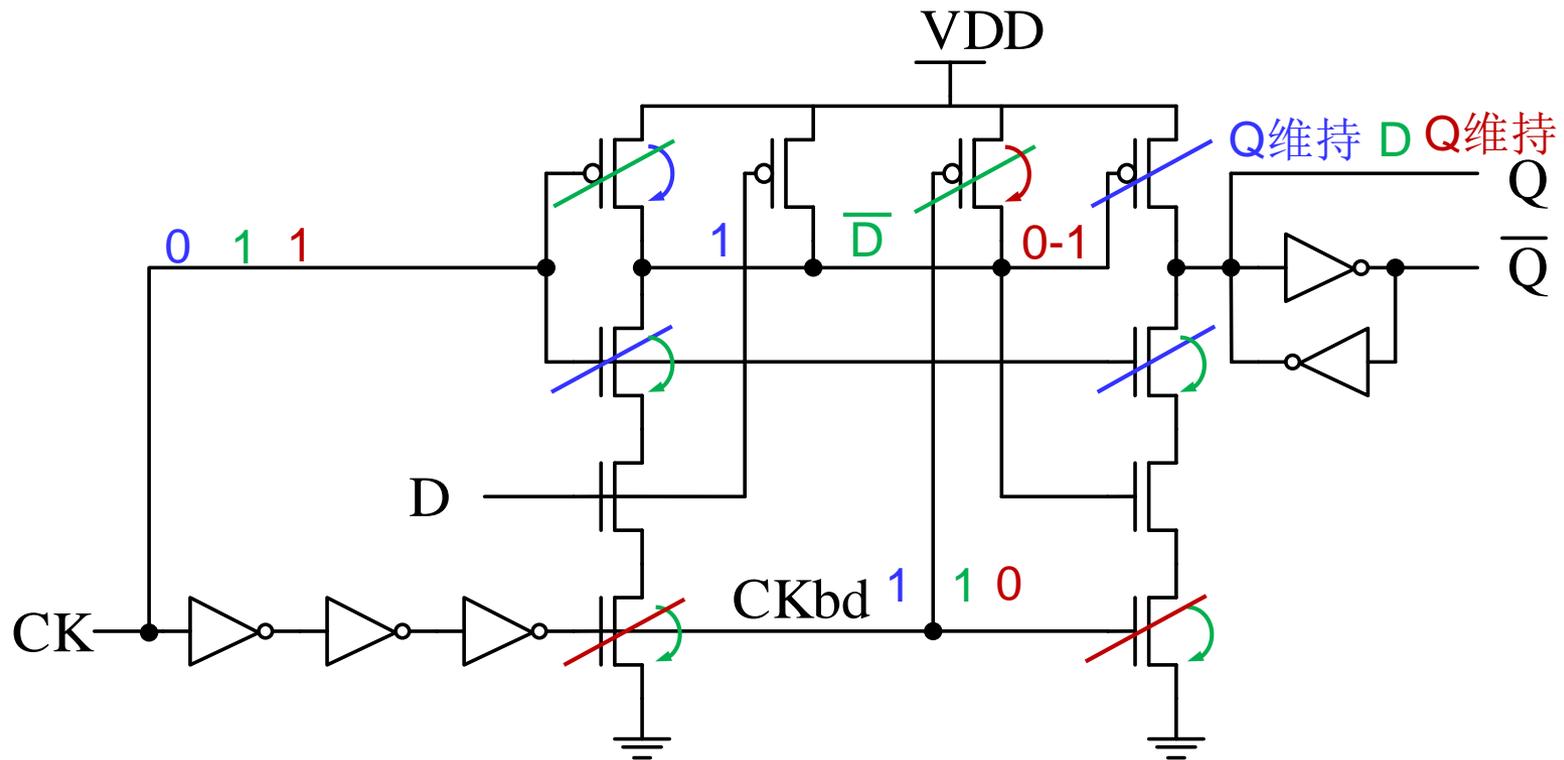
# Hybrid-Latch Flip-Flop



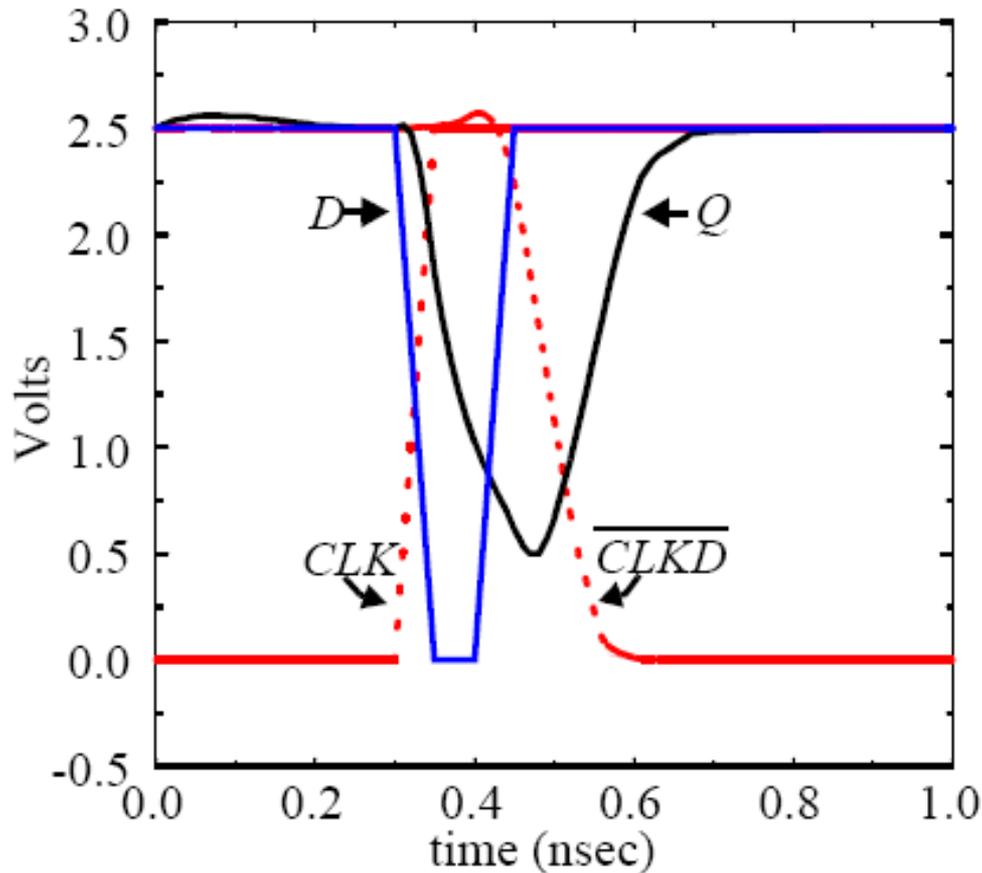
# Hybrid-Latch Flip-Flop



# Hybrid-Latch Flip-Flop



# Hybrid Latch-FF时序



因为在CLK和 $\overline{\text{CLKD}}$ 的(1-1)交叠期间寄存器是透明的，所以输入数据实际可以在时钟上升沿之后改变，只要在 $\overline{\text{CLKD}}$ 的下降沿之前建立D，输出就能得到正确的值。

- + 使建立时间为负数。可以从前一级借用时间。
- + D-Q延时小
- + 嵌入式逻辑代价小
- 输出产生毛刺。不能用于驱动动态逻辑或时钟。



# 其他脉冲锁存器——SDFF

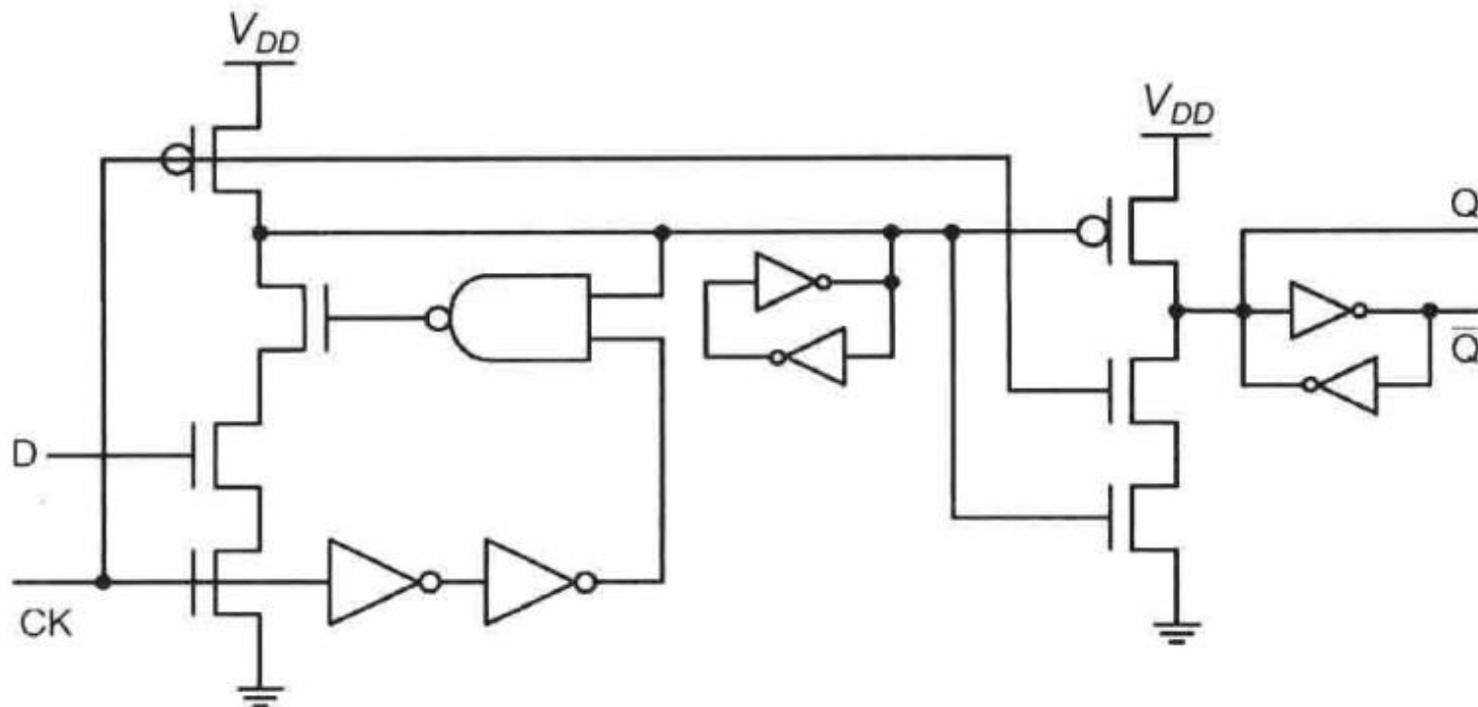


图 8.38 半动态型触发器电路

CK=0时，前一级预充电，输出高电平；

CK=1时，前一级求值，保持高电平或者变成低电平(只会反转一次)，传输到后一级；  
由于中间的两个反相器，动态逻辑变成静态的。用在SUN UltraSPARCIII CPU中。



# 其他脉冲锁存器——ep-SFF?

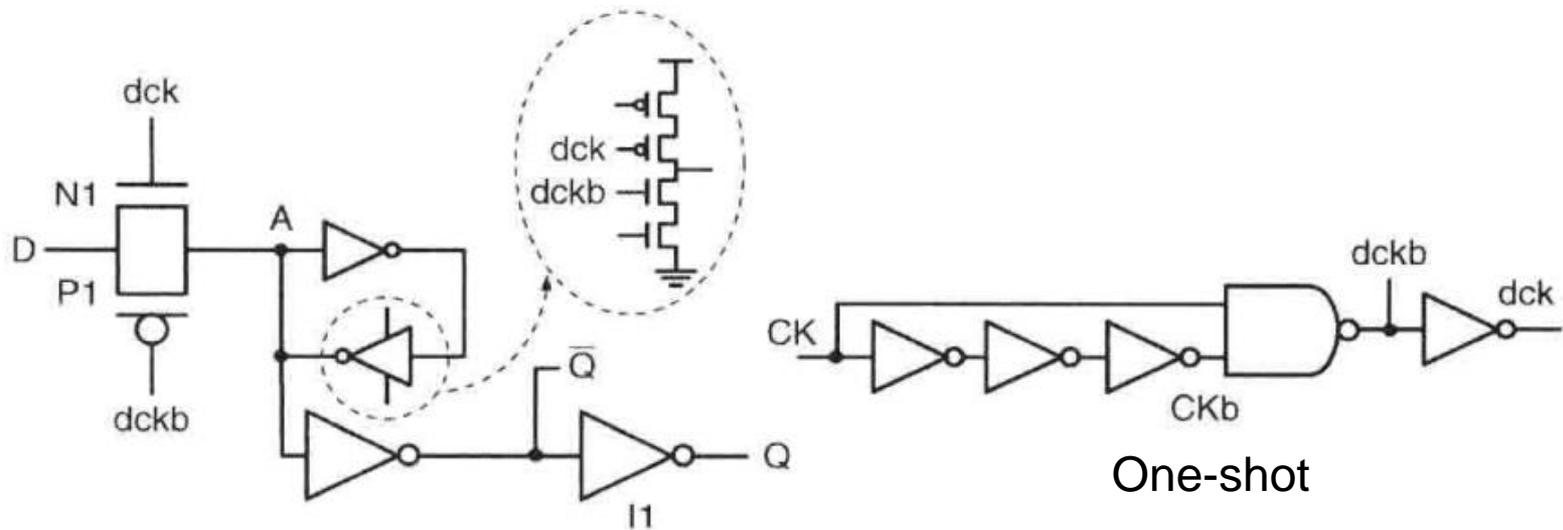


图 8.39 脉冲锁存电路及其脉冲时钟发生器

- +面积小，输出延时小，负的建立时间
- +脉冲发生电路可以被许多锁存电路共享，节省了面积
- 需要长的保持时间

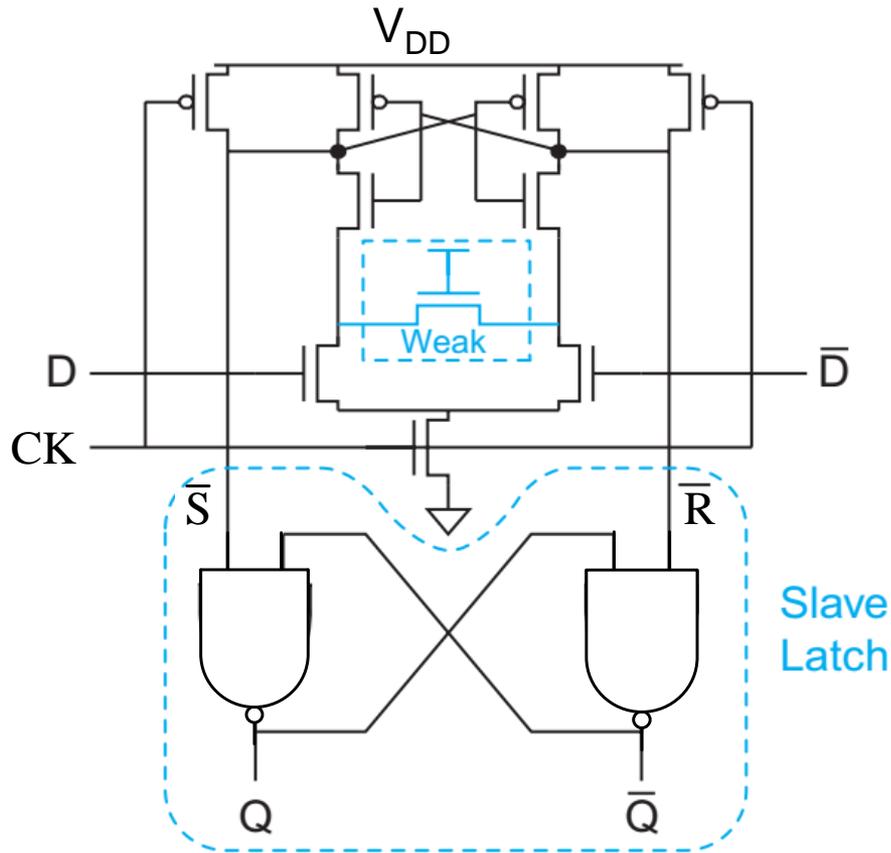


# 主要内容

- 概述
- 双稳态元件的特性
- SR锁存电路
- 钟控锁存器和触发器电路
- 钟控存储器的时间相关参数
- CMOS D锁存器和边沿触发器
- 基于脉冲锁存器的钟控存储器
- 基于读出放大器的触发器
- 时钟存储器件中的逻辑嵌入
- 时钟系统的能耗及其节能措施
- 附录：施密特触发器



# 差分触发器—基于读出放大器(SAFF)



- 差分输入，差分输出；
- 前级由时钟控制的差分放大器构成，可以对微小的输入进行快速放大；
- $CK=0$ 时，S和R结点预充电
- $CK=1$ 时，输入结果被敏感放大器快速求值，得到S和R；
- RS触发器锁存得到的结果。
- 被用于Alpha 21264 CPU和Strong ARM110 CPU

- +速度快，不需要反相时钟
- 结构复杂，面积大，消耗较多的能量
- 交叉耦合的与非门SR latch速度慢



# 差分触发器—改进读出放大触发器(MSAFF)

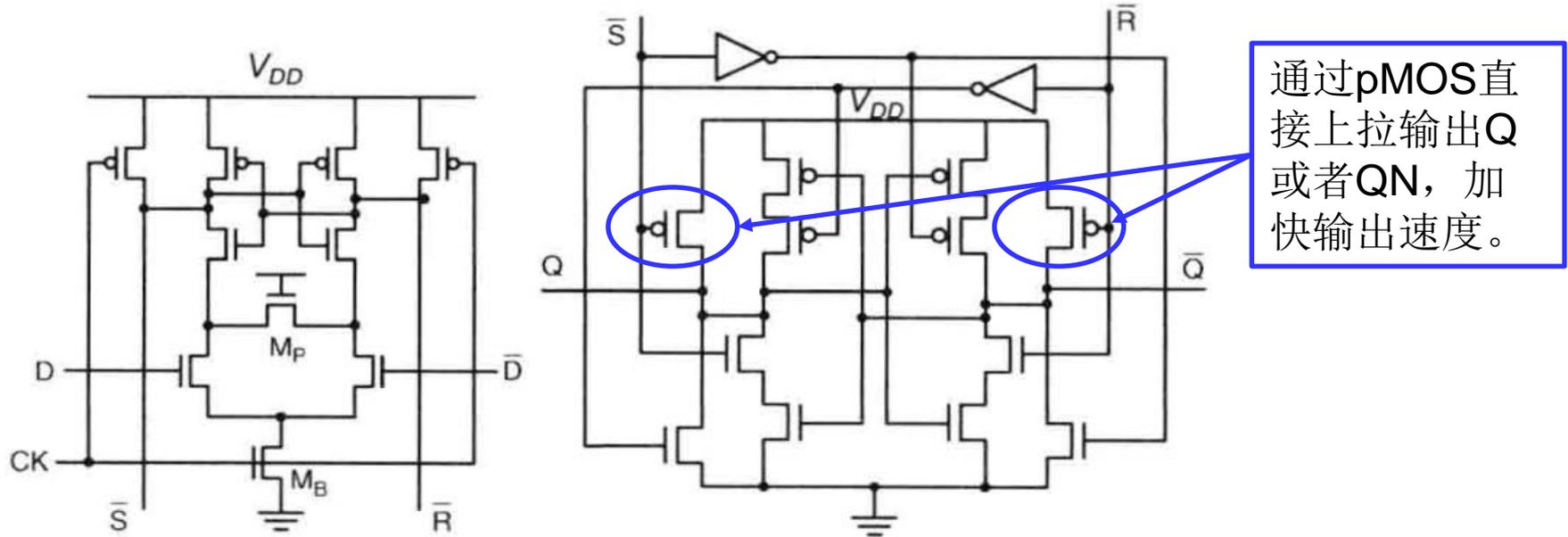
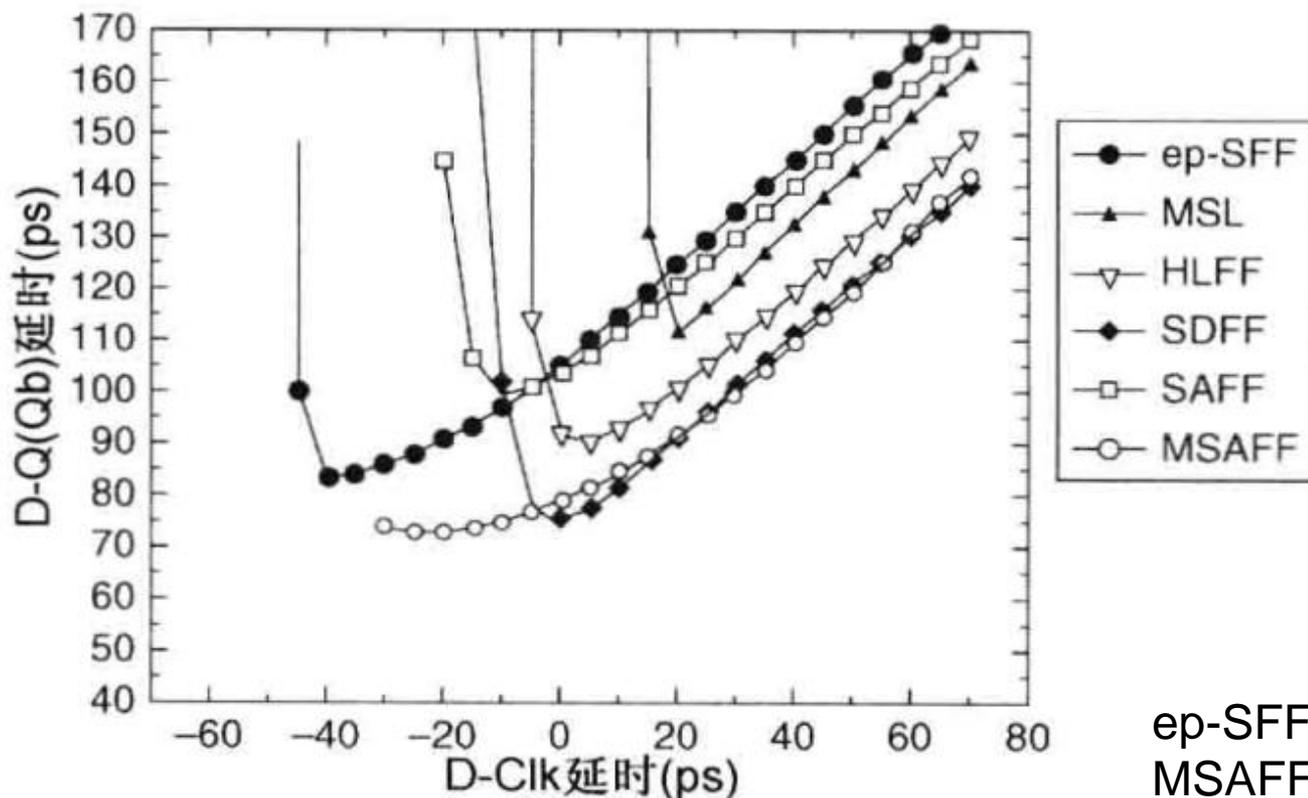


图 8.41 改进的基于读出放大器的触发器电路



# 几种CSE触发器性能对比



性能对比的标准:

- 1、 $t_{C2Q}$ ?
- 2、 $t_{D2Q}$ ?
- 3、 $t_{SETUP}$ ?
- 4、 $t_{HOLD}$ ?

触发器的时间开销包括:  $t_{SETUP}$  和  $t_{C2Q}$ , 这两个时间相加的和越小, 触发器性能越高。

ep-SFF有最大的负 $t_{SETUP}$   
MSAFF有最小的D-Q延时

图 8.42 最先进的时钟存储器件延时比较



# 主要内容

- 概述
- 双稳态元件的特性
- SR锁存电路
- 钟控锁存器和触发器电路
- 钟控存储器的时间相关参数
- CMOS D锁存器和边沿触发器
- 基于脉冲锁存器的钟控存储器
- 基于读出放大器的触发器
- 时钟存储器件中的逻辑嵌入
- 时钟系统的能耗及其节能措施
- 附录：施密特触发器



# SDFF中嵌入组合逻辑

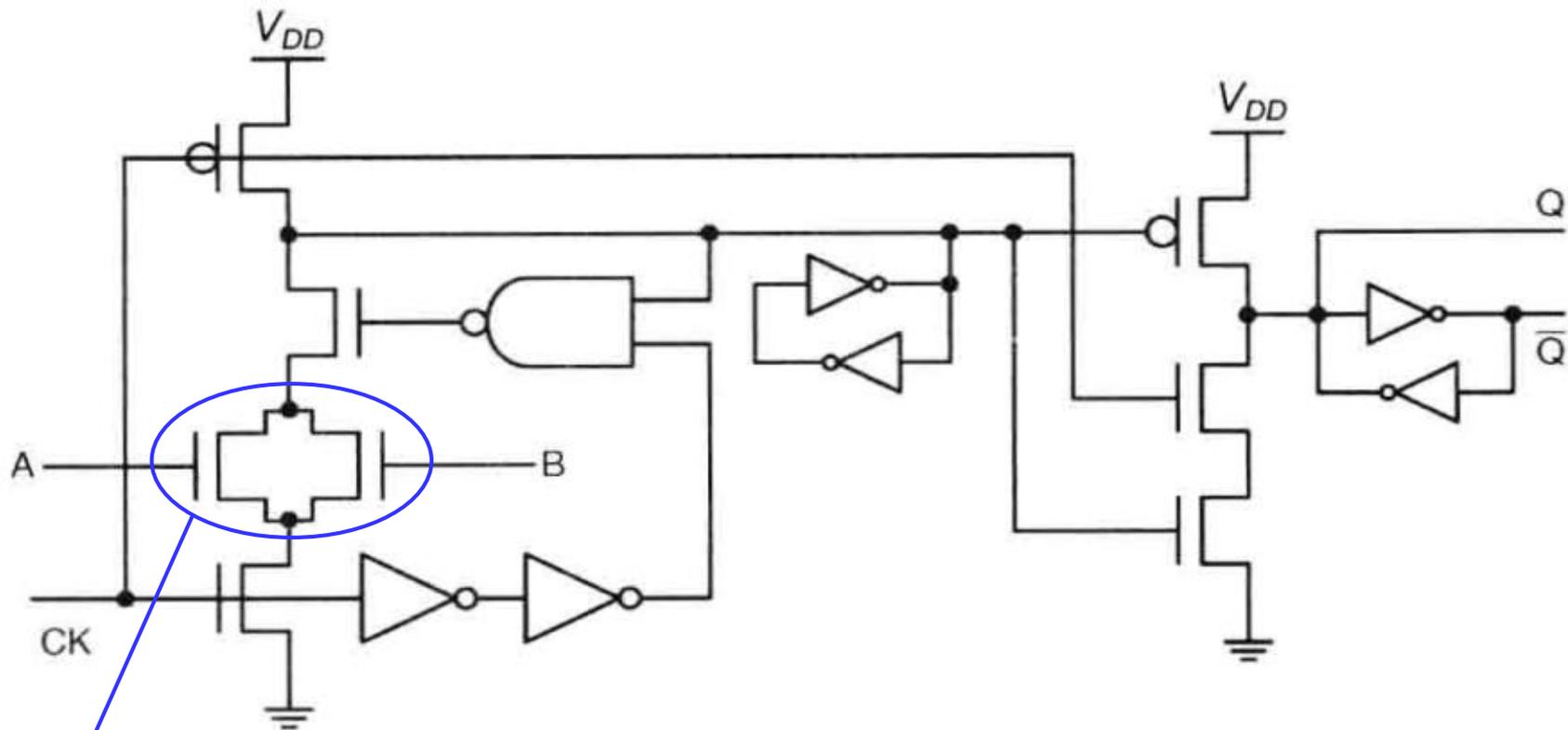


图 8.43 逻辑嵌入的半动态触发器电路

$A+B$



# SDFF中嵌入组合逻辑

表 8.4 嵌入式逻辑 SDFF 与分立的逻辑电路的速度比较

	$D$	$A \cdot B$	$A+B$	$A \cdot B + C \cdot D$
嵌主式	199 ps	219 ps	229 ps	246 ps
分立的	199 ps	298 ps	305 ps	367 ps
加速比	1.0	1.36	1.33	1.49



# 主要内容

- 概述
- 双稳态元件的特性
- SR锁存电路
- 钟控锁存器和触发器电路
- 钟控存储器的时间相关参数
- CMOS D锁存器和边沿触发器
- 基于脉冲锁存器的钟控存储器
- 基于读出放大器的触发器
- 时钟存储器件中的逻辑嵌入
- 时钟系统的能耗及其节能措施
- 附录：施密特触发器



# 时钟的能耗

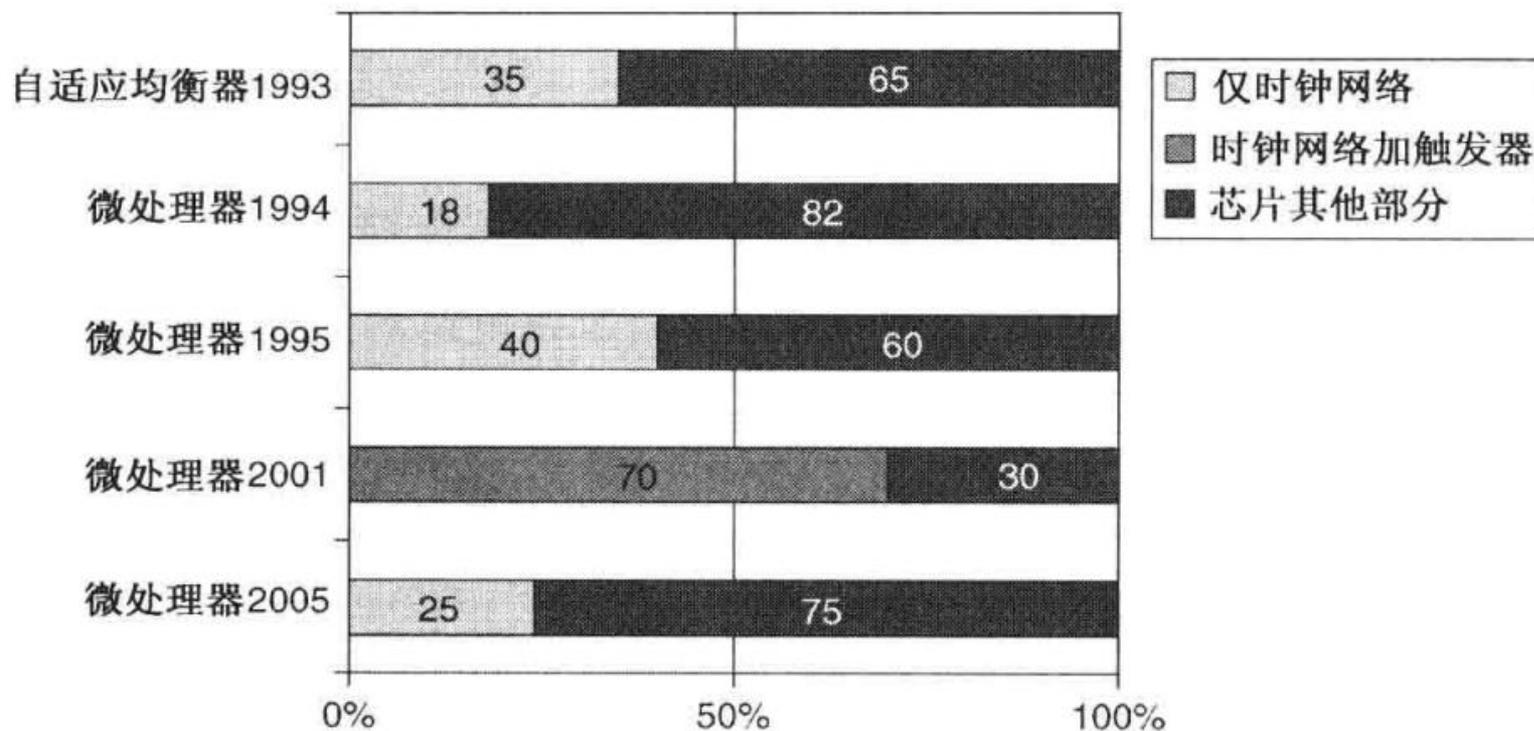


图 8.44 在不同超大规模集成芯片中时钟功耗所占比例



# 时钟节能措施

时钟网络功耗

触发器或者寄存器功耗

$$P_{ck-scheme} = P_{ck-network} + P_{FF}$$

$$P_{ck-network} = f_{CLK} \cdot C_{line} + C_{rep} + C_{ck-tr} \cdot V_{ck-swing}^2 + V_{DD} \cdot I_{leak,rep}$$

$$P_{FF} = \sum P_{ff}$$

线电容

中继器电容

触发器时钟输入端电容

$$P_{ff} = \left[ \alpha_i C_i + \alpha_o C_o \cdot \beta + C_{local-buf} \cdot \gamma \right] \cdot V_{DD}^2 \times f_{CLK} + V_{DD} \cdot I_{leak,local-buf} + I_{leak,FF}$$

内部结点翻转概率

输出结点翻转概率

本地时钟缓冲器电容

单沿触发器:  $\beta=1$ ; 双沿触发器:  $\beta=2$

每个触发器有本地时钟缓冲器:  $\gamma=1$ ; 多个触发器共享缓冲器:  $\gamma=0$



# 时钟节能措施

$$P_{ck-network} = f_{CLK} \cdot C_{line} + C_{rep} + C_{ck-tr} \cdot V_{ck-swing}^2 + V_{DD} \cdot I_{leak,rep}$$

$$P_{ff} = \left[ \alpha_i C_i + \alpha_o C_o \cdot \beta + C_{local-buf} \cdot \gamma \right] \cdot V_{DD}^2 \times f_{CLK} \\ + V_{DD} \cdot I_{leak,local-buf} + I_{leak,FF}$$

- 降低结点电容
- 降低时钟电压摆幅
- 去除冗余的转换活动
- 降低时钟频率——双沿触发器，可以减小**50%**功耗，但是会给电路设计带来困难

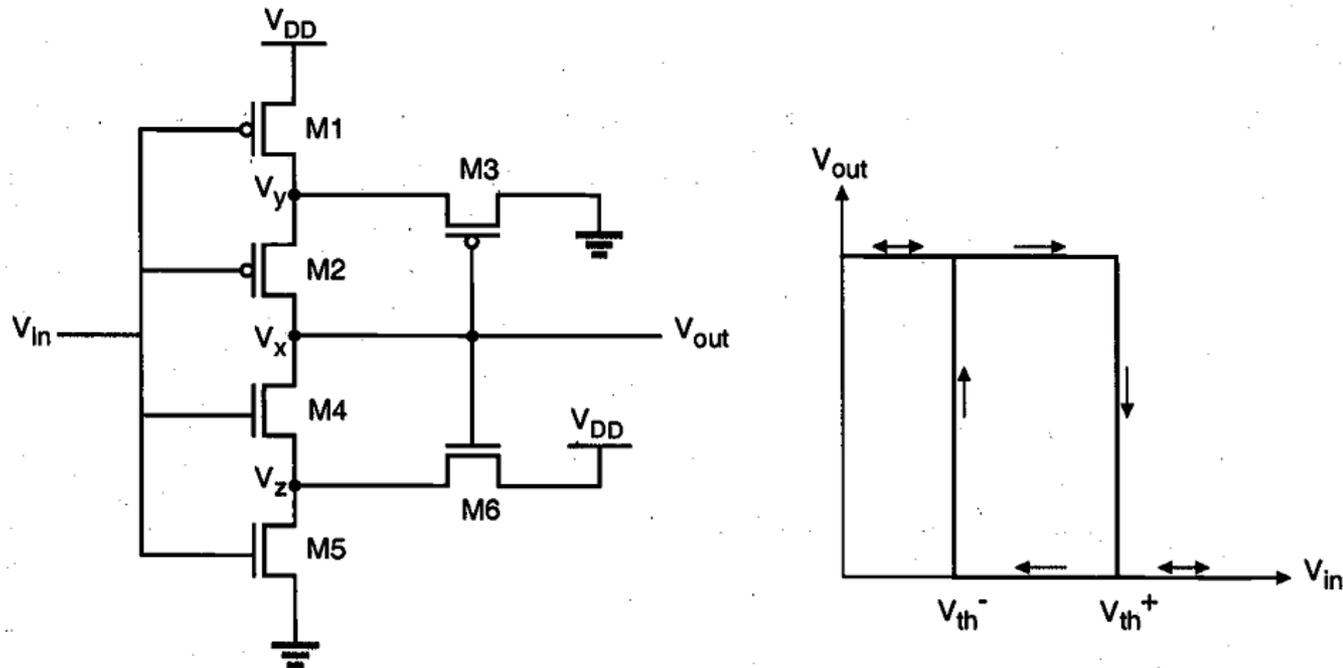


# 主要内容

- 概述
- 双稳态元件的特性
- SR锁存电路
- 钟控锁存器和触发器电路
- 钟控存储器的时间相关参数
- CMOS D锁存器和边沿触发器
- 基于脉冲锁存器的钟控存储器
- 基于读出放大器的触发器
- 时钟存储器件中的逻辑嵌入
- 时钟系统的能耗及其节能措施
- 附录：施密特触发器



# 施密特触发器(Schmitt trigger)

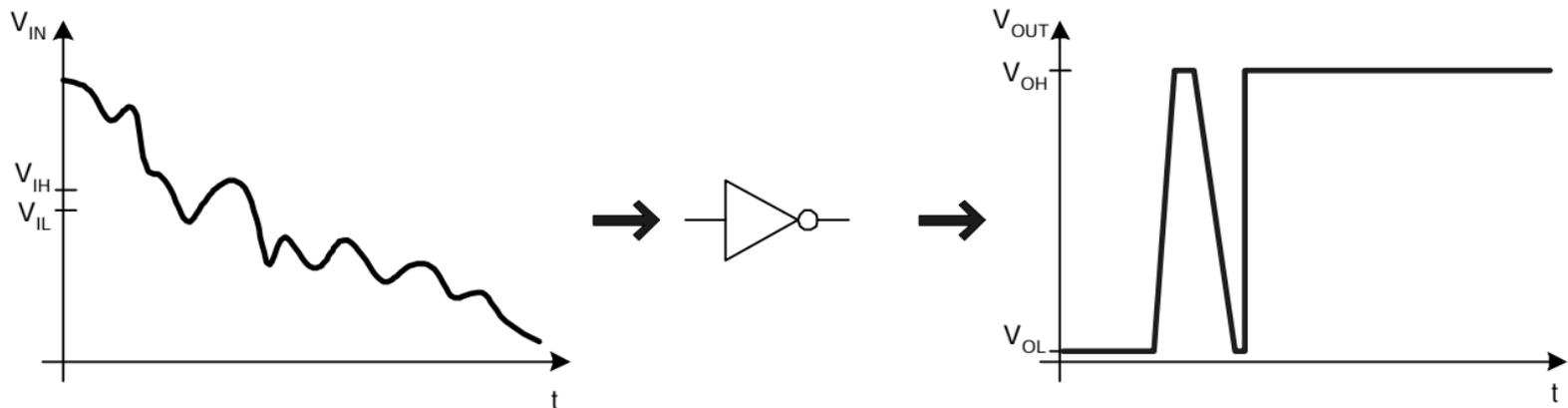
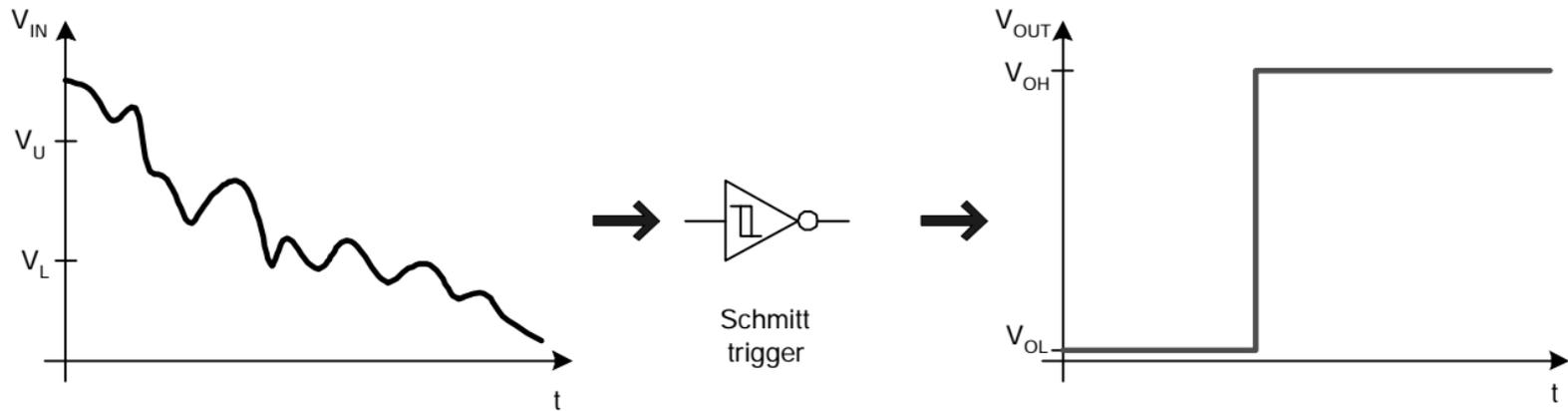


定性分析:  $V_{in}$ 从 $0 \rightarrow V_{DD}$ 变化时, 由于 $V_{out}$ 开始为高, 所以M6导通, 使 $V_z$ 电平较高, M4截止; 当 $V_{in}$ 足够高, M5导通电阻减小, 使 $V_z$ 降低到M4导通, 输出才开始下降。一旦 $V_{out}$ 变低, M6截止, M4导通更大,  $V_{out}$ 下降更快, 形成正反馈。  
 $V_{in}$ 从 $V_{DD} \rightarrow 0$ 变化时, 由于 $V_{out}$ 开始为低, 所以M3导通, 使 $V_y$ 为低电平, M2截止, 当 $V_{in}$ 足够低, M1导通更多, 使 $V_y$ 升高足够高, M2导通, 输出才开始转高电平。

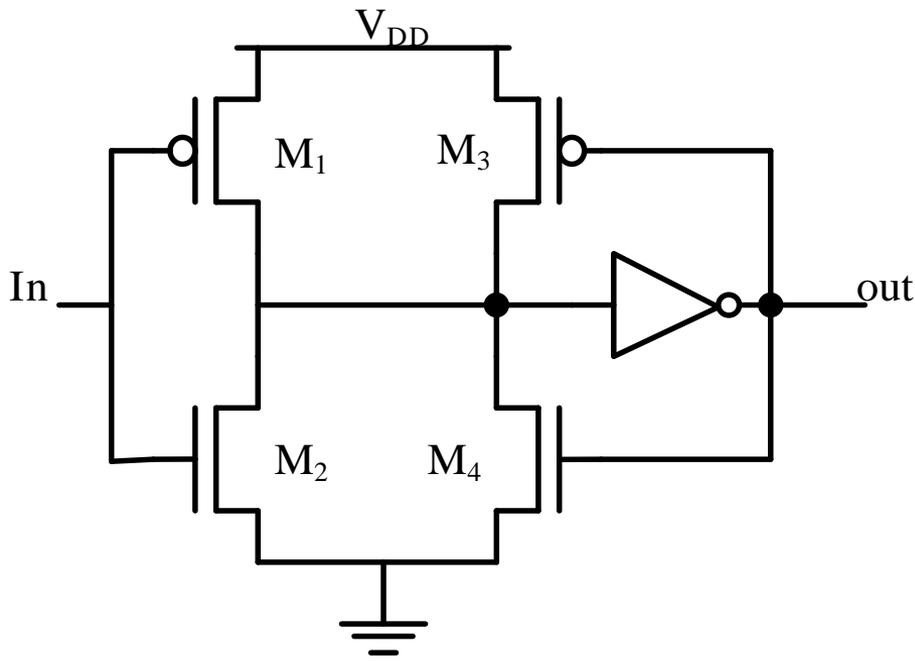
定量分析见课本第8章的附录。请大家自学。



# 施密特触发器用途



# 具有迟滞功能的缓冲器



另一种具有迟滞功能的缓冲器，动态改变上拉或者下拉晶体管尺寸。

