

西安交通大学

系（所） \_\_\_\_\_  
系（所）主任 \_\_\_\_\_  
批准日期 \_\_\_\_\_

## 毕业设计(论文)任务书

\_\_\_\_\_ 电信学 \_\_\_\_\_ 院 \_\_\_\_\_ 电子 \_\_\_\_\_ 系 \_\_\_\_\_ 83 \_\_\_\_\_ 班 学生 \_\_\_\_\_ 王越 \_\_\_\_\_

毕业设计(论文)课题 \_\_\_\_\_ LED 芯片的光刻板设计 \_\_\_\_\_

毕业设计(论文)工作自 \_\_\_\_\_ 2012 \_\_\_\_\_ 年 \_\_\_\_\_ 2 \_\_\_\_\_ 月 \_\_\_\_\_ 20 \_\_\_\_\_ 日起至 \_\_\_\_\_ 2012 \_\_\_\_\_ 年 \_\_\_\_\_ 6 \_\_\_\_\_ 月 \_\_\_\_\_ 19 \_\_\_\_\_ 日止

毕业设计(论文)进行地点： \_\_\_\_\_ 西安交通大学 \_\_\_\_\_

课题的背景、意义及培养目标

GaN 基 LED 技术虽已取得很大发展，但芯片的光提取效率、电流扩展能力、散热等方面的问题仍需改善。本课题拟通过对水平结构 GaN 基 LED 电极形状的优化设计来改善电流分布的均匀性问题，从而提高出光效率和散热能力。在电极形状设计的基础上，完成整套的光刻板图设计，并进行流片实验来检测设计的合理性。通过这样一个过程，深入了解 LED 芯片设计和工艺，也为以后的学习奠定基础。

设计(论文)的原始数据与资料

1. 《Light Emitting Diodes》 E. Fred Schubert \_\_\_\_\_
2. 《半导体物理与器件》 Donald A. Neamen \_\_\_\_\_
3. 《微纳米加工技术及其应用》 崔铮 \_\_\_\_\_

课题的主要任务

1. 了解 LED 发展历史和基本原理 \_\_\_\_\_
2. 掌握电流聚集效应和改进方法 \_\_\_\_\_
3. 设计水平结构 LED 芯片的优化电极结构，和系列光刻版图 \_\_\_\_\_

4.掌握 LED 芯片的制作过程和芯片的性能测试

5.学会分析、解决问题，提高自主学习能力

课题的基本要求(工程设计类题应有技术经济分析要求)

1.设计多组水平结构 GaN 基 LED 芯片的电极结构形状，并设计相应的光刻版图

2.掌握 LED 芯片工艺

3.学会 LED 芯片的基本性能测试和分析

完成任务后提交的书面材料要求(图纸规格、数量，论文字数，外文翻译字数等)

1.完成一篇本科毕业设计论文（不少于 15000 字）

2.翻译一篇相关的英文论文(3000 字左右)

主要参考文献

1.E. Fred Schubert. Light Emitting Diodes. [M]. London: Cambridge Press, 2003: 78-85.

2. C. Y. Hsu, H. H. Lan, Y. S. Wu. Effect of thermal annealing of Ni/Au ohmic contact on the leakage current of GaN based light emitting diodes. [J]. Applied Physics Letters, 2003, 83: 2447-2449.

3. X. Guo, Y. L. Li, E. F. Schubert. Efficiency of GaN/InGaN light-emitting diodes with interdigitated mesa geometry. [J]. Applied Physics Letters, 2001, 79: 1936-1938.

指导教师\_\_\_\_\_

接受设计(论文)任务日期\_\_\_\_\_

(注：由指导教师填写)

学生签名：\_\_\_\_\_

## 西安交通大学

# 毕业设计(论文)考核评议书

电信学 院 电子科学与技术 系(专业) 83 班级

指导教师对学生 王越 所完成的课题为

LED 芯片的光刻板设计

的毕业设计(论文)进行的情况,完成的质量及评分的意见: 本论文针对水平结构 GaN 基 LED 电流拥挤效应,设计了 9 种电极图形,并继续完成了整套的光刻板版图的设计;在此基础上进行了流片实验,得到制作好的 LED 芯片,并进行了光电性能的测试和分析。文章论述清楚,内容完整,符合毕设任务书要求。建议成绩:良

指导教师

年 月 日

## 毕业设计(论文)评审意见书

评审意见: 熟悉掌握水平结构 LED 芯片的整个工艺流程。可以根据基本电流优化理念设计合理的芯片电极图形,并完成整套芯片光刻版图的设计与绘制。完成流片实验后,对每组芯片进行光电性能的测试和相应的分析,总结了不同电极图案的性能优略。内容达到毕设要求。

评阅人 职称

年 月 日

# 毕业设计(论文)答辩结果

\_\_\_\_\_电信学\_\_\_\_\_院

\_\_\_\_\_电子科学与技术\_\_\_\_\_系(专业)

毕业设计(论文)答辩组对学生\_\_\_\_\_王越\_\_\_\_\_所完成的课题为

\_\_\_\_\_LED 芯片的光刻板设计\_\_\_\_\_

的毕业设计(论文)经过答辩,其意见为该生认真完成毕设相关实验设计, 论文内容完整, 结构合理; 回答问题思路清晰, 表述正确; 文献翻译准确, 达到毕设任务书的要求。

并确定成绩为\_\_\_\_\_

毕业设计(论文)答辩组负责人\_\_\_\_\_

答辩组成员\_\_\_\_\_

\_\_\_\_\_年 月

论文题目：LED 芯片的光刻板设计

学生姓名：王越

指导教师：云峰

## 摘 要

LED 是一种节能、环保、耐用的固态冷光源。随着大功率 LED 的发展，GaN 基 LED 技术取得了很大突破，但芯片的光提取效率、电流扩展能力、散热等方面的问题仍需改善。本课题分析了目前提高 LED 出光效率的各种方法，并通过电极形状的优化设计来改善电流分布的均匀性问题，从而提高出光效率和散热能力。

不同电极形状对 GaN 基 LED 芯片的电流密度分布影响迥异。电极在芯片分布越均匀，正负电极距离越相等，则电流密度分布越均匀，从而电流拥挤效应也能够得到改善。此外，不同的电极形状对芯片光电性能也有不同的影响，电极结构的合理设计有助于改善芯片 I-V 特性，降低正向工作电压，减小串联电阻；改善 I-L 特性，提高芯片亮度、光功率。

本文通过对传统水平结构 GaN 基 LED 芯片电极形状基本改进图形的研究分析，结合业内已有电极图形，设计了 9 种电极图案，并为每种图案设计相关的一系列光刻板图。光刻板的设计包括台面版图、ITO 版图、电极版图和钝化层版图。为了验证电极图案设计的结果，需要进行流片实验，主要包括台面刻蚀、ITO 制作、电极制作以及钝化层制作四部分内容。对制作好的芯片进行了光电性能测试，分析比较不同电极形状的芯片的电流密度分布、正向电压、光亮度等特性。

**关键词：**发光二极管（LED）；电流密度；电流拥挤效应；电极形状；光刻板

**Title: The design of photolithography mask for LED chips fabrication**

**Name: Wang Yue**

**Supervisor: Yun Feng**

## ABSTRACT

LED is a new kind of solid cold light source with energy saving, environmental protection, and durability. Along with the development of high power LEDs, GaN-based LED technology has made great breakthrough. However, at the chip level, light extraction efficiency, current spreading capability, heat dissipation, and other issues still need to be improved. This study presents a comprehensive analysis of the existing methods to improving LED output efficiency of the light, propose new electrode shape optimization design to further improve the uniform current distribution, and experiments on the improvement of light extraction efficiency and heat dissipation capacity.

Electrode shapes on GaN-based LED chips affects the current density distribution. Electrodes in the uniform distribution of chips, positive and negative electrode distance more equal. A uniform current density distribution depends on the uniform distribution of current by properly designed electrodes, as well as the positioning of the positive and negative electrodes. In addition, electrode shape also affects the electrical and optical performance of the chip. Therefore, a reasonable design of electrode structure helps to improve the chip I-V characteristics and to reduce the positive working voltage, and series resistance, which leads to an improvement of the I-L characteristics, i.e., chip brightness and optical power output.

This work proposes 9 mask designs for the full fabrication of LED photolithography. The work is based on a thorough analysis of the traditional horizontal structure GaN-based LED commonly used in the industry. Each set of masks includes mesa pattern, ITO current spreading layer, electrodes, and passivation layer. In order to verify the effectiveness of the

mask design results, LED chip fabrication process flow were carried out including mesa ICP etch, ITO coating, electrode deposition, and passivation layer deposition. Various kinds of thus fabricated LED chips were then tested for their electric and optical performance. The key parameters such as current density distribution, positive voltage, brightness were analyzed and compared for each design.

Keywords: Light-emitting diodes (LED); Current density; Current crowding effect; Electrode shape; Photolithography masks

## 目 录

第 1 章 绪论 .....	1
1.1 研究背景 .....	1
1.1.1 LED 发展概况 .....	1
1.1.2 GaN 基 LED 的基本结构 .....	2
1.1.3 LED 工作原理 .....	3
1.2 研究目的和意义 .....	5
1.3 研究内容及方法 .....	6
第 2 章 LED 芯片设计相关理论 .....	7
2.1 LED 发光效率的提高方法 .....	7
2.1.1 提高内量子效率 .....	7
2.1.2 提高功率效率 .....	7
2.1.3 提高光提取效率 .....	8
2.2 ITO 在 GaN 基 LED 芯片中的使用 .....	11
2.3 钝化膜对 GaN 基蓝光 LED 性能的影响 .....	12
2.3.1 钝化材料 .....	13
2.3.2 钝化工艺 .....	13
2.3.3 钝化处理对 LED 性能的影响 .....	14
第 3 章 光刻版图的设计与绘制 .....	16
3.1 电极形状的优化设计 .....	16
3.1.1 电流拥挤效应 .....	16
3.1.2 传统电极 .....	17
3.1.3 简单的优化电极 .....	17
3.2 版图设计 .....	18



3.2.1 电极版图的设计 .....	18
3.2.2 台面版图 .....	19
3.2.3 ITO 版图 .....	19
3.2.4 钝化层版图 .....	20
3.3 版图绘制结果 .....	20
第 4 章 流片实验及结果分析 .....	22
4.1 LED 芯片工艺流程 .....	22
4.2 LED 芯片结构测试分析 .....	23
4.3 芯片的光电性能测试分析 .....	24
4.3.1 不同电极形状芯片的电流分布 .....	24
4.3.2 芯片的 I-V 特性和 I-L 特性分析 .....	27
第 5 章 总结 .....	29
参考文献 .....	30
附 录 .....	32
致 谢 .....	44



## 第1章 绪论

### 1.1 研究背景

#### 1.1.1 LED 发展概况

Light-Emitting Diode 是一种根据 p-n 结电致发光原理制成的半导体发光器件,其发光机理是自发辐射。相比与白炽灯、荧光灯、高强度气体放电灯,LED 具有工作电压低、耗电量小、电光转换效率高、光色纯、性能稳定、使用寿命长、环保节能等多方面优点,被誉为 21 世纪绿色照明光源。

LED 的发展初期是伴随着生长材料的发展而发展的。最早 H.J.Round 于 1907 年在无机半导体发现了发光现象。之后,在 1962 年 Holonyak 和 Bevacqua 报道了第一个 GaAsP 材料的 LED。进入了 70 年代中后期,镓 In 和氮 N 被引入到外延生长中,出现了绿光( $\lambda=555\text{nm}$ ),黄光( $\lambda=590\text{nm}$ )和橙光( $\lambda=610\text{nm}$ )的 LED,其光效达到了 1 lm/W。由于出光颜色的多样化,LED 在各种特种环境下得到大量的应用。80 年代,AlGaAs 材料的液相外延生长技术成熟,这使得 AlGaAs / GaAs 量子阱在 LED 结构中得到应用,将 LED 的发光效率提高到 10 lm/W。而到了 90 年代,四元材料 AlInGaP 的晶体质量优良,效率高,从而成为了高亮度 LED 材料的主流。早期的蓝光 LED 材料主要是 II-VI 族材料,但由于其重掺杂困难而无法形成很好的 p-n 结。III-V 族 GaN 材料生长技术突破后,蓝光 LED 才得以推广,而低温缓冲层技术的发展,也使得 GaN 晶体质量有了改善,从而使 GaN 基蓝光 LED 的光效大幅提升,寿命问题也得到了解决。1992 年后,InGaN 外延生长技术的发展使 InGaN/GaN 双异质结(DH)LED 得到了实现。由于宽禁带材料的外延生长技术一直没能突破,直到 1995 年在 Nakamura 等人解决了 GaN 外延生长的难题并研发 InGaN 单量子阱(SQW)LED 后,蓝绿光 LED 才得以发展和应用。随后不久,多量子阱(MQWs)结构问世,LED 的量子效率从此大大的提高。

随着生长、芯片、封装等各个方面技术的发展,GaN 基 LED 的发光强度逐渐达到

照明、显示等方面的要求，LED 的应用开始遍布各个领域。

### 1.1.2 GaN 基 LED 的基本结构

大部分的 LED 都是用 MOCVD 的方法在衬底上外延生长半导体材料，GaN 基 LED 一般采用蓝宝石（ $\text{Al}_2\text{O}_3$ ）和碳化硅（SiC）作为衬底材料，硅（Si）和氧化锌（ZnO）等衬底材料由于技术不成熟，尚未商用化。先通过外延生产方法在衬底上生长一层非掺杂的 GaN（u-GaN），再在 u-GaN 上生长一层 n-GaN，这层材料是通过 Si 掺杂来实现的。n-GaN 上面生长的是有源区，有源区可以采用 p-n 结、双异质结、多量子阱等结构，现在多数采用多量子阱结构（MQWs）。最后生长一层掺杂 Mg 的 p-GaN。这样就形成了外延片的基本结构（图 1-1）。

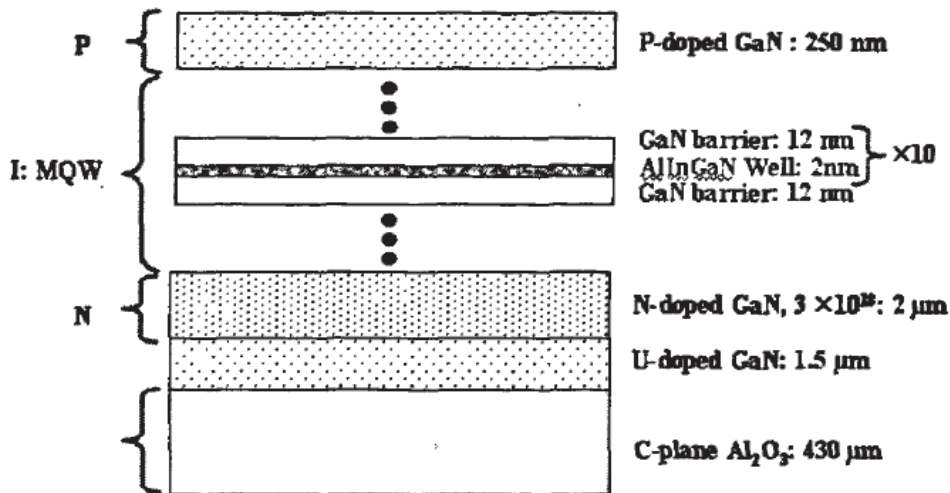


图 1-1 LED 外延片基本结构示意图

LED 的芯片结构主要有三种：正装结构、倒装结构和垂直结构（图 1-2）。

正装结构 LED 制作简单，两个电极处于同一面，所以发光面积被缩小，降低外延片的利用率。此外，由于 p-GaN 的载流子浓度低，通常会在 p-GaN 上镀上一层透明导电层，这样就存在光损失。而且这中结构的热量需要从芯片下部蓝宝石衬底处导出，这就导致了 LED 的出光效果和散热效果都不好。

倒装结构的出现就刚好解决了正装结构散热不好，效率低的问题。光在芯片中的路径是经过蓝宝石衬底，或先在芯片底部反射后再经蓝宝石衬底出射到环境中。倒装结构中，蓝宝石衬底的折射率（ $n=1.75$ ）和环氧树脂的折射率（ $n=1.56$ ）比较接近，而

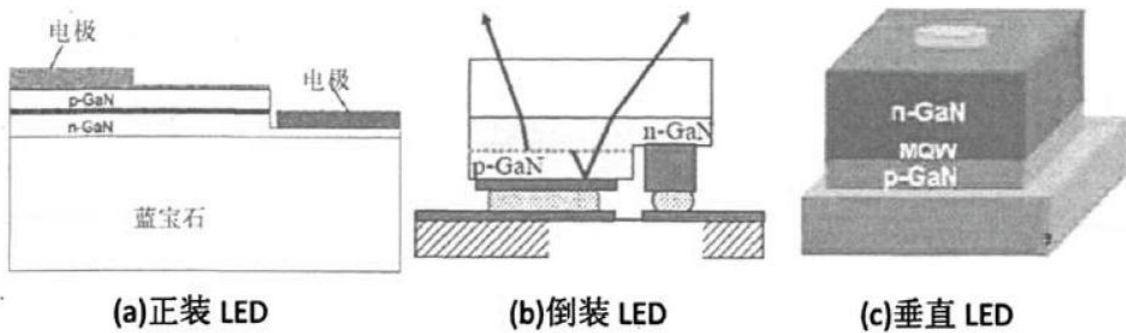


图 1-2 三种类型的 LED 芯片结构

GaN 的折射率是 2.3，所以光从蓝宝石衬底出射到环氧树脂的全反射角较大，光的提取效率就较高。LED 的主要发热是在有源区，而在这种结构下有源区距离热沉比较接近，可以达到优良的散热效果。

正装结构和倒装结构都存在的问题是，它们都需要进行 ICP 刻蚀得到 n 电极，这样既牺牲了一部分发光区，也对有源层有所损伤，降低内量子效率。同时二者都存在着横向电流扩展的问题，要实现电流分布均匀也存在着难度。垂直结构 LED 是利用衬底剥离技术将蓝宝石衬底去掉，直接在 n-GaN 上制作电极，从而产生垂直结构 LED。这种结构同时具备发光面积大，散热效果好等优点。

### 1.1.3 LED 工作原理

半导体内部的电子吸收一定能量的光会被激发，处于激发态的电子也会自发跃迁到低能级处，同时发出一个光子以释放能量。电子从高能级跃迁到低能级并发出光子的过程就是半导体发光的现象。LED 就是一种电致发光器件，其基本结构是 p-n 结。当对 p-n 结施加正向偏压的时候，少数载流子进入 p-n 结，在载流子传输过程中不断复合发光。这种发光就是载流子受电流激发后复合而形成的，这是一个由电能转化成光能的过程。

#### (1) p-n 结注入发光

平衡状态下的 p-n 存在一定的势垒区，其能带图 1-3a。当向 p-n 结施加 P 区为正，n 区为负的正向偏压  $V (>0)$  的时候，势垒高度会下降  $V$ ，势垒区的内建电场会变小。从 n 型区扩散到 P 型区的电子会增加；同时，从 P 型区扩散到 n 型区的空穴也会增加。这些由 n 区到 P 区的电子和 P 区到 n 区的空穴就是非平衡少数载流子。这些少数载流子在扩散长度内不断与多数载流子进行复合而发光（图 1-2b），而这里的扩散长度一般

会比势垒宽度大得多。p-n 结注入发光的一个典型应用就是 GaAs 发光二极管。

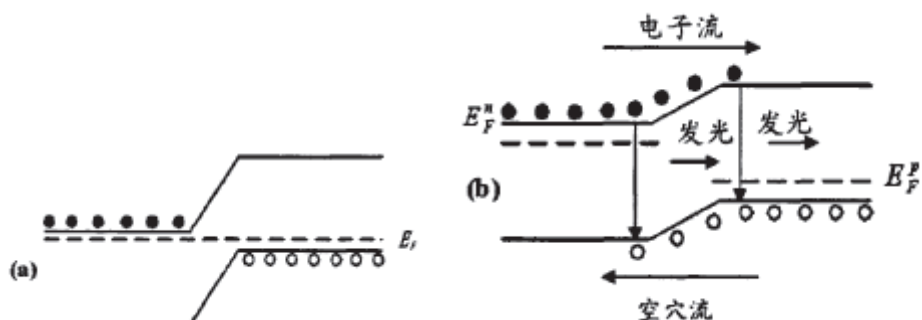


图 1-3 注入发光能带图 (a) 平衡态下 p-n 结 (b) 正向偏压下的 p-n 结

## (2) 异质结注入发光

异质结是由两种不同的半导体相接触形成的界面区域，异质结的能带图 1-4a。采用异质结结构能够有效提高少数载流子注入的效率。由于 p 区和 n 区的禁带宽度是不同的，p 区和 n 区之间的势垒是不对称的。当加载正向偏压的时候（图 1-4b），势垒高度降低，当势垒降低到使 p 区和 n 区的价带高度相同的时候，禁带较宽的区域（图中为 p 区）的空穴就能无阻碍的向禁带较窄的区域（图中为 n 区）扩散，这时空穴就是少数载流子。势垒的存在使电子不能够由 n 区向 p 区扩散，因此 p 区的空穴就会在 n 区中发生复合，发出光子。这样 p 区就成为注入源，n 区就成为发光区。当在发光区所发出的光子能量  $h\nu$  小于注入区的禁带宽度时，光子在注入区不会被吸收，此时就可以认为禁带较宽的注入区对出射光是透明的。禁带较宽的 p 区不仅仅作为注入区存在，还是光的透射窗口。

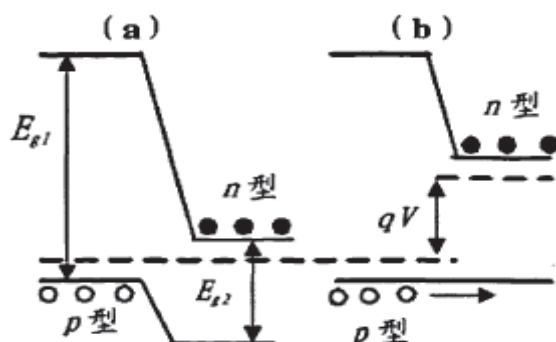


图 1-4 异质结注入发光能带图

## (3) 量子阱发光

量子阱是指由两种不同的半导体材料间隔形排列而成的、具有明显量子效应的或空穴的陷阱。随着异质外延材料技术的发展，量子阱等材料结构应用在半导体发光中。

比如在禁带较宽的 GaN 上生长一层很薄的禁带较窄的  $\text{In}_x\text{Ga}_{1-x}\text{N}$ ，再在其上生长一层 GaN 材料，这样就形成了量子阱，能带图 1-5。当注入电流时，在电子迁移的过程中，就会掉进势阱中，只要  $\text{In}_x\text{Ga}_{1-x}\text{N}$  足够薄，就可以认为电子和空穴处于量子阱中间。势阱宽度很窄，电子被限制在几个到几十个原子的量子阱中，能量会发生量子化，出现能级分立。电子在分立的能级之间跃迁而发光。<sup>[1]</sup>

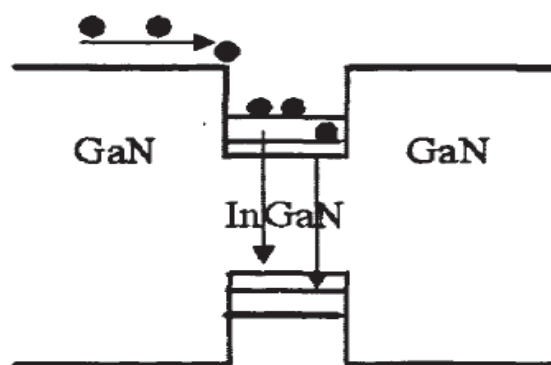


图 1-5 量子阱发光原理图

## 1.2 研究目的和意义

GaN 基 LED 技术虽已取得很大的突破，但芯片的内部量子效率，光提取效率，芯片的电流扩展能力，散热，可靠性等方面的问题仍需进一步改善。国内外很多研究表明，通过有源区的结构优化、图形衬底技术、倒封装技术、表面粗化、键合技术、芯片外形等方法可以有效提升芯片内量子效率、光提取效率和散热能力。而 LED 芯片表面的电极形状、欧姆接触的制作及透明电极对改善芯片的电流扩展是非常重要的，目前实际生产中主要采用蓝宝石衬底外延得到蓝光 LED，但蓝宝石为绝缘体，对于普遍使用的水平结构，必须通过刻蚀器件表面来形成负电极，这种工艺制作成的 LED 不可避免地存在电流的横向扩展，产生电流聚集效应，从而诱导 LED 发光、发热不均匀，效率降低，寿命减少等问题，特别对于大功率 LED，电流聚集效应更加明显。因此，优化 GaN 基 LED 的电极形状对于有效提高芯片的光电性能尤为重要。电极的另一个问题是透光性问题，金属电极做小了会影响电流的扩展从而影响发光效率和散热；而电极做大了又影响光的出射强度，于是有了透明电极的出现。最初使用薄层的 Ni/Au 作为半透明电极，但这种薄膜透射率只有 65%；随后，ITO 的使用使得器件窗口层的

问题得到解决。LED 器件的可靠性可以通过对芯片进行钝化处理来提高，钝化层在 n-p 电极间起到绝缘作用，避免芯片在工作过程中发生短路，同时也可以保护芯片避免杂质吸附，从而减少表面漏电流。

针对电极图形的优化，完成芯片的制作需要进行光刻板的版图设计。水平结构的 GaN 基 LED 芯片制造通常包括台面、ITO、电极、钝化层四道光刻程序。台面的刻蚀便于 n 型电极的制作，同时形成芯片间的切割道；对 ITO 的刻蚀可以增加电极的粘附性；通过光刻制作 p 型和 n 型电极，实现芯片的欧姆接触；而对焊盘处钝化层的刻蚀，便于打线、测量和应用。

通过 LED 芯片的光刻板设计，掌握一整套高效率的 GaN 基 LED 芯片的设计方法和制造工艺，更加深入的了解 LED 的制作、性能等各方面的知识，同时也掌握了微电子制造中的光刻、镀膜、刻蚀等技术，从而将本科期间所学的诸多知识得到实际运用，也为今后的学习奠定了良好的基础。

### 1.3 研究内容及方法

本论文主要针对水平结构 GaN 基 LED 的芯片光刻板设计展开研究。首先介绍 LED 的发展和应用情况，以及工作原理；第二章介绍提高 LED 芯片发光效率的方法，芯片的光刻板设计中相关结构的基本性能；第三章以现有研究为基础，针对电极的形状优化设计了一系列的光刻板图；第四章描述了 LED 芯片制作的详细工艺流程，用生长好的外延片进行光刻制作，和基本的性能测试，并对实验结果进行全面分析和讨论；最后，总结全文，对今后进一步的工作提出相应的建议。



## 第2章 LED 芯片设计相关理论

### 2.1 LED 发光效率的提高方法

#### 2.1.1 提高内量子效率

现在蓝光 LED 采用 InGaN/GaN 多量子阱结构来替代早期使用的较厚 InGaN 作为有源发光层。改变量子阱中 In 组分就可以使出射光谱范围增大(从蓝光一直到黄光)。采用量子阱结构还可以使出射光的频谱变得更加狭窄。

提高 LED 的内量子效率的最根本方法是改善 LED 的外延生长质量。因为晶体里面的晶格缺陷和杂质能级会导致载流子的非辐射复合,使内量子效率降低。而且非辐射复合会产生声子,产生热量,热量的聚集会影响的芯片的可靠性和寿命。现在 LED 外延生长采用的衬底一般是蓝宝石衬底,蓝宝石衬底与 GaN 之间存在着严重的晶格失配。异质外延生长会产生位错,这些位错就是非辐射复合的中心,严重影响芯片的性能和寿命。降低位错的方法通常是采用低温缓冲层技术和横向外延过生长技术。低温缓冲层技术是指在蓝宝石上生长 GaN 材料之前先生长一层低温 GaN 或 AlN 作为缓冲层;再进行高温 GaN 的生长。横向外延过生长技术就是先在蓝宝石衬底上生长一层 GaN,再沉积一层 SiO<sub>2</sub>,并在其上刻蚀出图形,然后在其上继续生长 GaN。

#### 2.1.2 提高功率效率

对于理想的 LED,外加的电压会全部落在 p-n 结上。但实际上 LED 半导体内部各个成分之间本来就存在着电阻,电极与 LED 之间也存在着接触电阻,这些电阻就会降低 LED 的功率效率。所以要提高 LED 的功率效率就要从以下两个方面下手:提高 P 型 GaN 的电导率;减少接触电阻。p 型 GaN 的掺杂浓度的提高一直是制约 LED 发光效率的重要因素。现在通常采用 Mg-Si 共掺杂来调整极化场的方法来提高 P 型的掺杂浓度,空穴的浓度一般可以到达  $10^{18}\text{cm}^{-3}$  量级。减少接触电阻的方法就是做好芯片的

欧姆接触。好的欧姆接触能够降低 LED 的开启电压，增大电流密度。大的电流密度能够保证更多的载流子复合发光。接触电阻减少可以减少串联电阻，从而减少由欧姆接触产生的功率损失，降低热量的产生，延长芯片的寿命。

p 型 GaN 的载流子浓度较低，电阻率较大，这样就会影响电流在芯片中的扩展，影响出光效率。一般的解决方法是在 p 型 GaN 上镀一层透明导电层，再在透明导电层上面做电极，并对电极的形状进行合理的优化设计，这样就能够增大电流密度，使电流分布更加均匀。而欧姆接触金属的选择也是关键。一般 n 型电极采用 Ti/Al，p 型电极采用 Ni/Au 等。<sup>[2]</sup>

### 2.1.3 提高光提取效率

降低光提取效率的原因主要有两点：一是半导体材料的光吸收，二是芯片与芯片外物质（如封装用的环氧树脂）之间的全反射。因为材料的光吸收是不可避免的，所以提高光提取效率的方法主要是要降低全反射的损耗。

由于全反射的存在，有源层发出的光只有一部分从芯片正面透射出来。剩下的光有一部分经过多次反射后从芯片的侧面输出，要利用这部分的光就对芯片的封装技术提出了较高的要求；另一部分光在进过多次全反射后被晶格吸收，成为热量，这样就会严重影响 LED 的光提取效率和寿命。特别是对于大功率 LED，芯片尺寸增大的同时也相应增大了全反射的路径，损失的光就变得更多。提高大功率 LED 的光提取效率的方法有以下几种：

#### (1) 正面芯片的电极设计

在正面出光的大功率 LED 结构中，有源区发出的光经过芯片表面的透明导电层后会有有一定的损失，而且表面的 p 型电极也会遮挡出光亮。如果减少透明导电层的厚度，就会影响大电流下 p 型 GaN 上的电流扩展，电流分布会变得不均匀。这就需要对电极形状进行设计，<sup>[3]</sup>对透明电极的厚度进行优化，尽可能提高电流的扩展效果，从而使电流更加均匀。

#### (2) 芯片倒装工艺

LumiLEDs 是最早开发出倒装技术的公司。首先制备出具有适合倒装封装的 LED 芯片(Flipchip LED)，<sup>[4]</sup>同时制作相应的硅基板，并在上面制作相应的导电层。然后将

倒装的 LED 芯片和硅基板焊接在一起。倒装结构的 LED 以蓝宝石衬底处作为出光面，这样就能够有效解决出光和散热的问题。而且只要对蓝宝石进行适当的减薄，在 P 型 GaN 上镀一层反射层，就能大大提高出光效率。但这种结构同样存在着电流横向扩展不均匀的问题，仍需要对电极进行合理设计。目前，陶瓷基板以其优秀的导热性能、便宜的价格成为最理想的基板材料，同时它也能够更方便的对电路进行集成，提高一体化的程度。

### (3) 合理的芯片外形设计。

由于全反射现象的存在，光不能有效的射出芯片，使得光在不断反射过程中被有源层和自由载流子吸收，造成光损失。而在在芯片中反射的次数越多，路径越长，损失就越多。为了改善这种情况，可以设计非平衡界面的芯片形状，使光在芯片内经过尽量少次数的反射后出射到芯片外。图 2-1 则为倒金字塔形的芯片，这种芯片属于垂直结构 LED，p 型电极和 n 型电极分别位于芯片底部和顶部。这种技术是先将芯片倒置，再将芯片四个下角切去，斜面与垂直方向成  $35^\circ$  角。这种结构能有效减少全反射带来的影响，提高光提取效率。<sup>[5]</sup>但这种方法的缺点是每个芯片都要进行加工，而且工艺比较复杂，难以大量生产。

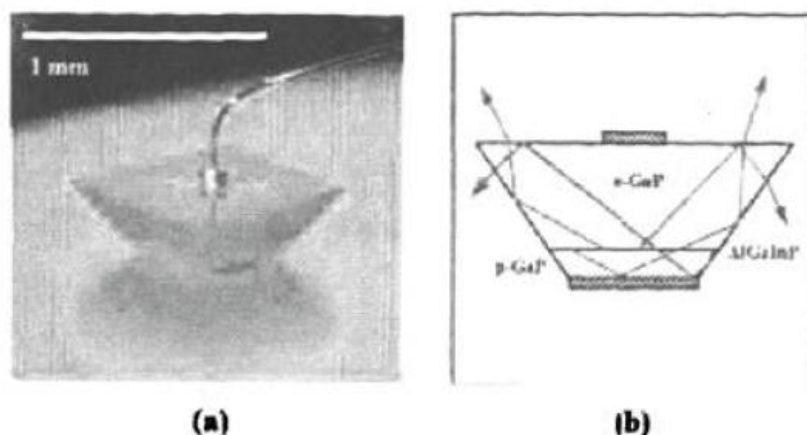


图 2-1 倒金字塔型 LED 实物图(a)出光示意图(b)

### (4) 衬底剥离及衬底转移技术。

按照传统 LED 生长技术在蓝宝石衬底上生长出 LED，然后用激光剥离<sup>[6]</sup>或者湿法腐蚀（用硫酸和磷酸的混台溶液）的方法将衬底去除掉，最后将芯片连接到导体材料（如金属铜），制作成 LED（图 2-2），这样就提高了出光效率和散热效果。或者先用金

属键合等方法将 p 型 GaN 和金属连接，作为热沉，然后去除蓝宝石衬底，再在 n-GaN 上制作电极，成为垂直结构 LED。

激光剥离技术利用的是 248nm 的紫外光不会被蓝宝石吸收，但会被外延层界面的 GaN 吸收的原理。当 GaN 局部温度加热到 900℃ 以上时，GaN 就会分解成氮气，高压氮气会将外延层与衬底分离。但这种激光剥离技术在加热和压力释放的时候会对外延层有所损伤，从而降低 LED 的内量子效率。

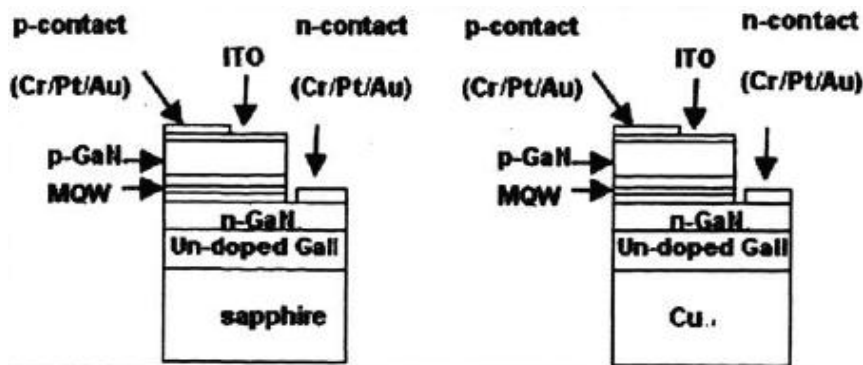


图 2-2 衬底剥离及衬底转移

#### (5) 表面粗化技术

通过在芯片内部或者表面形成一定的几何图形来实现出光角度的随机化，减少出射光的全反射，提高光提取效率。这种方法是由 Nichia 最早提出的。粗化的形式有两种：一种是在芯片表面进行粗化，粗化的位置包括透明导电层和芯片侧壁等；另外一种形式的粗化是在芯片内部，内部的粗化也包括在 p 型 GaN 粗化或者在衬底上粗化。在 p 型 GaN 上的粗化容易造成 p 型 GaN 表面缺陷增多，影响电流的扩展，甚至有可能破坏有源层，降低内量子效率。芯片内部粗化是指在衬底上粗化，即图形化衬底的技术。图形衬底的形状还可以经过设计，来达到需要的出光效果。图形衬底不仅能够提高光提取效率，还能够提高外延的生长质量。<sup>[7]</sup>

#### (6) 反射层设计

反射层结构中最常用的是分布式布拉格反射层 DBR(Distributed Bragg Reflector)。DBR 最先是用在垂直腔面发射激光器 VCSEL(Vertical cavity- / surface emitting laser)上，后来发现将其用在 LED 也可以达到提高外量子效率的作用。N. Nakada 在衬底和有源区之间交替生长两种折射率不同的材料( $\text{Al}_x\text{Ga}_{1-x}\text{N}/\text{GaN}$ )，形成布拉格反射层，这样就将射向衬底的光反射回芯片表面或者侧面，减少衬底对光的吸收，提高了出光效率。<sup>[8]</sup>

这种方法的缺点是层数的增加会影响晶体的生长质量，进而影响内量子效率。

### (7) 光子晶体技术

光子晶体(Photonic Crystal, PC)是上世纪 80 年代提出的新概念。如果将光子晶体 PC 结构引入到 LED 中,并调节 PC 的结构参数来改变其禁带频率和有源区的自发辐射频率之间的关系,则可使得有源区发出的光沿着所设计的方向射出芯片。PC 可以使光以泄露模式存在来限制其传导模式,使 LED 的光输出效率提高。<sup>[9]</sup>因此,光子晶体 LED 是一种具有发展前途的 LED 器件。

Lumileds 公司在 GaN LED 上刻蚀出三角晶格结构,制作出光子晶体 LED,其光提取效率据称可以达到 73%。A. A. Erchak 等发现 LED 使用二维光子晶体后,其有大约 6 倍的出光。

以上提高出光效率的方法并不非仅能使用一种,而是可以在同一芯片上运用多种技术来提高出光效率。另外,芯片外部的封装也会影响 LED 的发光效率。所以,提高 LED 的发光效率是一个包含了外延、芯片设计及工艺、封装等方面的综合性问题,要考虑多方面的因素。

## 2.2 ITO 在 GaN 基 LED 芯片中的使用

氧化铟锡 (Indium Tin Oxide) 是  $\text{In}_2\text{O}_3$  中掺杂  $\text{SnO}_2$  所得到的半导体材料,是一种体心立方铁锰矿结构的 n 型半导体透明导电薄膜,它具有以下特性: 1) 导电性能好(电阻率可低达  $10^{-4}\Omega\cdot\text{cm}$ ),带隙宽 (3.5~4.3 eV),载流子浓度 ( $10^{21}\text{cm}^{-3}$ ) 和电子迁移率 ( $15\sim 45\text{cm}^2/\text{V}\cdot\text{s}$ ) 较高; 2) 在可见光波段透射率高,可达 85% 以上; 3) 膜层具有很好的酸刻、光刻性能,便于细微纳米加工,可以被刻蚀成不同的电极图案等。<sup>[10]</sup>由于这些优良特性,ITO 便成为了制备透明电极的优良材料。此外,ITO 在平板液晶显示器 (LCD)、太阳能电池透明电极以及红外辐射反射镜涂层、交通工具用玻璃除霜和建筑物幕墙玻璃等方面也获得广泛应用。

随着半导体照明产业的发展,ITO 透明导电膜也开始越来越多的被用于半导体发光二极管来解决 LED 电极问题。LED 电极的问题,主要是器件窗口层的电流扩展和透

光性的问题。金属电极做小了影响电流的扩展，从而影响发光效率，并且会造成器件局部过热；电极做大了却又会影响光的出射强度。为了解决这个问题，透明的电极便应运而生。最开始时的透明电极是用一层薄的 Au/Ni 作为半透明的电极，但这种薄膜的透射率只有 65%，这就极大地限制 LED 的外量子效率。1985 年以后，随着 LED 技术不断发展，ITO 逐渐被应用到 LED 中，器件窗口层的问题逐渐得到解决。目前，ITO 在红光、蓝光 LED 中的应用已经有了广泛的研究。但相比以传统 Au/Ni 做电极的 LED，以 ITO 作为电极的 LED 的电压仍然相对较高。为解决这个问题，ITO 下面通常会加入一层有利于导电的其它材料。例如红光 LED 一般加入 GaAs，重掺杂碳（C）的 GaP 等；而蓝光 LED 中一般加入 Ni，InGaN 和 Ag 等。与单一 ITO 阳极器件相比，使用复合阳极的器件其电压均得到了显著改善，但对光的透过性会产生一定的影响。

ITO 的制作通常是使用电子束蒸镀法在 GaN 外延片上蒸镀一层 ITO 膜（用 In:Sn=0.95:0.05 的 ITO 锭做靶材，然后在氮气氛中合金），之后再刻蚀掉不需要的 ITO，去胶进行测量。

在 LED 芯片制造中，直接用金属和半导体接触容易形成较高的肖特基势垒，蒸镀金属的厚度太厚也会直接影响到 LED 的光透过率，所以早期在制作金属时会尽量将肖特基接触的金属镀得很薄，使穿透率有了大幅提升，但金属的穿透率始终无法突破 70%。随着 ITO 材料的广泛研究，人们发现 ITO 是具有高透过率及高电导率的特征。最近发展出的 ITO 透明导电材料穿透率大于 90%，并且具有极低的电阻率( $\leq 5 \times 10^{-4} \Omega \cdot \text{cm}$ )，导电能力相当于金属。ITO 作为透明电极已经广泛应用于生产，但是在生产工艺流程中仍有许多异常现象需要做进一步的改善。

## 2.3 钝化膜对 GaN 基蓝光 LED 性能的影响

随着 GaN 基 LED 器件在照明领域的迅速发展，对于半导体发光器件可靠性的要求也日益提高。可靠性不仅对材料生长、芯片设计及加工、器件工艺、封装工艺等一系列环节提出更高的要求，通过对 LED 芯片进行钝化处理也是提高 LED 器件可靠性的一条有效途径。

目前有关钝化的研究主要是针对蓝宝石衬底 GaN 基蓝光 LED。从已有研究报道可

以发现,对 LED 芯片进行钝化处理能获得以下效果:在 p-n 极间起绝缘作用,避免 LED 在工作过程中发生短路;对芯片起到保护作用,避免杂质原子的吸附,从而减少 LED 的表面漏电流;通过控制钝化层的折射率可以降低菲涅耳损失和临界角损失。

### 2.3.1 钝化材料

选择钝化材料时,不仅要考虑材料对芯片的保护作用,同时还要考虑材料的反反射性能(即材料的折射率)以使得更多的光能从芯片表面透出来。现阶段主要的钝化材料包括有  $\text{SiN}_x$ 、 $\text{SiO}_2$ 、 $\text{SiON}_x$  等。<sup>[11]</sup>但这几种材料都存在或多或少的不足。 $\text{SiO}_2$  薄膜结构较为疏松,针孔密度较大,防潮、抗金属离子玷污能力相对较差。与  $\text{SiO}_2$  薄膜相比, $\text{Si}_3\text{N}_4$  薄膜在抗杂质扩散和水汽渗透能力方面有着明显的优势,但是  $\text{Si}_3\text{N}_4$  薄膜与芯片界面间存在大量的界面电荷和缺陷,这会对器件的电学性质产生严重的影响。最理想的钝化层材料的折射率要尽量接近 1.58,考虑到  $\text{SiO}_2$  和  $\text{SiN}_x$  的折射率分别为 1.45 和 2.0,它们并不是最好的具有反反射性能的钝化层材料。而  $\text{SiON}$  的折射率在 1.5~1.9 之间,因此, $\text{SiON}$  是迄今具有反反射性能的最优钝化层材料。此外, $\text{Al}_2\text{O}_3$  的折射率为 1.62,并且对芯片有很好的保护作用,相关科研工作者们也开始选用  $\text{Al}_2\text{O}_3$  等其他新的钝化材料。

### 2.3.2 钝化工艺

芯片的钝化,就是在芯片的表面制备一层薄膜,以达到保护芯片和提高器件发光效率的效果。常用的钝化方法包括磁控溅射、电子束蒸发以及 PECVD 等。其中,磁控溅射是利用 Ar 辉光放电生成等离子体,在磁场的控制下有效轰击并溅射出靶材,同时将  $\text{N}_2$  引入溅射室,进而在衬底上成膜的技术;电子束蒸发是指由热丝发射的电子经过聚焦、偏转和加速后轰击靶材并使靶材蒸发至衬底上成膜的技术;而 PECVD 技术是一种结合了射频辉光放电的物理过程与化学反应的技术,由于其具有沉积温度低,薄膜厚度均匀和缺陷密度低等优点,成为目前最可靠的钝化方法之一。

制备钝化膜时,不同工艺参数对钝化层薄膜的性质有着重要的影响。温度、气体流量配比、反应压强和功率是 4 个影响 PECVD 制备薄膜材料的主要因素。Shen 等利用 PECVD 生长钝化层,并针对不同的钝化温度对 LED 性能的影响进行分析后发现,

在 200℃时生长钝化层最佳。<sup>[12]</sup>若温度过高，电极处界面会变得粗糙，颜色也要发生变化，导致 p-GaN 与电极间欧姆接触电阻增加；而温度过低，钝化层与芯片的粘结性降低，芯片的漏电流会增加。

不同的钝化工艺对 LED 的芯片性能也有着不同的影响。有专家研究过不同钝化工艺对 LED 器件性能的影响，实验结果表明热加载后，用溅射制得钝化层的 LED 的电学性能要明显优于用 PECVD 生长钝化层的 LED 的电学性能。更有研究发现，与未沉积钝化层的 LED 相比，采用电子回旋共振化学气相沉积（ECR-CVD）方法在 LED 芯片上沉积 SiN<sub>x</sub> 钝化层后，器件的漏电流并未出现明显改观，而采用 N<sub>2</sub>O 等离子体化学气相沉积钝化层的 LED 的漏电流却有明显下降，采用 CH<sub>3</sub>CSNH<sub>2</sub> 溶液浸泡后再沉积 SiN<sub>x</sub> 钝化层的 LED 的漏电流下降到原来漏电流值的 1/6。

### 2.3.3 钝化处理对 LED 性能的影响

#### (1) 钝化处理对 LED 器件漏电流的影响

普遍认为，LED 器件的漏电流是由穿过势垒的隧道电流和越过势垒的热电子发射电流组成。在温度不高的情况下，以隧道电流为主，热电子发射电流非常小，可以忽略。电子隧穿与材料缺陷是密不可分的，缺陷的引入会产生缺陷能级，从而使得电子隧穿几率大大增加。

刻蚀会损伤芯片的侧壁，产生大量缺陷，使器件反向漏电流增加，从而降低器件的发光效率和可靠性。为此，有专家用 N<sub>2</sub>O 等离子体化学气相沉积法对有钝化层和无钝化层的多量子阱 LED 的漏电流进行了分析，结果表明前者的漏电流明显小于后者。进一步的研究指出，干蚀的确会使芯片表面形成一个好的导电通道，但钝化之后，导电通道受阻，这样就降低了表面漏电流。<sup>[13]</sup>钝化层的存在能够有效降低芯片的表面态密度，抑制表面态对电子的俘获，从而可以减轻芯片中的电流坍塌效应，因此，生长钝化层后的 LED 芯片漏电流下降。

#### (2) 钝化处理对 LED 器件的光输出功率的影响

LED 器件的外量子效率比较低，主要是以下两方面因素造成：一是 LED 芯片材料对光子的吸收，二是菲涅耳损失和临界角损失。

早期研究中，用电子回旋加速器化学气相沉积（ECR-CVD）在 LED 芯片上沉积



SiN 钝化层, 比较发现, 有钝化层的 LED 的发光量比无钝化层的 LED 的发光量有明显提高, LED 的稳定性也有所上升, 同时, 其静电效应也得到改善。为了增大 LED 的光通量, 研究者用等离子体增强化学气相沉积法在已经制备好 n 电极和 p 电极的 GaN 基 LED 上生长钝化膜, 经过分析指出, 在器件上沉积 SiON 后, 光输出功率增加。有 SiO<sub>x</sub> 钝化层的 LED 的光通量比没有钝化层的 LED 的光通量提高了 8%。

### (3) 钝化处理对 LED 性能的负面影响

除了以上所述, 钝化处理还会对 LED 电学性能产生负面影响。Meneghini 等曾研究了在 250℃ 热处理条件下有 SiN<sub>x</sub> 钝化层和无 SiN<sub>x</sub> 钝化层的 LED 芯片的电学性能, 结果证明相比于无钝化层的 LED 器件, 有钝化层的 LED 其发光效率随时间呈指数型下降, 电流拥挤效应更为明显, 前向电压也有增加。当对 LED 进行 250℃ 热处理时, 钝化层中的 H 就会扩散到芯片表面, 并与 Mg 结合成 Mg-H 络合物, 加剧 Mg 的钝化效应, 从而会使受主载流子数量减少, 致使 p 区的欧姆接触不良, 进而使得串联电阻和理想因子下降, 产生电流拥挤效应和前向电压增大等一系列的问题。<sup>[14]</sup>而且, 热过载在一定程度上还会减弱量子阱的限制作用, 这样就增加了非辐射复合中心的数量, 从而使 LED 的光输出量降低。

制作芯片时对芯片进行退火处理是增加 p 区载流子的一种有效途径, 但因为退火时, 钝化层的存在会阻碍 H 离子由芯片内部向外部扩散, 使得 Mg-H 络合物的裂解效率下降, 这样就难以得到预期的退火效果。所以, 钝化层的存在会使退火处理的效果大大下降。

钝化处理在芯片应力方面也会产生一定的负面影响。制作钝化膜时的大多数工艺都会引入应力, 应力的存在是造成 LED 失效的重要原因之一, 包括器件性能参数的漂移和退化等等。有实验研究发现, 钝化处理会对芯片产生较大的附加张应力, 并且, 随着热加载温度的升高, 芯片复合发光区的应变弛豫度也会有所增大。此外, 在制作钝化膜时, 随着温度的升高, 钝化层对芯片的应力会发生由压应力向张应力的本质性转变。

## 第3章 光刻版图的设计与绘制

### 3.1 电极形状的优化设计

#### 3.1.1 电流拥挤效应

蓝光 GaN 基 LED 外延主要采用的是绝缘的蓝宝石衬底，由于蓝宝石衬底是绝缘物质，在不转移或者剥离衬底的前提下，芯片必须刻蚀到 n 型 GaN 以便制作 n 型电极，即 n 型电极和 p 型电极只能存在于芯片的同一侧，从而导致电流存在横向扩展。不均匀的电流扩展导致电流在 MESA 边缘聚集，出现电流拥挤效应（图 3-1）<sup>[15]</sup>。电流拥挤效应表现为在 p 型和 n 型电极的边缘会有明显的电流聚集，在电流聚集处会导致异质结温度过高，从而降低芯片的内量子效应。电流的不均匀分布会表现为发光的不均匀和发热的不均匀。而且由于 p 型 GaN 的高电阻，会导致电流的扩散不均匀，这就需要一层透明导电层在 p 型 GaN 上来辅助进行电流扩展。

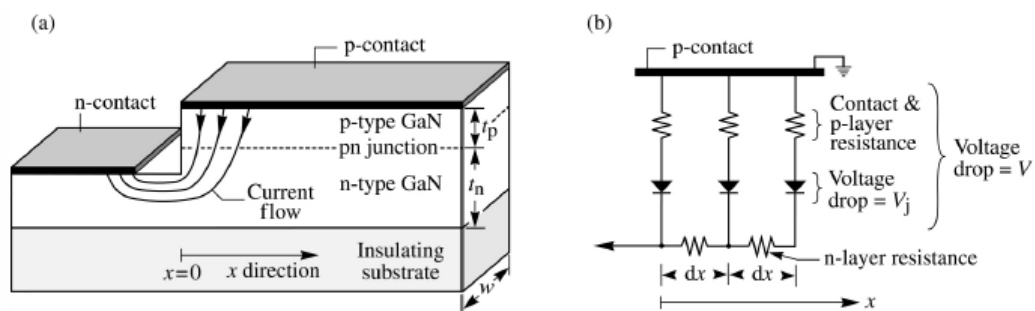


图 3-1 水平结构 GaN 基 LED 的电流扩展特性

对于功率型的 LED，由于其尺寸较大，电流聚集效应更加明显。研究发现电流聚集效应会诱导芯片发光、发热不均匀，光输出饱和，效率降低，波长偏移，寿命下降等一系列严重后果。同时，发现不同的台面结构对芯片的电流扩展具有很大的影响。研究发现环形台面结构比方形台面结构的电流聚集效应小，光输出饱和电流高；同时，也发现芯片采用条形台面结构比常规方形台面结构具有更高的光输出。因为条形台面结构增加芯片侧墙面积，增加了侧面的出光量，提升了芯片整体的出光效率。

### 3.1.2 传统电极

传统用于小尺寸 GaN 基 LED 生产的电极主要包括对角电极和对边电极。实验发现，台面边界区域的电流密度较大，这是因为经过该处到达负电极的距离较短，即所谓电流聚集效应。整体电流分布很不均匀，电流聚集效应十分明显，说明这两种无 ITO 芯片的电极电流扩散能力很差。对边电极的电流分布更不均匀，电流主要集中在正负电极之间的一小块区域；而对角电极的电流分布相对要有较大的面积区域。所以，从总体上讲采用对角电极芯片的电流分布相对较为均匀，其电流扩展性能比对边电极的性能要好一些，具有更好的电流电压特性。然而，有实验得出对角电极的 I-V 特性比较差，要使得芯片的电流达到 0.3A，工作电压需要达到 6.74V，电流扩展能力较差，串联电阻很大；而对边电极性能更差，在 0.3A 时电压达到了 8.04V。以上分析可以看出，仅采用不透明对角电极的传统形式，自发辐射强度比较弱，电流分布并不均匀，I-V 特性比较差，这正是需要对芯片电极进行优化设计的必要性所在。

### 3.1.3 简单的优化电极

#### (1) 条形电极

考虑到对角电极的电流分布很不均匀，主要是电流从正电极到达负电极的路径长度相差比较大，这也是两电极直线之间台面处电流最大的原因所在。所以，为了使得正负电极的距离相等，正负电极必须保持相互平行，从而产生条形电极。但条形电极的不透明金属电极面积过大，顶面的出光面积小。为此，结合台对边电极和条形电极二者的优点，得到优化的对边电极，电极的金属电极面积减小了很多，顶面出光面积得到了增加；且电流分布也相对较为均匀。但条形电极电压随电流增加的降低幅度慢，主要是因为该电极的电流分布相对更为均匀，产生的热效应相对较弱。

#### (2) 环形电极

针对对角电极在实际中的应用价值，考虑可以把 n 型电极环绕整个台面，并将正电极移到台面对角线 N 电极的中间位置，使得对角线方向的正负电极距离相等，得到环形电极。但电极在横向和纵向正负电极之间的距离不等，故将纵向和横向进行延长，得到改进的环形电极。此外，还可以减小环形电极的遮光面积，更进一步优化环形电极形状。研究表明，优化后的环形电极可以再大电流条件下工作，且芯片的光性能得

到很好地改善。

### (3) 指型电极

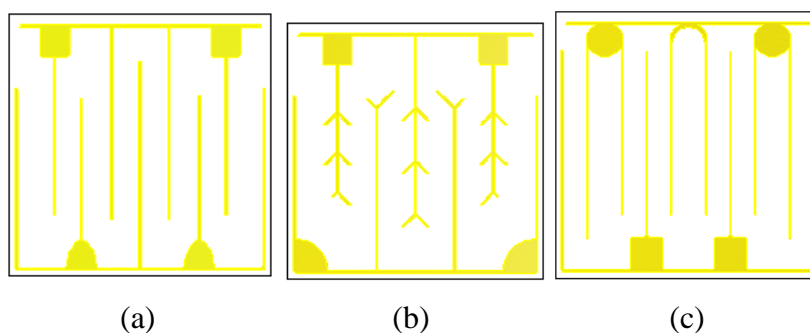
根据条形电极分析可知，要获得比较均匀分布的电流，正负电极之间的距离必需相等。一个十分有效的方式就是采用指形电极。指形电极的主要特点是正负电极都有很长的条形电极，正负条形电极交叉等间距平行排列，就像手指一样，故将其称为指形电极。为了继续缩短正负电极间的距离，改变普通指形电极的只有 2 条正电极条形电极数，使得正负条形电极数都为 3 条，设计出对称型指形电极。结合环形电极的优越性，设计出进一步优化的 h 形指形电极，正负电极的距离进一步减小，且负电极几乎环绕整个芯片的边缘，同时，充分利用指形电极能够使正负电极之间的距离相等，增强芯片的电流分布均匀性，充分提升芯片的光电性能。

## 3.2 版图设计

### 3.2.1 电极版图的设计

综合以上的电极优化方案和行业内已有的典型光刻板设计图形，针对水平结构的 GaN 基 LED 进行了光刻掩膜的图形设计和绘制。

芯片尺寸选用 45mil×45mil 的规格。使用 Auto CAD 2008 进行图形的设计和绘制。根据掩膜排版和制作的需要，总共设计了以下 9 组电极图形（图 3-2）。条形电极的宽度为 10 $\mu\text{m}$ ，n 型电极与边缘距离为 20 $\mu\text{m}$ 。p 型电极和 n 型电极焊盘大小直接影响电极的扩散的焊线的牢固性，通常，焊盘越大，电流扩展性越好，但被其遮挡和吸收的光也会增加，因此，对于方形焊盘，边长通常取 100 $\mu\text{m}$  左右，而圆形焊盘，其圆弧半径约为 50 $\mu\text{m}$ 。



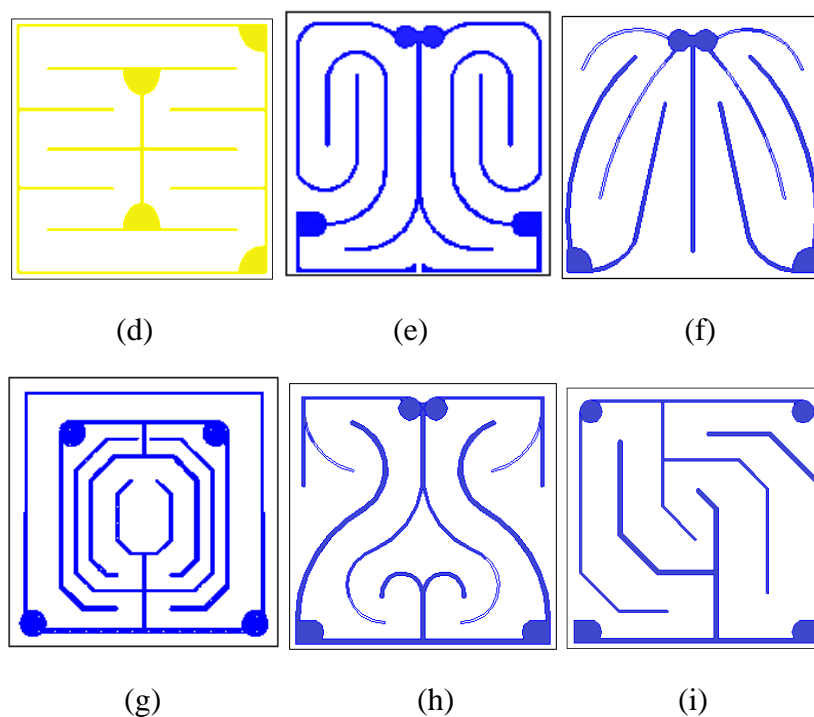


图 3-2 电极版图设计

为了验证和对比不同电极形状芯片的性能，需要进行流片实验；而流片实验需要用到一整套光刻板版图，从而实现图形转移。因此，还需进行一系列的版图设计。

### 3.2.2 台面版图

通常 GaN 基 LED 的外延衬底是蓝宝石，由于蓝宝石为绝缘体，需要进行台面刻蚀，从而将 p 型电极和 n 型电极制作在同一侧。

台面版图的设计是为了便于后面 n 型电极的制作，和切割道的形成。外延片经多道工艺步骤，最后经过切割加工才得到一颗颗很小的芯片，而切割会使芯片产生一定量的切割损失。故在版图设计时候必须考虑芯片之间因切割而导致损失，所以，在设计单个芯片时候，必须在原有芯片 45mil 的基础上有一定的内缩量。实验设计中取台面和边缘距离  $L=24\mu\text{m}$ ，台面和 n 型条形电极间的距离为  $10\mu\text{m}$ 。

### 3.2.3 ITO 版图

ITO 边缘如果与台面齐平，容易产生很大的漏电流，一部分电流会从侧墙壁流到 n 型电极，恶化芯片的整体性能，因此 ITO 边缘相对台面要有一定的内缩量。

由于 ITO 与金属之间的粘附性相对较差，需要将电极下面的部分 ITO 刻蚀掉，从

而提高电极的粘附性；与此同时，ITO 与电极又必须有良好的接触以保证电流扩展，因此 ITO 与电极边缘要有一定的覆盖量。实验设计中 ITO 边缘相对台面内缩量为  $10\mu\text{m}$ ，而由于实验条件和尺寸精度的影响，ITO 与电极接触部分的图形设计略去。

### 3.2.4 钝化层版图

为了保护器件，防止漏电流，在芯片表面沉积  $\text{SiO}_2$  来实现器件的钝化处理，防止有源层被污染造成性能下降；器件必须有可导电的电极作为电流输入端才可以正常工作，因此需要刻蚀出焊盘，以上分析可知，电极处刻蚀的  $\text{SiO}_2$  应该比电极焊盘小，其内缩量取值为  $5\mu\text{m}$ 。

为了便于芯片的切割，防止  $\text{SiO}_2$  被破坏，还需要刻蚀掉沉积在切割道的  $\text{SiO}_2$  层。实验设计中选择钝化层相对芯片边缘的内缩量为  $4\mu\text{m}$ 。

## 3.3 版图绘制结果

将前面优化设计的 9 种电极图形，通过 Auto CAD 2008 进行整套的版图绘制，产生标准的 DWG 文件。

整个光刻版图绘制过程包括：独立单元、对准标记、 $3\times 3$  方阵基本单元、模块布局。

图 3-3 是第一个电极图形的全套光刻版图。

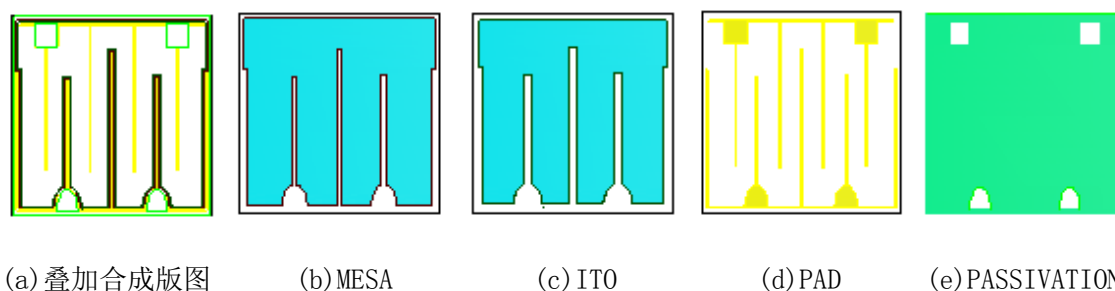


图 3-3 水平结构 GaN 基 LED 芯片光刻版图

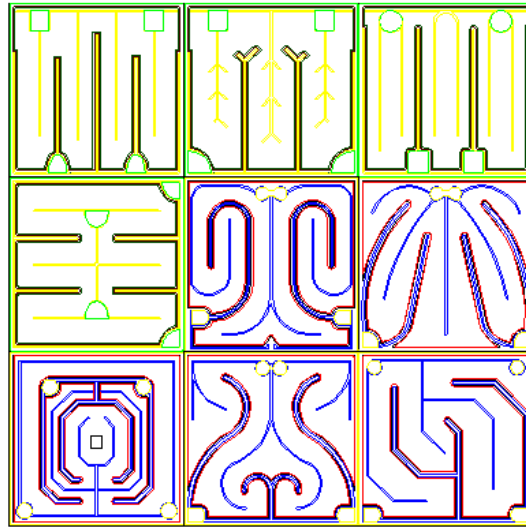


图 3-4 3×3 方阵基本单元

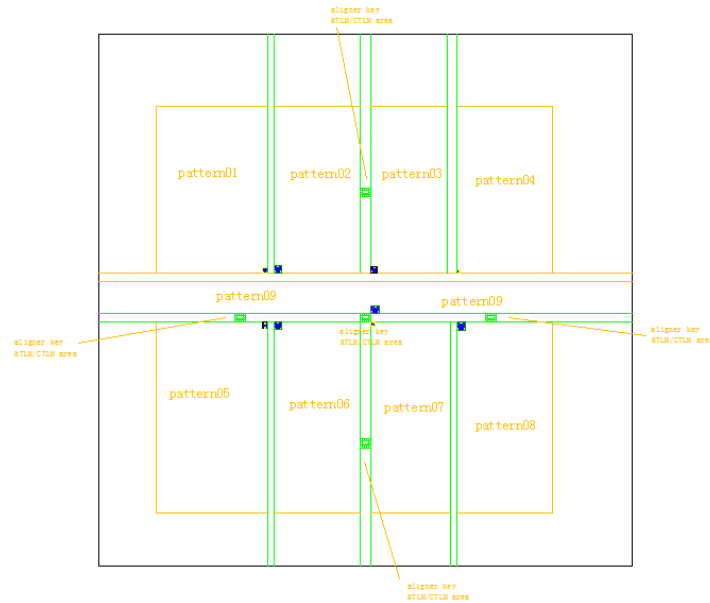


图 3-5 图形整体布局

在流片实验时，由于工艺误差的存在，在版图设计时必须考虑实际的工艺容差，否则流片时易导致器件失效。故在版图设计时，首先进行需要确定设计参数；其次，按照设计规则，进行版图的绘制。将绘制好的图形送到制版公司进行制版，得到了后面的流片实验所要用的光刻板。

## 第4章 流片实验及结果分析

### 4.1 LED 芯片工艺流程

实验是在生长好的蓝宝石衬底 GaN 外延片上进行加工制作的。外延片基本结构包括：蓝宝石/ GaN 缓冲层/ n-GaN/量子阱有源层/ p-GaN。芯片的制作过程具体如下：

#### (1) 外延片的清洗

将外延片放入 HCl 的稀释液（共生中经常使用  $H_2SO_4:H_2O_2:H_2O=5:1:1$  的溶液）浸泡 15min，用去离子水冲洗干净；再用 ACE（丙酮）浸泡 10min，用去离子水冲洗干净；之后用 IPA（异丙酮）浸泡 8min，去离子水冲洗干净；最后用氮气枪吹干。

#### (2) ITO 的制作

在 250℃ 的真空环境中蒸镀 In/Sn(95%:5%)，并在  $N_2$  氛围中合金，厚度约 2300Å；然后进行光刻 I，刻蚀掉不需要的 ITO。

#### (3) MESA 的制作

用 PECVD 进行  $SiO_2$  的沉积；进行光刻 II，用 BOE 刻蚀掉部分  $SiO_2$ ；将  $SiO_2$  作为阻挡层，用 ICP 刻蚀到 n-GaN，形成深沟槽；再用 BOE 去除剩余的  $SiO_2$ ，清洗吹干，得到制好台面。

#### (4) 制作 PAD

光刻 III，用负型光刻胶形成电极图形；在真空环境沉积金属电极材料 Cr Pt Au，厚度约 1000 Å；然后利用 Photo lift off 的技术去胶剥离掉多余的金属层；在 300℃ 的  $N_2$  氛围中退火 8min，制好电极。

#### (5) 制作钝化层

用 PECVD 生长  $SiO_2$  保护膜；光刻 IV，露出焊盘所在的区域；用 BOE 刻蚀掉焊盘处的  $SiO_2$ ，以便引线的焊接。

至此，LED 芯片工艺完成。



## 4.2 LED 芯片结构测试分析

LED 芯片表面结构和剖面结构的分析，主要涉及到的设备包括显微镜、台阶仪、场发射扫描电镜（SEM），主要用来观察芯片表面和剖面的形貌与轮廓、粗糙度和台阶深度，此外，还可以分析材料组分。具体来说，显微镜可以直接拍摄芯片的表面形貌；台阶仪则可以测量沟槽深度和宽度，以及侧壁的倾斜角；SEM 可以分析表面的纳米级别的形貌，并可以分析材料组分。

以下就以第一步的台面刻蚀为例分析芯片表面和侧壁结构。台面刻蚀是由北方微电子帮助完成。表 4-1 是 GaN 台面刻蚀的工艺条件和指标。

表 4-1 GaN 台面刻蚀的工艺条件和指标

工艺调试条件	刻蚀机台	ELEDE 330G
	刻蚀对象	2inch 粗化 GaN 图形片
	工艺气体	Cl <sub>2</sub> , BCl <sub>3</sub>
	测试手段	FE-SEM
刻蚀工艺指标	刻蚀深度	1.2μm

图 4-1 是芯片刻蚀前的形貌图片，SiO<sub>2</sub> 掩蔽层的厚度约 0.6μm，GaN 表面进行了粗化。

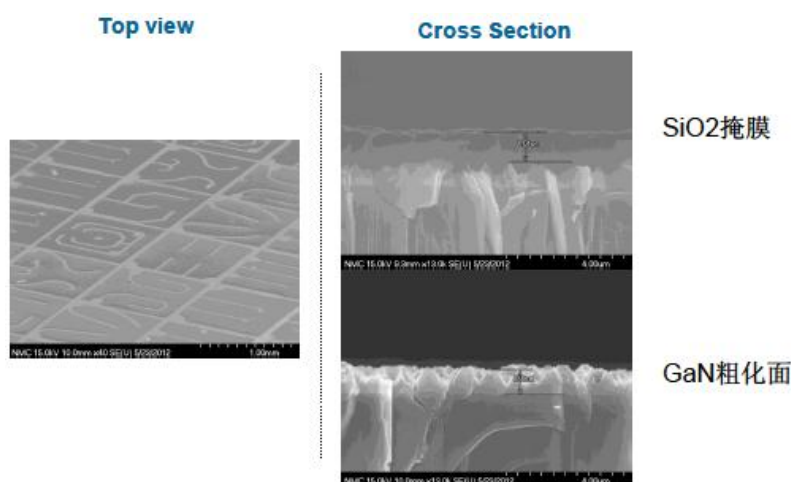


图 4-1 芯片刻蚀前形貌

图 4-2 是刻蚀后的图形结果。图中白色区域代表表面 pillar，图像越白则 pillar 密度

越大。图形结果显示所用外延片的生长质量不太理想。此外延片是经过表面的粗化的，刻蚀后的表面也因此而更不平整。由于表面不平整而无法准确测量刻蚀深度和  $\text{SiO}_2$  层的厚度，刻蚀速度和选择比的参考值分别为  $\text{ER}(\text{GaN}) = 104.9 \text{ nm/min}$ ， $\text{Sel} = 2.8$ 。

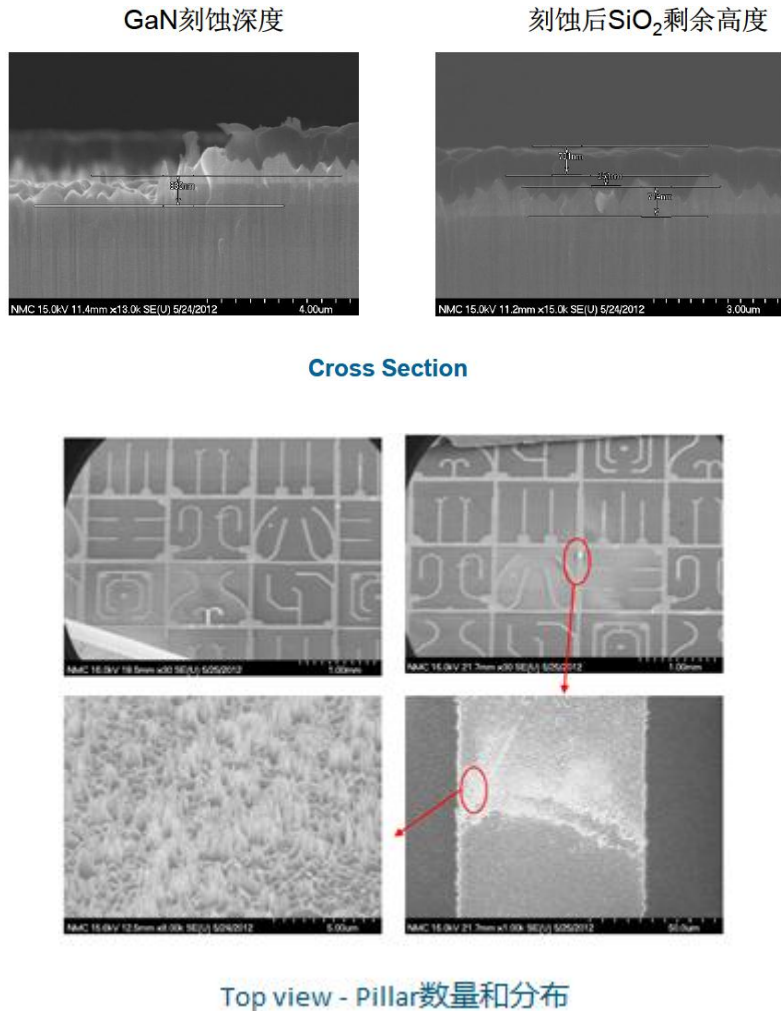


图 4-2 碎片刻蚀后图形

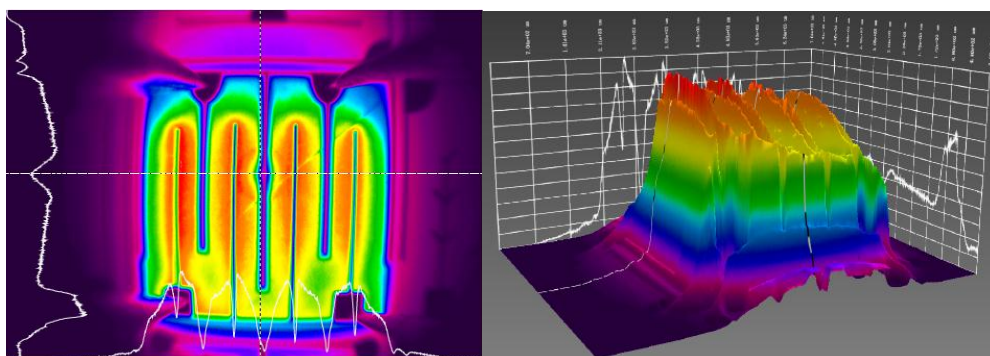
### 4.3 芯片的光电性能测试分析

通过流片实验最终得到各种电极形状的 LED 芯片。为了便于表述，将图 3-2 中的 (a)~(i) 9 种电极形状依次命名为 1~9。

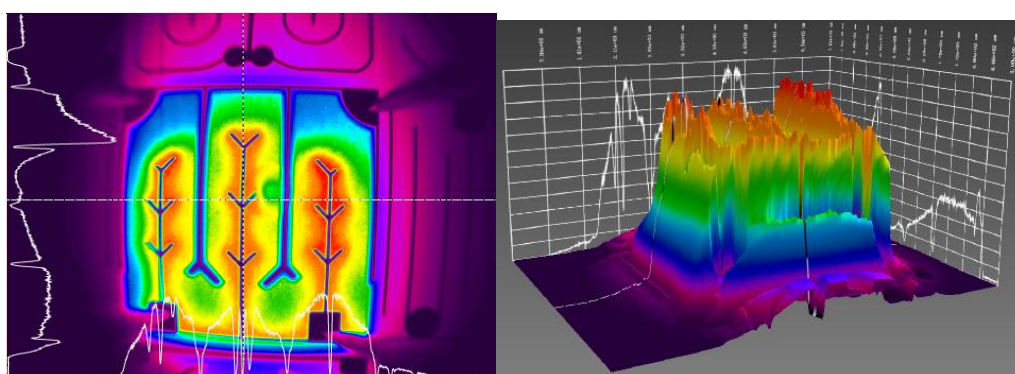
#### 4.3.1 不同电极形状芯片的电流分布

图 4-3 是(a)~(i) 9 种电极在 350mA 时电流分布的平面图（右）和三维图（左），从

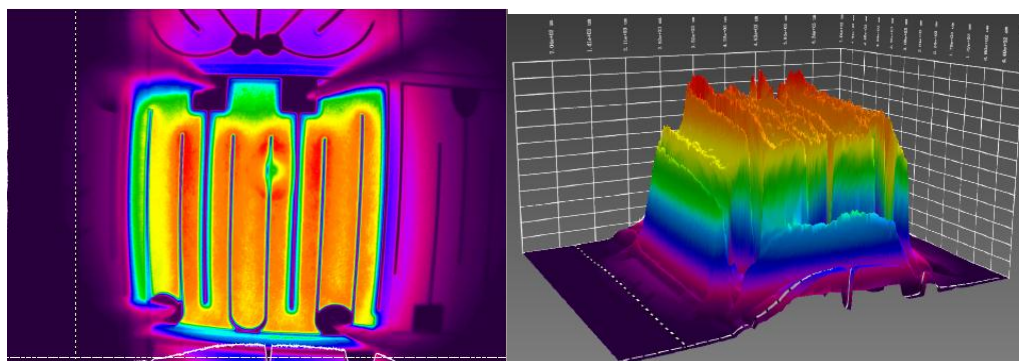
图中可以看出芯片 4 有源区电流分布密度不够均匀，局部热量集中在右侧电极附近，电流密度较大；芯片 1、2、3、7、8、9 电流密度分布相对较为均匀。由此可见，电极形状影响电流密度的分布，电极在芯片表面分布越均匀，正负极间距离越相近，电流密度分布越均匀。整体来看 p 型电极叉指处和 n 型电极边缘处电流分布不均匀尤为明显，这是由于 TCL 层的电阻率相对 n-GaN 的电阻率较小，电流大部分经过透明导电层到达 n 极附近，电流密度相对较大，因此电流聚集效应仍然存在。



(a)

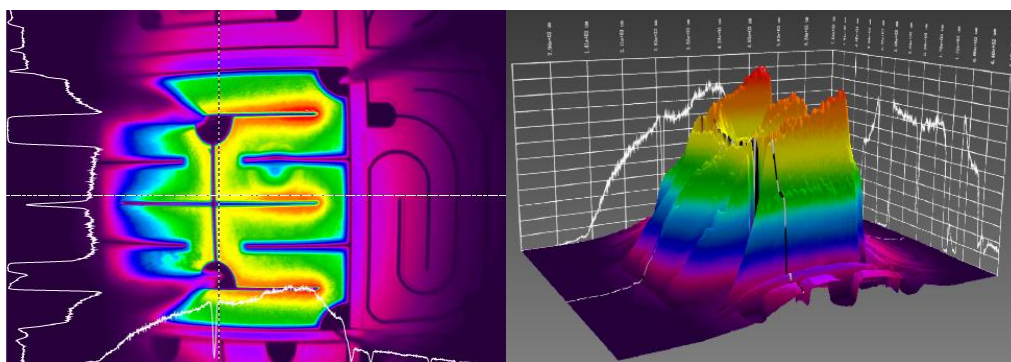


(b)

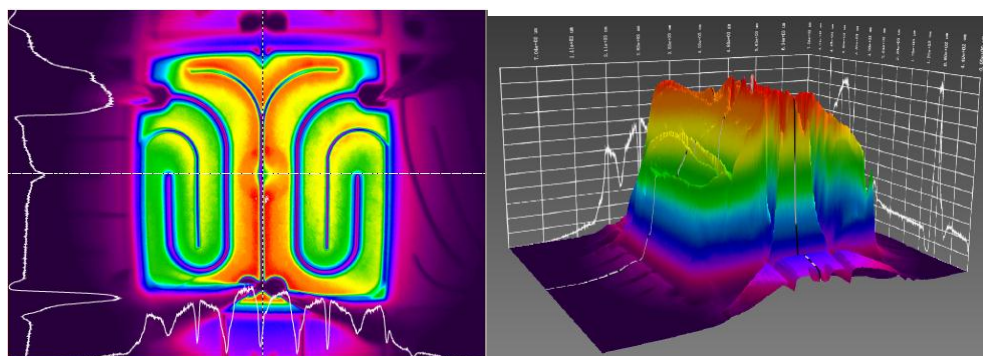


(c)

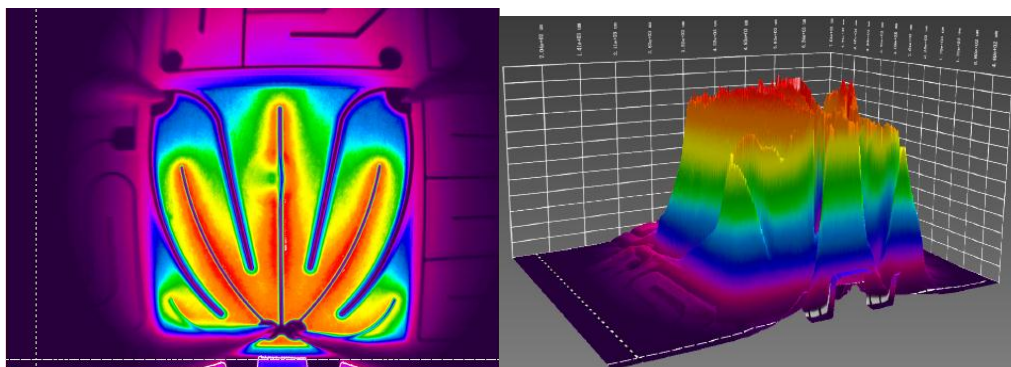




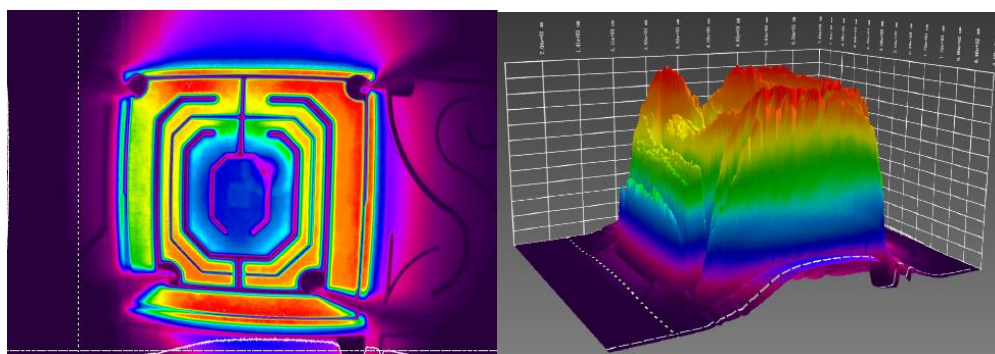
(d)



(e)



(f)



(g)

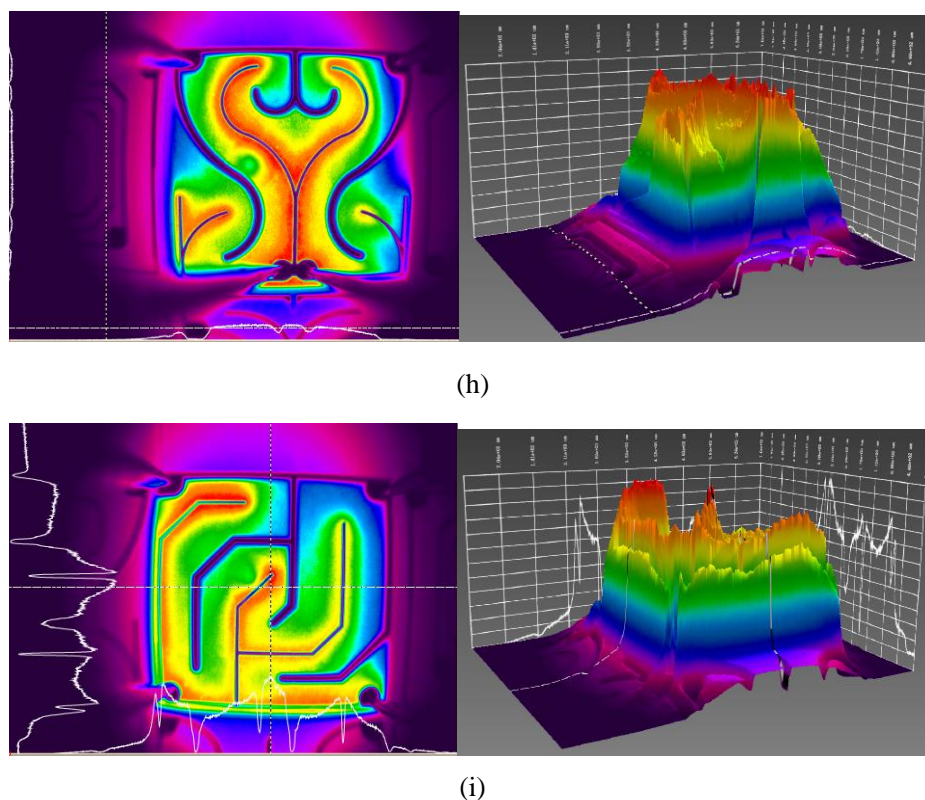


图 4-3 LED 芯片有源层电流分布效果图

### 4.3.2 芯片的 I-V 特性和 I-L 特性分析

不同的电极形状对芯片光电性能也有不同的影响，电极结构的合理设计有助于改善芯片 I-V 特性，降低正向工作电压，减小串联电阻；改善 I-L 特性，提高芯片亮度、光功率。

测试中，在每种芯片结构的芯片中随机选取 5 个不同的点进行相关特性的测试（测量结果原始数据见附录 1），并计算得出每种芯片各点测量值的平均值。9 种芯片性能参数的比较结果见表 4-2，其中  $V_{F1}$ 、 $V_{F2}$ 、 $V_{F3}$  分别是正向电流为 350mA、0.01mA、0.001mA 时的正向电压，单位 V， $V_{Z1}$  是电流为 10 $\mu$ A 时的反向电压， $I_R$  是电压为 5V 时的反向电流， $LOP_1$ 、 $WLP_1$ 、 $WLD_1$  是正向电流为 350mA 时的发光亮度、峰值波长、主波长。

表 4-2 芯片的性能测试参数比较

编号	$V_{F1}$ (V@350m)	$V_{F2}$ (V@10 $\mu$ A)	$V_{F3}$ (V@1 $\mu$ A)	$V_{Z1}$ (V@-10 $\mu$ A)	$I_R$ (mA@-5V)	$LOP_1$ (mcl@350mA)	$WLP_1$ (nm@350mA)	$WLD_1$ (nm)
1	3.045	2.172	2.035	23.9	0.042	156.9	469.6	475.0
2	3.150	2.172	2.036	24.8	0.064	157.1	469.8	475.1

3	2.974	2.175	2.032	21.8	/	154.3	469.3	474.8
4	3.027	2.173	2.036	21.9	0.037	158.8	469.6	475.0
5	3.013	2.175	2.037	22.9	/	158.7	469.5	474.9
6	3.041	2.172	2.035	23.3	0.044	155.3	469.8	475.2
7	2.874	0.002	0.002	/	5.002	88.98	470.9	476.2
8	3.032	2.164	2.021	27.3	0.044	154.7	470.5	475.8
9	3.033	2.170	2.030	24.1	0.02	155.1	469.9	475.3

由表中数据可以看出，芯片 1、4、6、8、9 工作电压值均在 3.03V 左右，芯片 2 的工作电压较高，约 3.15V，其中芯片 1 和芯片 2 的亮度相对较高；芯片 3 和芯片 5 的工作电压相对较低，在 350mA 时芯片 3 的亮度约 154Lm/w，而芯片 5 的亮度为 159Lm/w，并且漏电流几乎为 0，因此综合考虑芯片 5 的性能最佳。测试结果发现，芯片 7 出现了明显的漏电流，原因可能是在芯片结构设计或芯片制作过程中出现问题，也可能是自动测试中对位的问题导致反向电流的出现，其真正原因有待进一步考证。

从附表 1 中可以看到每种芯片在不同的测量点波长值都有一定的差异，所有单元中峰值波长的最小值为 474.2nm，最大值为 476.8nm，即出现一定量的红移和蓝移现象。原因可能是量子阱生长过程中的不均匀、电极形状的不同等因素导致。

表 4-3 ITO 性能参数

	方块电阻( $\Omega/\square$ )						透光率
	上	中	下	左	右	AVG	
退火前	9.133	9.056	8.974	9.061	9.030	9.051	87.8%
退火后	15.594	15.752	15.742	15.876	15.935	15.780	89.7%

表 4-3 是 ITO 层退火前后的一些性能参数比较。可以看到，退火后电阻值有了适当的增加，但透光性提高。在 ITO 中，In 是+3 价，Sn 是+2 价、+4 价，用氧原子进行替位时，多余出空穴来作为载流子导电。经过退火后，这样的空穴减少了，导电能力下降了，表现出来就是方块电阻增加。退火使得晶体的微结构变得致密，各晶向面间距和晶格常数趋于标准的晶体参数，因此，在 ITO 层的制作过程中选取适当的退火温度和退火时间可以很好地提高导电层的透光性。

## 第5章 总结

随着大功率 LED 的发展，GaN 基 LED 技术取得了很大突破，但芯片的光提取效率、电流扩展能力、散热等方面的问题仍需改善。本课题分析了提高 LED 出光效率的各种方法，包括有源区结构优化、图形化衬底、表面粗化、芯片外形等技术，并通过电极形状的优化设计来改善电流分布的均匀性问题，从而提高出光效率和散热能力。

通过对传统水平结构 GaN 基 LED 芯片电极形状基本改进图形的研究分析发现，为了提高电流分布的均匀性，正负电极的距离要相等，因此正负电极必须尽量保持相互平行。在此基础上，结合业内已有电极图形，设计并绘制了 9 种电极图案和每种图案相关的一系列光刻版图。光刻版图的设计涉及到参数的确定，因此必须综合考虑电极对出光面积的阻挡来确定条形电极宽度、焊盘大小，还有切割道宽度、ITO 内缩量，n 型电极与台面间距等问题。

流片实验主要包括外延片的清洗、台面刻蚀、ITO 制作、电极制作以及钝化层的制作。经过多道工序后完成了芯片的制作，性能测试结果表明不同电极形状对 GaN 基 LED 芯片的电流密度分布影响各异，电极在芯片分布越均匀、分散，正负电极距离越相等，电流分布越均匀，从而电流拥挤效应也得到很明显的改善。不同的电极形状对芯片光电性能也有不同的影响，电极结构的合理设计有助于改善芯片 I-V 特性，降低正向工作电压，减小串联电阻；改善 I-L 特性，提高芯片亮度、光功率。此外，ITO 层的合理制作增加了芯片的透光性，提高了 p-GaN 层和 ITO 面电阻的均匀性。

通过对本课题的学习和研究，在 LED 的芯片设计和制作方面取得一定的成果。今后，在水平结构 LED 芯片的光刻板设计方面仍需进一步优化和完善，而垂直结构的 LED 芯片设计将会是另一个重要的学习方向。在芯片工艺方面也要继续认真探索，亲自掌握一套完整的技术；芯片性能测试方面，要提高测试的全面性和准确性，学会更加深入地分析测试结果。

## 参考文献

- [1] E. Fred Schubert. Light Emitting Diodes. [M]. London: Cambridge Press, 2003: 78-85.
- [2] C. Y. Hsu, H. H. Lan, Y. S. Wu. Effect of thermal annealing of Ni/Au ohmic contact on the leakage current of GaN based light emitting diodes. [J]. Applied Physics Letters, 2003, 83: 2447-2449.
- [3] X. Guo, Y. L. Li, E. F. Schubert. Efficiency of GaN/InGaN light-emitting diodes with interdigitated mesa geometry. [J]. Applied Physics Letters, 2001, 79: 1936-1938.
- [4] C. E. Lee, Y. C. Lee, H. C. Kuo, et al. High brightness GaN-based flip-chip light-emitting diodes by adopting geometric sapphire shaping structure. [J]. Semiconductor Science and Technology, 2008, 23: 5.
- [5] M. R. Kralnes, M. Ochiai-Holcomb, G. E. Hofler, et al. High-power truncated-inverted-pyramid  $(\text{Al}_x\text{Ga}_{1-x})_{0.5}\text{In}_{0.5}\text{P}/\text{GaP}$  light-emitting diodes exhibiting  $>50\%$  external quantum efficiency. [J]. Applied Physics Letters, 1999, 75: 2365-2367.
- [6] E. A. Stach, M. Kelsch, E. C. Nelson, W. S. Wong, et al. Structural and chemical characterization of free standing GaN films separated from sapphire substrates by laser lift-off. [J]. Applied Physics Letters, 2000, 77: 1819-1821.
- [7] T. Fujii, Y. Gao, R. Sharma, E. L. Hu, et al. Increase in the extraction efficiency of GaN-based light-emitting diodes via surface roughening. [J]. Applied Physics Letters, 2004, 84: 855-857.
- [8] N. Nakada, M. Nakaji, H. Ishikawa, et al. Improved characteristics of InGaN multiple-quantum-well light-emitting diode by GaN/AlGaIn distributed Bragg reflector grown on sapphire. [J]. Applied Physics Letters, 2000, 76: 1804-1806.
- [9] J. Lee, D. H. Kim, J. Kim, et al. light-emitting diodes directly grown on sapphire substrate with holographically generated two-dimensional photonic crystal patterns. [J]. Current Applied Physics, 2009, 9: 633-635.
- [10] Jong Hoon Kim, Kyung Ah Jeon, Gun Hee Kim, et al. Electrical, structural and optical properties of ITO thin films prepared at room temperature by pulsed laser deposition. [J]. Appl Surf Sci, 2006, 252(13): 4834-4837.
- [11] Adivarahan V, Simin G, Yang J W, et al.  $\text{SiO}_2$ -passivated lateral-geometry GaN transparent Schottky-barrier detectors. [J]. Applied Physics Letters, 2000, 77: 863.
- [12] Shen Guangdi, Da Xiaoli, Guo Xia, et al. Effects of the passivation layer deposition temperature on the electrical and optical properties of GaN-based light-emitting diodes. [J].



- JLuminescence,2007,127(2):441.
- [13] Kim H M, Huh C, Park S J. Reduction in leakage current of InGaN-based light-emitting diodes by N<sub>2</sub>O plasma passivation.[C]. Proceed Soci Photo-Optical Instrumentation Engineers (SPIE) Sattle,US,2002:247.
- [14] Matteo Meneghini, Lorenzo Trevisanello, Gaudenzio Meneghesso, et al. High-temperature failure of GaN LEDs related with passivation. [J]. Superlattices Microstruct,2006, 40 (4-6):405.
- [15] Guo X, Schubert E F. Current crowding in GaN/InGaN light emitting diodes.[J]. Journal of Applied Physics, 2001, 90(8); 4191-4195.

## 附 录

## 附录 1 芯片光电性能测试数据

芯片 1:

TEST	$V_{F1}$	$V_{F2}$	$V_{F3}$	$V_{Z1}$	$I_R$	$LOP_1$	$WLP_1$	$WLD_1$
1	3.079	2.171	2.032	19.9	0.055	156.8	470.4	475.7
2	3.072	2.17	2.033	23.7	0.057	156.6	470	475.3
3	3.073	2.178	2.04	28.4	0	157.1	469.2	474.7
4	3.076	2.181	2.045	27.4	0	157.8	468.7	474.3
5	3.073	2.161	2.026	20.1	0.089	156.1	469.6	475
平均值	3.045	2.172	2.035	23.9	0.042	156.9	469.6	475.0

芯片 2:

TEST	$V_{F1}$	$V_{F2}$	$V_{F3}$	$V_{Z1}$	$I_R$	$LOP_1$	$WLP_1$	$WLD_1$
1	3.148	2.166	2.031	16.7	0.155	155.4	470.4	475.7
2	3.156	2.171	2.035	28.2	0	157.3	470.1	475.4
3	3.147	2.173	2.037	26.2	0.051	158.4	469.5	474.9
4	3.152	2.179	2.04	29.4	0.067	158.7	469	474.5
5	3.149	2.173	2.035	23.5	0.049	155.8	469.8	475.1
平均值	3.150	2.172	2.036	24.8	0.064	157.1	469.8	475.1

芯片 3:

TEST	$V_{F1}$	$V_{F2}$	$V_{F3}$	$V_{Z1}$	$I_R$	$LOP_1$	$WLP_1$	$WLD_1$
1	2.973	2.163	2.008	23.1	0	153.5	470.1	475.6
2	2.977	2.175	2.038	25.8	0	154.1	469.8	475.2
3	2.972	2.177	2.023	15.9	0	154	469	474.6
4	2.976	2.183	2.047	22.7	0	155.7	468.3	474
5	2.972	2.177	2.042	21.7	0.057	154	469.4	474.9
平均值	2.974	2.175	2.032	21.8	/	154.3	469.3	474.8

芯片 4:

TEST	$V_{F1}$	$V_{F2}$	$V_{F3}$	$V_{Z1}$	$I_R$	$LOP_1$	$WLP_1$	$WLD_1$
1	3.034	2.162	2.026	21.2	0.059	162.6	470.4	475.8
2	3.02	2.172	2.035	26.5	0.005	157.6	469.9	475.3
3	3.023	2.175	2.037	22.5	0.057	158	469.2	474.7
4	3.024	2.183	2.045	19.3	0.06	158.1	468.7	474.3
5	3.034	2.173	2.038	19.9	0.002	157.6	469.6	475
平均值	3.027	2.173	2.036	21.9	0.037	158.8	469.6	475.0

附 录

芯片 5:

TEST	V <sub>F1</sub>	V <sub>F2</sub>	V <sub>F3</sub>	V <sub>Z1</sub>	I <sub>R</sub>	LOP <sub>1</sub>	WLP <sub>1</sub>	WLD <sub>1</sub>
1	3.007	2.168	2.031	18.2	0	157.8	470.2	475.5
2	3.021	2.174	2.038	26.4	0	158.8	469.9	475.3
3	3.01	2.174	2.027	27.4	0	158.8	469.1	474.6
4	3.015	2.184	2.05	20.5	0	159.9	468.6	474.2
5	3.012	2.176	2.04	22.2	0	158.2	469.6	475
平均值	3.013	2.175	2.037	22.9	/	158.7	469.5	474.9

芯片 6:

TEST	V <sub>F1</sub>	V <sub>F2</sub>	V <sub>F3</sub>	V <sub>Z1</sub>	I <sub>R</sub>	LOP <sub>1</sub>	WLP <sub>1</sub>	WLD <sub>1</sub>
1	3.039	2.166	2.029	26.9	0	155.2	470.3	475.7
2	3.041	2.165	2.029	27	0.038	155.3	470.4	475.7
3	3.048	2.17	2.032	26.9	0	155.4	470	475.4
4	3.039	2.178	2.041	16.6	0.112	155.2	469.3	474.8
5	3.039	2.181	2.046	18.9	0.072	155.6	468.8	474.4
平均值	3.041	2.172	2.035	23.3	0.044	155.3	469.8	475.2

芯片 7:

TEST	V <sub>F1</sub>	V <sub>F2</sub>	V <sub>F3</sub>	V <sub>Z1</sub>	I <sub>R</sub>	LOP <sub>1</sub>	WLP <sub>1</sub>	WLD <sub>1</sub>
1	2.866	0.003	0.002	0	5.002	87.48	471.5	476.8
2	2.864	0.002	0.001	0	5.002	87.73	471.6	476.8
3	2.875	0.002	0.002	0	5.002	89.72	471.2	476.5
4	2.881	0.002	0.002	0	5.002	90.99	470.4	475.7
5	2.882	0.003	0.002	0	5.002	89	469.6	475.1
平均值	2.874	0.002	0.002	/	5.002	88.98	470.9	476.2

芯片 8:

TEST	V <sub>F1</sub>	V <sub>F2</sub>	V <sub>F3</sub>	V <sub>Z1</sub>	I <sub>R</sub>	LOP <sub>1</sub>	WLP <sub>1</sub>	WLD <sub>1</sub>
1	3.032	2.164	2.028	27	0.067	154.6	470.6	475.9
2	3.029	2.165	2.028	26.9	0.034	154.7	470.6	475.9
3	3.031	2.163	2.029	27.1	0.036	154.9	470.5	475.9
4	3.033	2.166	2.028	27.1	0.025	155.1	470.5	475.9
5	3.035	2.16	1.992	28.2	0.057	154	470.1	475.4
平均值	3.032	2.164	2.021	27.3	0.044	154.7	470.5	475.8

芯片 9:

TEST	V <sub>F1</sub>	V <sub>F2</sub>	V <sub>F3</sub>	V <sub>Z1</sub>	I <sub>R</sub>	LOP <sub>1</sub>	WLP <sub>1</sub>	WLD <sub>1</sub>
1	3.029	2.164	2.027	25.9	0	154.7	470.6	475.9
2	3.039	2.17	2.027	22.9	0	155.5	470.2	475.6
3	3.029	2.174	2.039	27.7	0.04	155.6	469.6	475

---

---

4	3.032	2.177	2.041	18.3	0.048	155.8	469.2	474.7
5	3.037	2.167	2.017	25.6	0.02	154.1	470	475.3
平均值	3.033	2.170	2.030	24.1	0.02	155.1	469.9	475.3

---

---

## 附录 2 英文文献翻译

### 电驱动纳米金字塔型绿色发光二极管

**摘要：**本文阐述了一种电驱动的纳米金字塔绿色发光二极管。这种纳米金字塔阵列是由纳米柱刻蚀图案的Ga<sub>N</sub>制造而成，并介绍了柱的侧壁钝化，以及外延再生长。多量子阱在纳米金字塔切面选择性的生长。这种制造的LED在电注入下发射绿色波长的光。这种发射显示出波长转换对载流子浓度较低的影响，并且在同样的波长下，相比于作为参考的c面样品它有着较高的内量子效率。它揭示出在高铝组分LED应用中使用纳米金字塔结构的潜在发展。

绿色半导体发光器件在照明和投影显示应用方面引起了人们极大的兴趣。Ga<sub>N</sub> 基的 LEDs 常被制作在 Ga<sub>N</sub> 表面的 c 面。典型的发射是在蓝光区域，在这段区域的发射性能为最佳。由于自发的以及压电产生的极化，生长在这个晶面的多量子阱(MQWs)会经历内部的电场(IEF)，从而会在很大程度上降低内量子效应(IQE)。内部电场的增加，会使得这种效率随着 In 组分在发射绿光的 MQWs 中的增加而迅速下降。内部电场还会引起载流子浓度随波长变化而变化。为了克服这些不利的影响，一个引人注目的途径就是在无极性或半极性的晶面上生长 MQWs，这样就会不产生或只有很小的 IEF，并且可以适应高的 In 结合。近来，在半极化的 Ga<sub>N</sub> 基底上制作的绿光 LEDs 和激光得到了研究者显著的兴趣。然而，无极性以及半极性基底并不是很容易获得。

选择性区域生长是一种很有吸引力的在广泛应用的 c 面基底上生长半极性切面的路径。微米到纳米尺寸的六角形金字塔可以从 SiO<sub>x</sub> 或者 SiN<sub>x</sub> 掩模板开洞处的 Ga<sub>N</sub> 基底 c 面生长得到。这种金字塔切面典型的是{10-11}或者{11-22}半极化面。关于在半极性金字塔切面上生长 MQWs 的光致发光(PL)的研究表明可以在很大程度上减少波长转换和分布不均匀对载流子浓度的影响。在利用半极性金字塔切面制作绿色 InGa<sub>N</sub> LED

的应用方面已经引起很多关注，但目前为止，光泵激方面的相关报道却非常有限。有关电注入的报道就更少了。这里，我们就谈电驱动的纳米金字塔型绿光 LED 的制造和性能。相比于 c 面 MQW LED 的参照，PL 测量显示蓝移对载流子浓度的更小影响，并显著提高了内量子效应（IQE）。

器件的制作运用 AXITRON2000HT 金属有机气象沉积（WOCVD）反应器，在蓝宝石样板的 c 面上生长 n-型 GaN 基底。中间制造的扫描电子显微镜（SEM）图像如图 1(a)–1(d)所示。直径为  $250\mu\text{m}$   $\text{SiO}_2$  纳米磁盘首次在 GaN 基底上形成图案。这种  $\text{SiO}_2$  纳米磁盘被用作电感耦合等离子体反应离子刻蚀（RIE）的刻蚀掩模板。 $\text{SiO}_2$  纳米磁盘随后被氧化刻蚀缓冲层除移，留下 GaN 纳米柱阵列(Fig.1(a))。旋压玻璃被缠绕在基底上使表面平坦。在  $400^\circ\text{C}$  下固化旋压玻璃 60 分钟之后，纳米柱的侧壁就被包含许多孔隙的旋压玻璃所覆盖。孔隙的产生是由于固化过程中旋压玻璃的收缩。之后，基底被 RIE 刻蚀，使底部的纳米柱暴露，而纳米柱的侧壁仍然被旋压玻璃所覆盖(Fig. 1(b))。

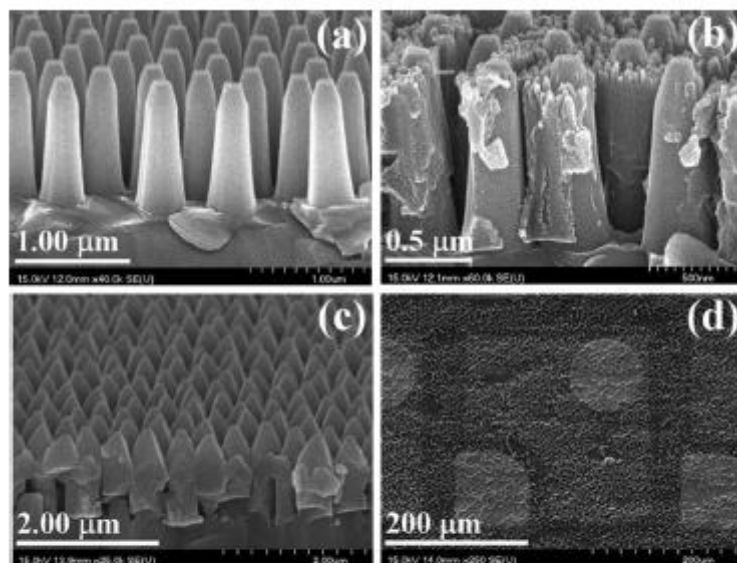


FIG. 1. (a)-(d) SEM images of intermediate fabrication steps. (a) Etched nanopillar. (b) Side wall coated with spin-on glass. (c) Nanopyramids grown on nanopillars (d) Plane view of nanopyramid LED.

基底放回到 MOCVD 生长 GaN 外延层。GaN 金字塔在 600mbar 的压力和  $800^\circ\text{C}$  的生长条件下选择性的在纳米柱的顶部以  $0.5\mu\text{m}/\text{hr}$  的速度生成(Fig. 1(c))。金字塔切面在  $26^\circ$  切斜角时被鉴定为半极化  $\{10\bar{1}1\}$  面。十对  $\text{In}_{0.3}\text{Ga}_{0.7}\text{N}$  ( $\sim 2\text{nm}$ )/ $\text{GaN}$  ( $\sim 8\text{nm}$ ) MQWs 在金字塔切面生长，之后是 20nm 的 Mg 掺杂的 p 型  $\text{Al}_{0.15}\text{Ga}_{0.85}\text{N}$  电子阻挡层和 200nm 的 Mg

掺杂 p 型 GaN 层。GaN 和 InGaN 各自的生长温度分别是 800°C 和 710°C。MQW 的生长压力是 300mbar。三甲基铟(TMIIn)和三甲基镓(TMGa)的流量分别是 250 和 76sccm。图 1(d)显示了这种 LED 制造的平面图。表面粗糙是因为纳米金字塔的结构。相比而言,传统的 c 面 MQW 生长参数会更小,除了阻挡物和阱的生长温度分别提高到 820°C 和 730°C。

{10-11}和{0001}MQW 的制造样品的发射性能通过 PL 测量来研究。用波长为 400nm 钛:蓝宝石激光脉冲聚焦到直径接近 50 $\mu$ m 样品上来对样品进行光激发。重复比率为 76MHz,脉冲宽度为 0.2ns。测量的 PL 峰波长与激发能密度的关系如图 2(a)所示。当泵浦的强度从 1 W/cm<sup>2</sup> 增长到 2.5 kW/cm<sup>2</sup> 时,{0001}MQW 样品有一个 45nm 的蓝移。与此相反,在同样的泵浦强度范围内{10-11}MQW 样品仅有 10nm 的蓝移。蓝移是由激发的载流子的 IEF 筛选和填补铟在量子阱中的分布不均匀引起的局部电势波动所引起的。观测到{10-11}MQWs 的微小蓝移与之前的研究相一致。载流子的寿命用时间转变 PL(TRPL)系统在低温(LT) 15K 和室温(RT)下测量。测量的 TRPL 信号显示在图 3(a)和 3(b)中。{10-11}样品比{0001}样品展示了更短的衰减时间常数。对于{10-11}样品在 LT 和 RT 时的拉伸指数拟合,  $\exp(-(t/\tau)^\beta)$ , 如图 3(a)所示。它分别指出了衰减常数  $\tau$  为 0.16 和 0.11ns, 色散成分  $\beta$  为 0.71 和 0.97。拉伸指数衰减经常会在不规则的系统中出现。色散分量是衰减时间常数分布的一个结果。它可以由铟在量子阱中分布不均匀产生的局部电位所引起。 $\beta$  值在 RT 趋于一致的增加表明局部电位是浅层的电位。载流子可以通过热能从局部态激发到延伸态,导致了很窄的衰减常数分布区。由于激光脉冲重复率的限制,记录的{0001}样品的瞬态发光强度并没有在一个激发周期内完全衰退。这种阻止的一个直接线性拟合可以获得衰减常数。然而,从图 3(b)所示的缓慢降低的波形来看,衰减常数在 LT 和 RT 下估算值大概分别为几十 ns 或者几 ns。在 LT 时,{10-11}MQWs 几 ns 寿命和{0001}MQWs 几十 ns 的寿命和之前的记录值相一致。在足够低的温度下,非辐射复合通常不太活跃。测量 LT 寿命,因此,认为是由于辐射重组。{10-11}MQWs 短暂的寿命又一次归因于低的内部电场(IEF),低的 IEF 会导致更好的电子-空穴波动函数重叠和更高的辐射复合可能性。在 RT 时,非辐射复合通常就不能被忽略,它会引起 PL 寿命变得更短,并降低内量子效率。

我们测量了这两种样品的内量子效率 IQE。通过使室温下集成的 PL 密度在 15K 时正常化, 来获得 IQE。泵的能量值设置为集成的 PL 密度在 15K 时的最大值。测量得{10-11}和{0001}MQWs 的 IQE 值分别为 50%和 28%。值得注意的是, {10-11}样品的 IQE 仅增强的 79%, 相比于{0001}样品, 这与辐射寿命减少的两个接近的数量级有很大差异。

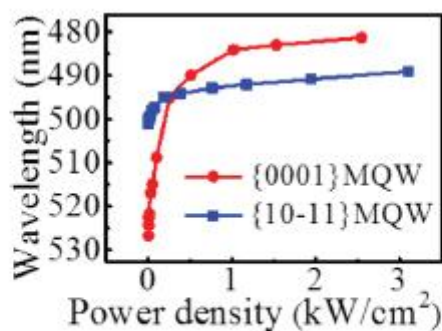


FIG. 2. (Color online) PL peak wavelength versus pump power density of {10-11} and {0001} MQWs.

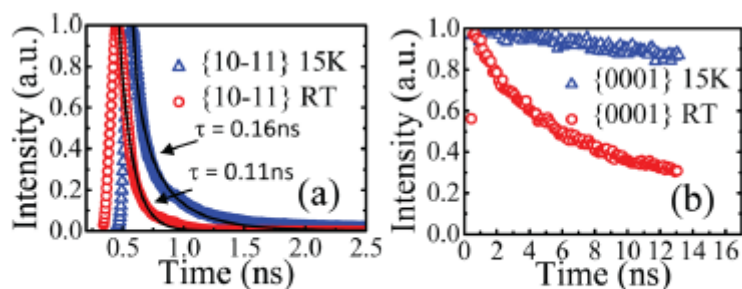


FIG. 3. (Color online) TRPL decay curves of (a) {10-11} and (b) {0001} MQWs at 15 K and RT. The solid lines are the fitted stretched exponential decay curves.

这个不符表明了{10-11}的非辐射复合比率是非常快的。相比于{0001}样品, {10-11}样品非常短的  $\tau_{nr}$  可以归因于更少的局部电势波动。之前的实验结果表明铟的非均匀分布引起的局部电势可能会抑制非辐射区对载流子的俘获。{10-11}MQW 局部电势波动的降低, 因此, 增加了非辐射中心载流子俘获的可能性, 并产生更短的  $\tau_{nr}$ 。

纳米金字塔发射特性的空间依赖性的研究可以通过光谱转换阴极发光(CL)测量。首次的扫描隧道显微镜 (SEM) 观察平面图像如图 4(a)所示。随后, 500、540 和 560nm 的光谱转换 CL 图像扫描也展示如图 4(b)–4(d)。发射模式主要随金字塔外形高度改变, 正如图 4(b)–4(d)中所示相比于在 SEM 图像 4(a)金字塔结构中相对明亮的等高线轮廓。随着波长增加, 等高线移向金字塔尖顶部分。这表明多量子阱发生红移是从纳米金字



塔的底部向顶部区域的。这可能是由于铟的加入和随着金字塔切面区域的上移而在 MQWs 中形成的 IEF。

运用标准的 LED 制造步骤，{10-11}基底被用在  $300\mu\text{m}\times 300\mu\text{m}$  的 LED 芯片中。电驱动的 LED 展示了一种蓝绿光发射的显微镜图像 5(a)。黑暗的区域是 p 电极和 n 电极。制作的纳米金字塔 LED 芯片的光-电流-电压曲线为图 5(b)。I-V 曲线展示了光缓慢点亮的过程。当电流为 5mA 时，电压从急剧增长，从 2.3V 开始趋于平稳，此时，

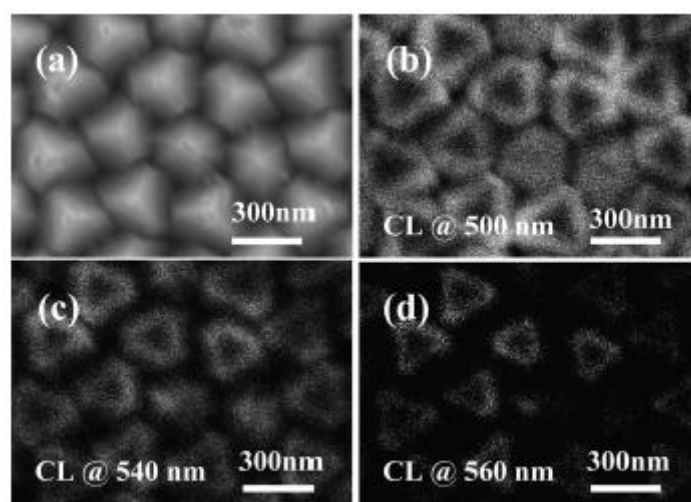


FIG. 4. (a) SEM plane view of nanopillar LED. (b)-(d) Spectrally resolved CL images at 500, 540, and 560 nm.

光输出仍然可以忽略。这可能是由于一些生长缺陷和过程的不完美使得电流有了分流路径。纳米金字塔中合并的边界可能是造成这种现象的原因之一。在点亮后，随着电流上升至 200mA，驱动电压大致从 3V 增长至 7V。这样高的电压可能是因为 ITO 和纳米金字塔无极性表面阵列间高的接触电阻。过程优化在未来的研究就变得非常必要。电致发光的光谱和注入电流的关系图为 5(c)。在较低的注入电流下，发射峰从 625nm 开始，并随着电流增加出现蓝移现象 5(c)。在 50mA 时，如图中虚线所示，发射峰稳定在 495nm 左右。光谱有~57 nm 的很大的线宽范围，并有很长的尾部延伸到 600nm 以外。在~8.25nm 间隔有小的法布里-珀罗震荡波纹。这符合~ $6\mu\text{m}$  长度的腔，接近于 GaN 的总厚度。这种波纹的产生可能是由于金字塔切面间的反射，就像角落立方体的效果，还有蓝宝石/GaN 内表面的反射。通过 CL 测量，最初的长波发射可能是源自 MQWs 的顶部，初次点亮是因为较低的电势。随着电流增长，注入的载流子充满了 MQWs 较低的部分。发射因此转换到 495nm，并由于更大的 MQW 区域而成为最主要

的峰。

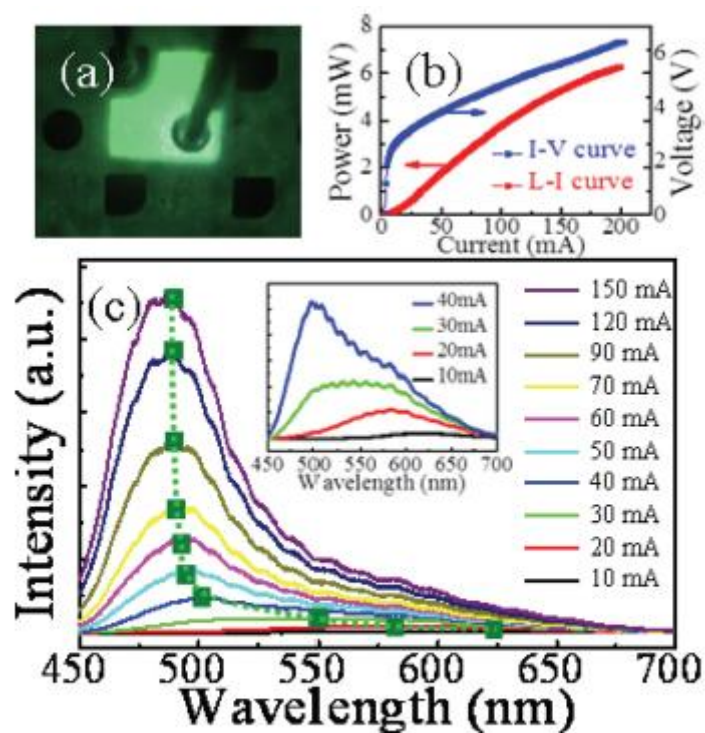


FIG. 5. (Color online) (a) Microscope image of electrically driven nanopyramid green LED. (b) L-I-V curves of nanopyramid LED. (c) PL spectrum versus injection current. Inset is the low current PL spectra.

总的来说，我们阐述了一种电驱动纳米金字塔型 LED。这种 LED 由纳米柱刻蚀图案制造而成，柱的侧壁钝化，以及 MOCVD 再生长。MQWs 在纳米金字塔的半极化面生长。这种半极化 MQWs 显示出波长转换对载流子浓度较低的影响程度，并且相比于短波长发射的 c 面样品它有着较高的内量子效率。这些论证表明，利用在纳米金字塔上生长的半极化 MQWs 发展高浓度铟组分的 LEDs 有很可观的潜力，它可以从现有的 c 面蓝宝石基底制作而来。作者要感谢 Epistar 公司的 Dr. T. C. Hsu 和 M. H. Shieh 的技术支持。这项工作的财政支持是由国家科学台湾会根据合约编号 No.NSCNSC97-2112-M-001-027-MY3 提供。

## 附录 3 英文文献原文

APPLIED PHYSICS LETTERS 100, 061106 (2012)

## Electrically driven nanopillar green light emitting diode

S.-P. Chang,<sup>1,2</sup> Y.-C. Chen,<sup>1</sup> J.-K. Huang,<sup>1</sup> Y.-J. Cheng,<sup>1,3,a)</sup> J.-R. Chang,<sup>4</sup> K.-P. Sou,<sup>1</sup> Y.-T. Kang,<sup>1</sup> H.-C. Yang,<sup>2</sup> T.-C. Hsu,<sup>2</sup> H.-C. Kuo,<sup>1</sup> and C.-Y. Chang<sup>4</sup><sup>1</sup>Department of Photonics and Institute of Electro-Optical Engineering, National Chiao Tung University, 1001 Ta Hsueh Rd., Hsinchu 300, Taiwan<sup>2</sup>R&D Division, Epistar Co. Ltd., Science-based Industrial Park, Hsinchu 300, Taiwan<sup>3</sup>Research Center for Applied Sciences, Academia Sinica, Taipei 11529, Taiwan<sup>4</sup>Department of Electronic Engineering, National Chiao Tung University, 1001 Ta Hsueh Rd., Hsinchu 300, Taiwan

(Received 27 August 2011; accepted 13 January 2012; published online 7 February 2012)

An electrically driven nanopillar green light emitting diode (LED) was demonstrated. The nanopillar arrays were fabricated from a GaN substrate by patterned nanopillar etch, pillar side wall passivation, and epitaxial regrowth. Multiple quantum wells were selectively grown on the facets of the nanopillars. The fabricated LED emits green wavelength under electrical injection. The emission exhibits a less carrier density dependent wavelength shift and higher internal quantum efficiency as compared with a reference c-plane sample at the same wavelength. It shows a promising potential for using nanopillar in high In content LED applications. © 2012 American Institute of Physics. [doi:10.1063/1.3681363]

Light emitting semiconductor devices in green color have attracted great interests in lighting and projection display applications.<sup>1–3</sup> GaN based light emitting diodes (LEDs) are often fabricated on c-plane GaN surface. The emission is typically in the blue region, where its performance is optimal. Multiple quantum wells (MQWs) grown on this crystal plane experience an internal electric field (IEF) due to spontaneous and piezoelectric polarization, which can significantly reduce internal quantum efficiency (IQE).<sup>4,5</sup> The efficiency drops rapidly as In content increases in MQWs for green emission due to the increased IEF.<sup>6</sup> This IEF can also cause carrier density dependent wavelength shift. To overcome these detrimental effects, an attractive approach is to grow MQWs on nonpolar or semipolar crystal planes, which have no or lower IEF and can accommodate high In incorporation.<sup>7</sup> Green LEDs and lasers fabricated on semipolar GaN substrates have gained significant interests recently.<sup>8–12</sup> However, nonpolar and semipolar substrates are not readily available.

Selective area growth is an attractive alternative method to grow semipolar facets from the widely available c-plane substrates. Micro to nano size hexagonal pyramids can be grown from the opening holes of a SiO<sub>x</sub> or SiN<sub>x</sub> masked c-plane GaN substrate. The pyramid facets are typically {10-11} or {11-22} semipolar planes. The photoluminescent (PL) study of the MQWs grown on semipolar pyramid facets has shown significantly reduced the carrier density dependent wavelength shift and inhomogeneous In distribution.<sup>13,14</sup> There have been interests in using the semipolar pyramid facets for green InGaN LED applications,<sup>13–16</sup> but so far the reports are mostly limited to optical pumping. Reports on electrical injection are very limited.<sup>16</sup> Here, we report the fabrication and performance of an electrically driven nanopillar green LED. Compared with a reference c-plane

MQW LED, the PL measurement has shown less carrier density dependent blue shift and significantly enhanced IQE.

The device was fabricated from an n-type GaN substrate grown on a c-plane sapphire template by AXITRON 2000HT metal organic chemical vapor deposition (MOCVD) reactor. The scanning electron microscopy (SEM) images of the intermediate fabrication steps are shown in Figs. 1(a)–1(d). SiO<sub>2</sub> nano disks of 250 μm in diameter were first patterned on a GaN substrate. The SiO<sub>2</sub> disks were used as etching masks in inductively coupled plasma reactive ion etching (RIE). The SiO<sub>2</sub> disks were subsequently removed by a buffer oxide etch, leaving arrays of GaN nanopillars (Fig. 1(a)). Spin-on glass was spun on the substrate to planarize the surface. After curing the spin-on glass at 400 °C for 60 min, the nanopillar side walls were covered by spin-on glass with air voids among them. The air voids were created due to the shrinkage of spin-on glass during curing process. The substrate was then etched by RIE to expose the top portion of nanopillars while leaving nanopillar side walls still covered with spin-on glass (Fig. 1(b)). The substrate was put back into MOCVD for GaN epitaxial regrowth. GaN pyramids were selectively grown on the tops of nanopillars at growth pressure of 600 mbar and temperature of 800 °C with growth rate of about 0.5 μm/hr (Fig. 1(c)). The pyramid facets were identified as semipolar {10-11} plane from its inclined 62° angle. Ten pairs of In<sub>0.3</sub>Ga<sub>0.7</sub>N (~2 nm)/GaN (~8 nm) MQWs were grown on the pyramid facets, followed by a 20-nm electron blocking layer of Mg-doped p-type Al<sub>0.15</sub>Ga<sub>0.85</sub>N and a 200-nm Mg-doped p-type GaN layer. The growth temperature of GaN and InGaN was 800 °C and 710 °C, respectively. The MQW growth pressure was 300 mbar. The trimethylindium (TMIn) and trimethylgallium (TMGa) flux were 250 and 76 sccm, respectively. Figure 1(d) shows the plane view of the fabricated LED. The surface was rough due to the nanopillar structure. For comparison, a conventional c-plane MQW substrate was grown on a c-plane sapphire template. The MQW growth parameters were similar

<sup>a)</sup>Author to whom correspondence should be addressed. Electronic mail: yjcheng@sinica.edu.tw.



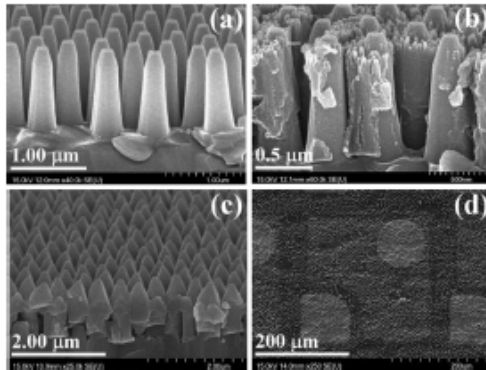


FIG. 1. (a)-(d) SEM images of intermediate fabrication steps. (a) Etched nanopillar. (b) Side wall coated with spin-on glass. (c) Nanopyramids grown on nanopillars (d) Plane view of nanopyramid LED.

except that the barrier and well growth temperature were raised to 820°C and 730°C, respectively.

The emission properties of the fabricated {10-11} and {0001} MQW samples were investigated by PL measurement. The samples were optically excited by a Ti:sapphire pulse laser at wavelength of 400 nm focused down to a spot diameter of approximately 50 μm on the sample. The repetition rate was 76 MHz, and the pulse width was 0.2 ns. The measured PL peak wavelength versus excitation power density is shown in Fig. 2(a). The {0001} MQW sample had a blueshift of 45 nm when the pump intensity was increased from 1 W/cm<sup>2</sup> to 2.5 kW/cm<sup>2</sup>. In contrast, the {10-11} MQW sample had a blueshift of only 10 nm within the same pump intensity range. The blueshift was due to the screening of IEF by the excited carriers and the filling of localized potential fluctuations induced by inhomogeneous In distribution in MQWs. The observed smaller blueshift of {10-11} MQWs is consistent with previous reports.<sup>13,14</sup> The carrier life time was measured by a time resolved PL (TRPL) system (PicoHarp 300) at low temperature (LT) 15 K and room temperature (RT). The measured TRPL signals are shown in Figs. 3(a) and 3(b). The {10-11} sample exhibits a much shorter decay time constant than the {0001} sample does. The stretched exponential fits,  $\exp(-(t/\tau)^\beta)$ , to the {10-11} sample at LT and RT are shown in Fig. 3(a). It gives a decay time constant  $\tau$  of 0.16 and 0.11 ns and a dispersive component  $\beta$  of 0.71 and 0.97, respectively. The stretched exponential decay is often encountered in a disordered system. The dispersion component is a consequence of a distribution of decay time constants. This could be caused by the localized potentials formed by the inhomogeneous In distribution in MQWs. The increase of  $\beta$  value toward unity at RT indicates that the localized potentials are shallow potentials. The carriers can be excited from the localized states to extended states by thermal energy, leading to a narrower decay time constant distribution. Due to the limit of the repetition rate of pulse laser, the recorded transient PL intensity of the {0001} sample does not fully decay within one excitation period. This prohibits a direct curve fitting to obtain decay time constant. However, from the slow decay waveform as shown in Fig. 3(b), the decay time constant at LT and RT can be estimated around tens of ns and a few ns, respectively. The sub-ns life time of {10-11} MQWs and tens of ns life time of {0001} MQWs at LT are consistent with previous reported values.<sup>17</sup> Non-radiative recombination is normally inactive at low enough temperature. The measured LT life time is, therefore, assumed to be due to radiative recombination. The shorter life time of {10-11} MQWs is again attributed to the lower IEF, which results in better electron-hole wave function overlap and higher radiative recombination probability. At RT, the non-radiative recombination is normally not negligible, which causes the PL life time to become shorter and degrades the IQE.

We measured the IQEs of these two samples. The IQE was obtained by normalizing the integrated PL intensity at room temperature by the value at 15 K. The pump power was set at the level where the integrated PL intensity is at maximum at 15 K. The measured IQE of {10-11} and {0001} MQWs was 50% and 28%, respectively. It is worth to note that the IQE of {10-11} sample is enhanced only by 79%, which is in large disparity to the nearly two order of magnitude decrease in radiative lifetime, as compared with the {0001} sample. This discrepancy implies that the non-radiative recombination rate is also much faster for {10-11} sample. The much shorter  $\tau_{nr}$  of {10-11} sample could be attributed to the less localized potential fluctuations, as compared with {0001} sample. Previous experimental results suggest that the localized potential due to inhomogeneous In distribution may suppress the capture of carriers by non-radiative centers.<sup>17-19</sup> The reduced localized potential fluctuations of {10-11} MQW, therefore, increase the carrier capture probability by non-radiative centers and give shorter  $\tau_{nr}$ .

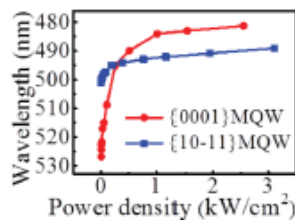


FIG. 2. (Color online) PL peak wavelength versus pump power density of {10-11} and {0001} MQWs.

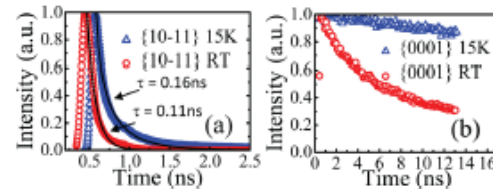


FIG. 3. (Color online) TRPL decay curves of (a) {10-11} and (b) {0001} MQWs at 15 K and RT. The solid lines are the fitted stretched exponential decay curves.

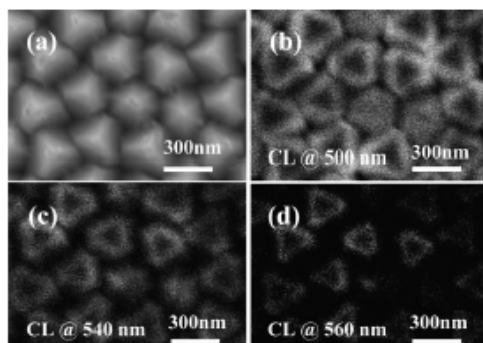


FIG. 4. (a) SEM plane view of nanopillar LED. (b)-(d) Spectrally resolved CL images at 500, 540, and 560 nm.

The spatial dependent emission property of nanopillars was investigated by the spectrally resolved cathodoluminescent (CL) measurement. A plane view scanning electron microscope (SEM) image was first taken, as shown in Fig. 4(a). The spectrally resolved CL images were then scanned at 500, 540, and 560 nm, as shown in Fig. 4(b)-4(d). The emission pattern basically follows the pyramid height contour, as can be seen by comparing the bright contours in Fig. 4(b)-4(d) to the pyramid shape in SEM image Fig. 4(a). The contours move toward the tip region of nanopillars as wavelength increases. It indicates that the MQW emission redshifts from the bottom to top region of nanopillars. This may be due to the increase of In incorporation and IEF in MQWs as the region moves up the nanopillar facets.

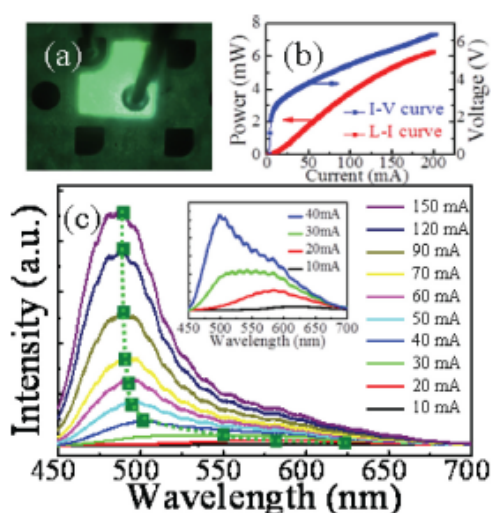


FIG. 5. (Color online) (a) Microscope image of electrically driven nanopillar green LED. (b) L-I-V curves of nanopillar LED. (c) PL spectrum versus injection current. Inset is the low current PL spectra.

The [10-11] MQW substrate was fabricated into a  $300 \mu\text{m} \times 300 \mu\text{m}$  LED chip using standard LED fabrication steps. The microscope image of the electrically driven LED exhibits a bluish green emission as shown in Fig. 5(a). The dark regions are the p- and n-metal contacts. The light-current-voltage (L-I-V) curves of the fabricated nanopillar LED chip are shown in Fig. 5(b). The L-I curve shows a slow turn on of light. When the current is at 5 mA, the steep increase of voltage starts to level off at 2.3 V, while light output is still negligible. This is probably due to some growth defects and process imperfection that provide shunt paths to the current. The coalescent boundaries among nanopillars could be one of the possible causes. After turn on, the driving voltage increases substantially from 3 V to 7 V as current increases up to 200 mA. This high voltage is probably due to a high contact resistance between ITO and the non-planar surface of nanopillar arrays. Process optimization is required for a further improvement. The electroluminescent (EL) spectrum versus injection current is shown in Fig. 5(c). At low injection current, emission peak starts at 625 nm and blueshifts as current increases (inset of Fig. 5(c)). The emission peak is stabilized around 495 nm above 50 mA, as depicted by the dotted line. The spectrum has a broad linewidth of  $\sim 57$  nm and a long tail extended beyond 600 nm. There are small Fabry-Perot oscillation ripples with  $\sim 8.25$  nm spacing. It corresponds to a cavity length of  $\sim 6 \mu\text{m}$ , which is close to the total GaN thickness. The ripple is probably due to the reflection between pyramid facets, acting like the effect of a corner cube, and the sapphire/GaN interface. From the CL measurement, the initial long wavelength emission is likely from the apex region of MQWs, which is turned on first because the potential is lower. As the current increases, the injected carriers overflow to the lower portion of MQWs. The emission thus shifts to 495 nm and becomes the dominant peak because of the much larger MQW area.

In summary, we have demonstrated an electrically driven nanopillar LED. The LED was fabricated from a patterned nanopillar etch, pillar side wall passivation, and MOCVD regrowth. MQWs were grown on the semipolar facets of the nanopillars. The semipolar MQWs were shown to have less carrier density dependent wavelength shift and higher IQE as compared with a c-plane sample with similar emission wavelength. This demonstration shows a promising potential for developing high In composition LEDs by using semipolar MQWs grown on nanopillars, which can be fabricated from readily available c-plane sapphire substrates.

The authors would like to thank Dr. T. C. Hsu and M. H. Shieh of Epistar Corporation for their technical supporting. This work was financially supported by the National Science Council of Taiwan under Contract No. NSC NSC97-2112-M-001-027-MY3.

<sup>1</sup>K. S. Kim, J. K. Son, S. N. Lee, Y. J. Sung, H. S. Paek, H. K. Kim, M. Y. Kim, K. H. Ha, H. Y. Ryu, O. H. Nam et al., *Appl. Phys. Lett.* **92**, 101103 (2008).

<sup>2</sup>D. Queren, A. Avramescu, G. Brüderl, A. Breidenassel, M. Schillgalies, S. Luigen, and U. Strauß, *Appl. Phys. Lett.* **94**, 081119 (2009).

<sup>3</sup>T. Miyoshi, S. Masui, T. Okada, T. Yamamoto, T. Kozaki, S.-I. Nagahama, and T. Mukai, *Appl. Phys. Express* **2**, 062201 (2009).

<sup>4</sup>Y.-L. Lai, C.-P. Liu, Y.-H. Lin, R.-M. Lin, D.-Y. Lyu, Z.-X. Peng, and T.-Y. Lin, *Appl. Phys. Lett.* **89**, 151906 (2006).

## 致 谢

本论文是在我的导师云峰老师的悉心指导和殷切关怀下完成的。从大四上学期开始，云老师就指引我自主地学习有关固体照明的基本理论知识，推荐适合的书籍和文献资料，并在我遇到问题时认真指导和鼓励。半年多，云老师深厚的学识，广阔的视野，严谨的态度，以及对科学研究的执着于认真，对我的学习、生活产生了深远的影响，是我毕生学习的好榜样。在此，谨向敬爱的云老师致以我最崇高的敬意和由衷的感谢。

另一位需要特别感谢的是一直指导我毕设工作的郭茂峰老师。在课题的设计研究过程中，郭老师一直给予我最直接的指导和帮助，并努力为我争取一切可能的实验条件和机会。在此，谨向郭老师表示衷心的感谢。

在毕设过程中，与实验室小组成员黄亚平、田振寰、王宏一起努力学习，探讨问题，思考对策。感谢他们带给我充实而愉快的学习经历。

此外，感谢帮助我完成芯片制作的北方微电子公司和同辉电子科技股份有限公司。最后，感谢所有在毕设过程中给我支持和帮助的各位老师和同学们，谢谢你们！