



数字逻辑电路

组合逻辑电路的分析与设计

西安交通大学

电子物理与器件教育部重点实验室
等离子体与微波电子学研究所

张小宁



数字逻辑基础

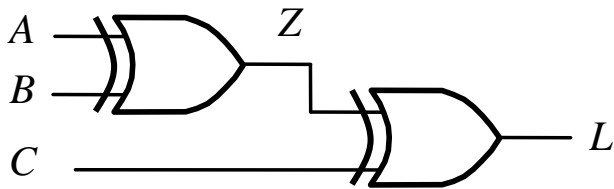
1. 逻辑电路文档标准
2. 组合逻辑电路的分析与设计
3. 组合逻辑电路中的竞争与险象
4. 常用的MSI组合逻辑器件及其应用



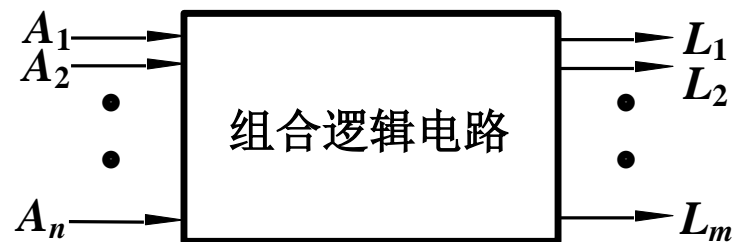
组合逻辑电路的分析与设计

什么是组合逻辑和时序逻辑， Why?

组合逻辑电路的定义



组合逻辑电路的一般框图



$$L_i = f(A_1, A_2, \dots, A_n) \quad (i=1, 2, \dots, m)$$

结构特征:

- 1、输出、输入之间没有反馈延迟通路，
- 2、不含记忆单元

工作特征:

在任何时刻，电路的输出状态只取决于同一时刻的输入状态而与电路原来的状态无关。



组合逻辑电路的分析与设计

1. 组合逻辑电路的分析

根据给定电路，分析该电路输出与输入之间的逻辑关系，得出电路的逻辑功能的描述，进而评估此电路的性能，还可进一步改进电路。

(1) 表达式法：利用表达式分析电路

(2) 穷举法：利用真值表分析电路

一般情况下是二者的结合运用。

组合逻辑电路的分析步骤：

- (1) 由逻辑图写出各输出端的逻辑表达式；
- (2) 化简和变换逻辑表达式；
- (3) 列出真值表；画出波形图；
- (4) 根据真值表或逻辑表达式，经分析最后确定其功能。



1. 组合逻辑电路分析

例1. 根据电路逐级写出各门的输出表达式，直至写出输出逻辑表达式。

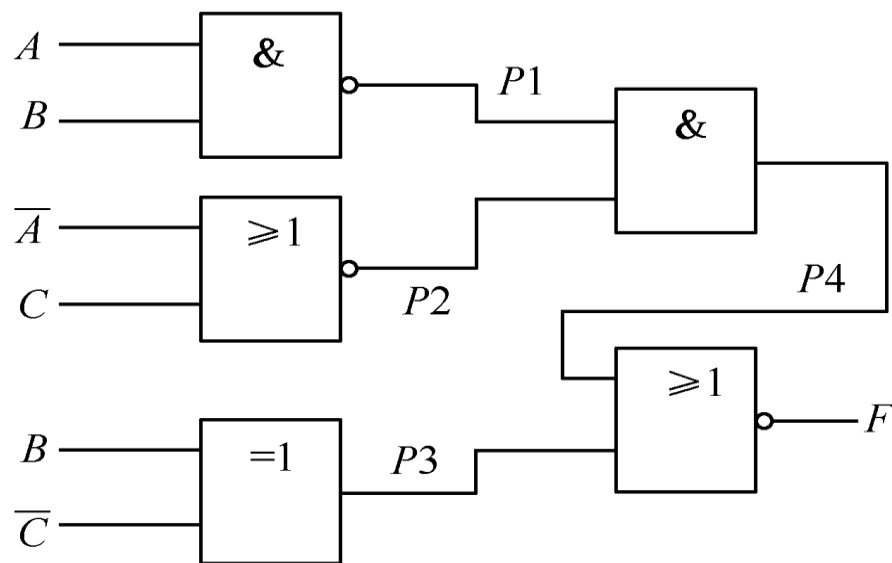
$$P1 = \overline{AB}$$

$$P2 = \overline{A} + C$$

$$P3 = B \oplus \overline{C}$$

$$P4 = P1P3 = \overline{AB} \overline{A + C}$$

$$F = \overline{P3 + P4} = B \oplus C$$



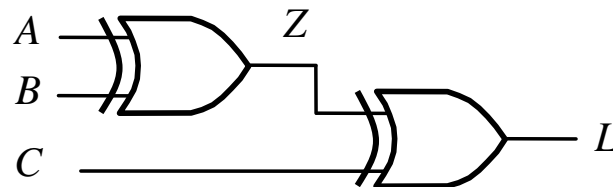
这是输出函数 F 的最简表达式，该电路实现了两个变量 B 和 C 的异或运算。



1. 组合逻辑电路分析

例2 分析如图所示逻辑电路的功能。

解：1. 根据逻辑图写出输出函数的逻辑表达式



$$\begin{aligned} L &= Z \oplus C \\ &= (A \oplus B) \oplus C \\ &= A \oplus B \oplus C \end{aligned}$$

2. 列写真值表。

3. 确定逻辑功能：

输入变量的取值中有奇数个1时， L 为1，否则 L 为0，电路具有为奇校验功能。

A	B	C	$Z = A \oplus B$	$L = (A \oplus B \oplus C)$
0	0	0	0	0
0	0	1	0	1
0	1	0	1	1
0	1	1	1	0
1	0	0	1	1
1	0	1	1	0
1	1	0	0	0
1	1	1	0	1

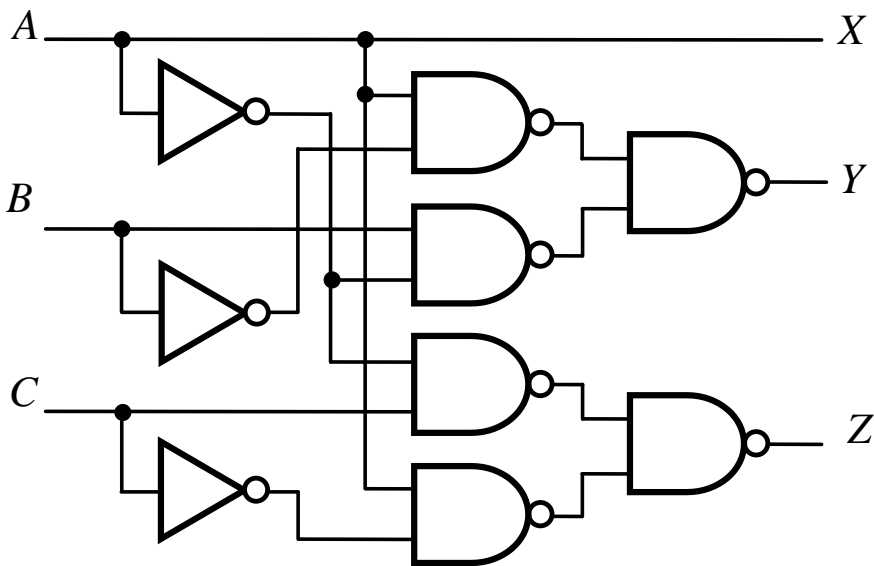
如要实现偶校验，电路应做何改变？



1. 组合逻辑电路分析

例3 试分析下图所示组合逻辑电路的逻辑功能。

解：（1）根据逻辑电路写出各输出端的逻辑表达式，并进行化简和变换。



$$X = A$$

$$Y = \overline{\overline{A} \overline{B} \overline{C}}$$

$$Z = \overline{\overline{A} \overline{C} \overline{A} \overline{C}}$$



1. 组合逻辑电路分析

(2) 列写真值表

真值表

$$X = A$$

$$Y = \overline{\overline{A} \overline{B}} \cdot \overline{\overline{A} \overline{B}} = A \overline{B} + \overline{A} B$$

$$Z = \overline{\overline{A} \overline{C}} \cdot \overline{\overline{A} \overline{C}} = A \overline{C} + \overline{A} C$$

<i>A</i>	<i>B</i>	<i>C</i>	<i>X</i>	<i>Y</i>	<i>Z</i>
0	0	0	0	0	0
0	0	1	0	0	1
0	1	0	0	1	0
0	1	1	0	1	1
1	0	0	1	1	1
1	0	1	1	1	0
1	1	0	1	0	1
1	1	1	1	0	0



1. 组合逻辑电路分析

(3) 确定电路逻辑功能

电路逻辑功能：

- a) 对输入的二进制码求反码。
- b) 最高位为符号位，0表示正数，1表示负数
- c) 正数的反码与原码相同；
- d) 负数的数值部分是在原码的基础上逐位求反。

真值表

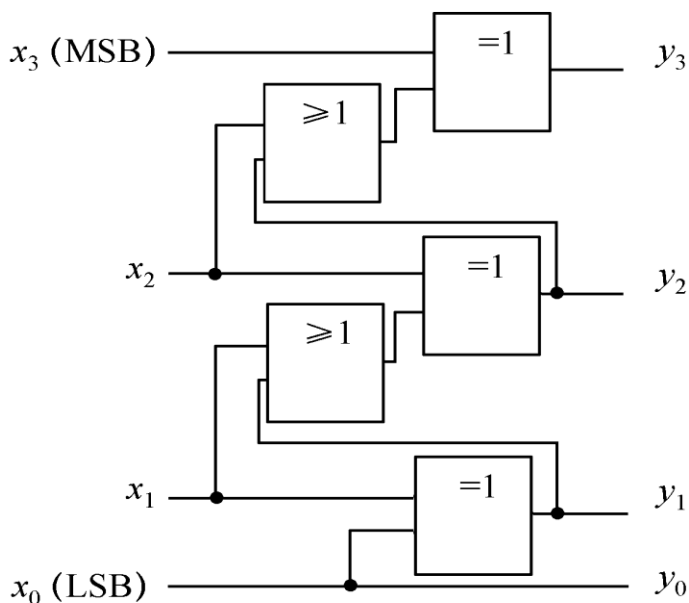
<i>A</i>	<i>B</i>	<i>C</i>	<i>X</i>	<i>Y</i>	<i>Z</i>
0	0	0	0	0	0
0	0	1	0	0	1
0	1	0	0	1	0
0	1	1	0	1	1
1	0	0	1	1	1
1	0	1	1	1	0
1	1	0	1	0	1
1	1	1	1	0	0



1. 组合逻辑电路分析

穷举法的结果是真值表。即列出n个输入变量的所有 2^n 个输入组合，并根据每一个输入组合决定所有门的输出，逐级推出电路的输出，得到真值表。

例4：分析如下图(a)四输入输出的逻辑电路。



(a) 原始逻辑电路图

逻辑表达式

$$\begin{aligned}
 y_0 &= x_0 \\
 y_1 &= x_1 \oplus x_0 \\
 y_2 &= x_2 \oplus (x_1 + y_1) \\
 y_3 &= x_3 \oplus (x_2 + y_2)
 \end{aligned}$$

从真值表中可以看出，每一组输入组合与其所对应的输出组合之间是“按位取反加一”的关系，如输入组合1100，则所对应的输出组合是0100，因此本电路是一个4位二进制求补电路，或称对16求补器。

x_3	x_2	x_1	x_0	y_3	y_2	y_1	y_0
0	0	0	0	0	0	0	0
0	0	0	1	1	1	1	1
0	0	1	0	1	1	1	0
0	0	1	1	1	1	0	1
0	1	0	0	1	1	0	0
0	1	0	1	1	0	1	1
0	1	1	0	1	0	1	0
0	1	1	1	1	0	0	1
1	0	0	0	1	0	0	0
1	0	0	1	0	1	1	1
1	0	1	0	0	1	1	0
1	0	1	1	0	1	0	1
1	1	0	0	0	1	0	0
1	1	0	1	0	0	1	1
1	1	1	0	0	0	1	0
1	1	1	1	0	0	0	1



1. 组合逻辑电路分析

组合电路性能评价

分析上图所示逻辑电路的性能，并给出评价，提出改进建议。

解：将左面的4个表达式作些变换，变换如右：

$$y_0 = x_0$$

$$y_1 = x_1 \oplus x_0$$

$$y_2 = x_2 \oplus (x_1 + y_1)$$

$$y_3 = x_3 \oplus (x_2 + y_2)$$

$$y_0 = x_0$$

$$y_1 = x_1 \oplus x_0$$

$$y_2 = x_2 \oplus (x_1 + x_0)$$

$$y_3 = x_3 \oplus (x_2 + x_1 + x_0)$$

上面这组表达式意味着求补器的设计依据的是：

$$y_i = x_i \oplus (x_{i-1} + \cdots + x_1 + x_0), \quad 1 \leq i \leq n-1.$$

x_i 是否变反由低位决定，低位全是0 x_i 不变，表示了求补器的逻辑规律。



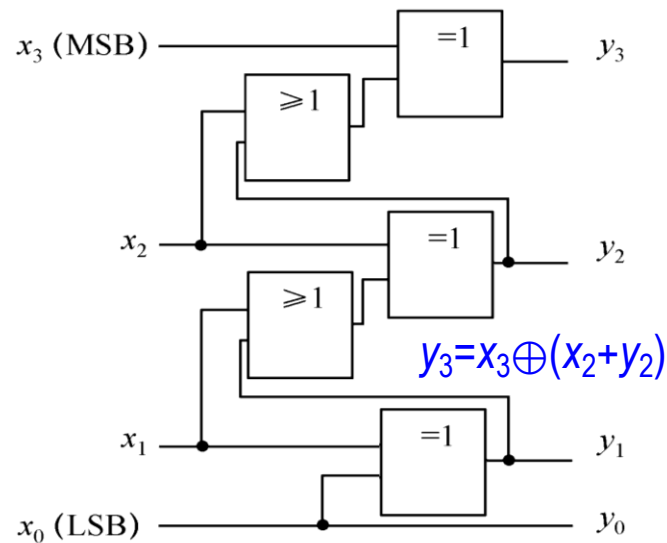
1. 组合逻辑电路分析

表达式变换后所对应的电路结构如图(c)。图(a)所示电路是一个串行电路，图(c)所示电路是一个并行电路。

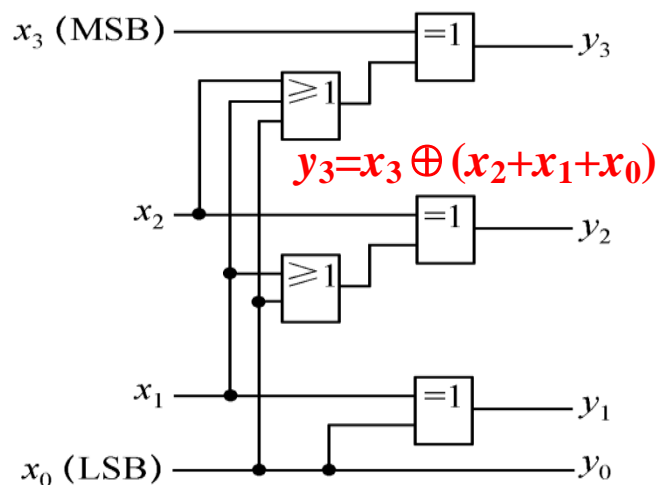
一般来说，串行电路结构比较简单，但运行速度比较慢。并行电路结构相对较为复杂，但运行速度快。

图(a)所示电路，除了低位 y_0 , y_1 ，每增加一位输入，对应的输出位电路只需增加一个异或门和一个或门，结构完全是一致的；

图(c)所示电路，每个或门的输入端引线都不一样，越到高位其输入端引线越多，这不仅破坏了各位结构的统一，也增加了电路成本，并受限于或门的输入数而使位数 n 的扩充变得困难。



(a) 原始逻辑电路图



(c) 改进后的并行电路



1. 组合逻辑电路分析

针对该问题，将表达式再作变换如下：

$$y_0 = x_0$$

$$y_1 = x_1 \oplus x_0$$

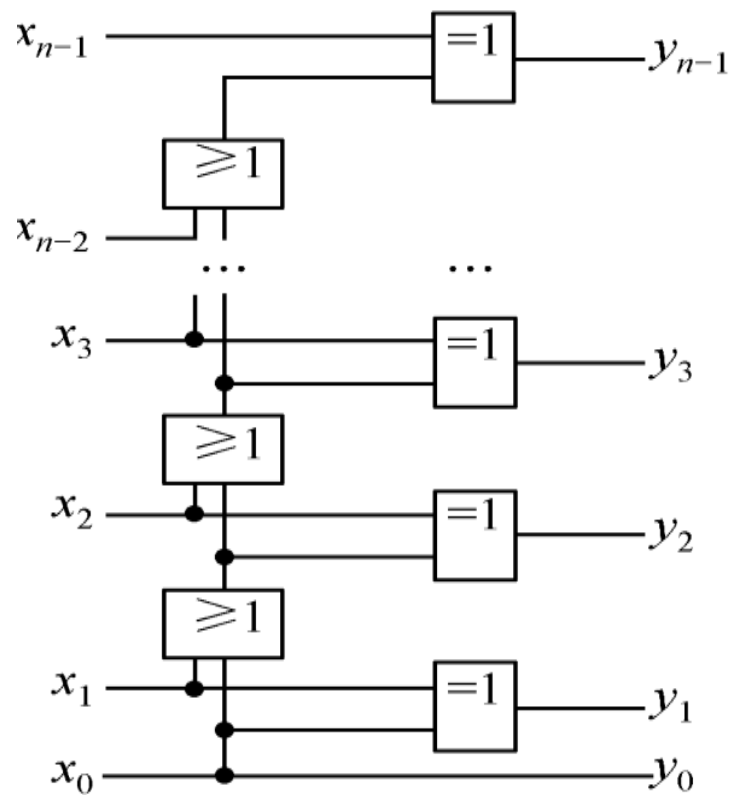
$$y_2 = x_2 \oplus (x_1 + x_0)$$

$$y_3 = x_3 \oplus (x_2 + (x_1 + x_0))$$

$$y_i = x_i \oplus (x_{i-1} + \dots + (x_2 + (x_1 + x_0)) \dots), (0 \leq i \leq n-1)$$

该组表达式所对应的电路图如图(d)所示。该电路继承了图(a)和图(c)所示电路的优点，保留了各位结构统一的特点，但其运行速度快于图(a)而又慢于图(c)所示电路。该电路使用了较多器件，因而这是一种折中的结果。

在实际设计中，希望的是提高运行速度。因此，并行电路使用更广泛。



(d) 结合前两种电路所得电路



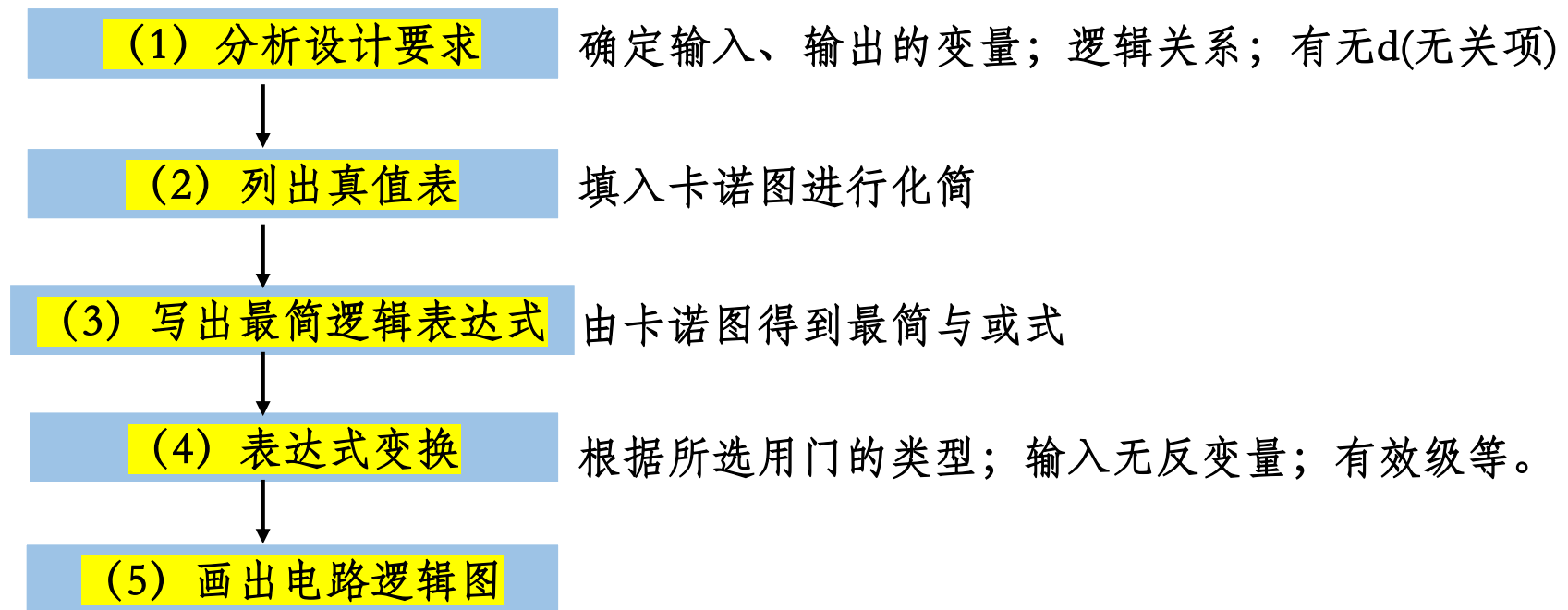
2. 组合逻辑电路设计

2. 组合电路设计

目的：根据要实现的逻辑功能，利用逻辑代数方法实现逻辑电路设计。

要求：电路用最少的逻辑门(集成块)、最少的输入端数。

组合逻辑电路的设计步骤





2. 组合逻辑电路设计

例1 某火车站有特快、直快和慢车三种类型的客运列车进出，试设计一个指示列车等待进站的逻辑电路，当有两种或以上的列车等待进站时，要求发出信号，提示工作人员安排进站事宜。

解：（1）分析设计要求

输入信号： A 、 B 、 C 分别表示特快、直快和慢车，且有进站请求时为1，没有请求时为0。

输出信号： L 表示进站状况，有两种以上的车进站为1，否则为0。



2. 组合逻辑电路设计

(2) 列出真值表, 填写卡诺图 (3) 写出逻辑表达式, 化简。

输入			输出
A	B	C	L
0	0	0	0
0	0	1	0
0	1	0	0
0	1	1	1
1	0	0	0
1	0	1	1
1	1	0	1
1	1	1	1

$$L = \bar{A}BC + A\bar{B}C + ABC\bar{C} + ABC$$

$$L = AB + AC + BC$$

		AB			
		00	01	11	10
C	0	0	0	1	0
	1	0	1	1	1

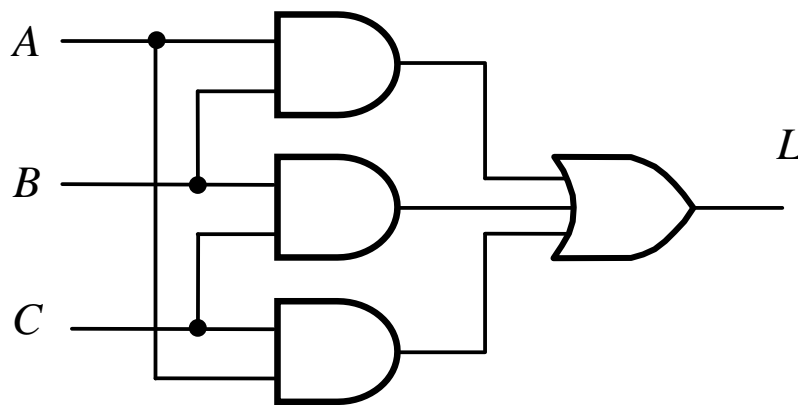


2. 组合逻辑电路设计

(4) 根据输出逻辑表达式画出逻辑图。

$$L = AB + AC + BC$$

表达式为最简与或式，用与门和或门实现两级“与-或”结构的最简电路如图。





2. 组合逻辑电路设计

例2 试设计一个码转换电路，将4位格雷码转换为自然二进制码。
可以采用任何逻辑门电路来实现。

解：(1) 明确逻辑功能，列出真值表。

设输入变量为 G_3 、 G_2 、 G_1 、 G_0 为格雷码，

输出变量 B_3 、 B_2 、 B_1 和 B_0 为自然二进制码。

当输入格雷码按照从0到15递增排序时，可列出逻辑电路真值表



2. 组合逻辑电路设计

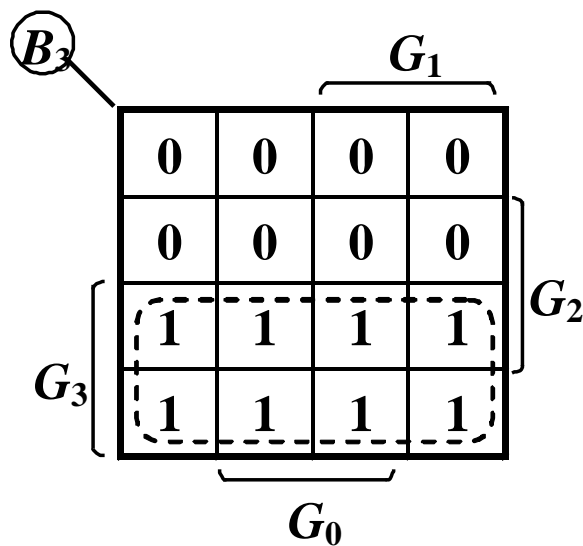
逻辑电路真值表

输 入	输 出	输 入	输 出
$G_3 G_2 G_1 G_0$	$B_3 B_2 B_1 B_0$	$G_3 G_2 G_1 G_0$	$B_3 B_2 B_1 B_0$
0 0 0 0	0 0 0 0	1 1 0 0	1 0 0 0
0 0 0 1	0 0 0 1	1 1 0 1	1 0 0 1
0 0 1 1	0 0 1 0	1 1 1 1	1 0 1 0
0 0 1 0	0 0 1 1	1 1 1 0	1 0 1 1
0 1 1 0	0 1 0 0	1 0 1 0	1 1 0 0
0 1 1 1	0 1 0 1	1 0 1 1	1 1 0 1
0 1 0 1	0 1 1 0	1 0 0 1	1 1 1 0
0 1 0 0	0 1 1 1	1 0 0 0	1 1 1 1

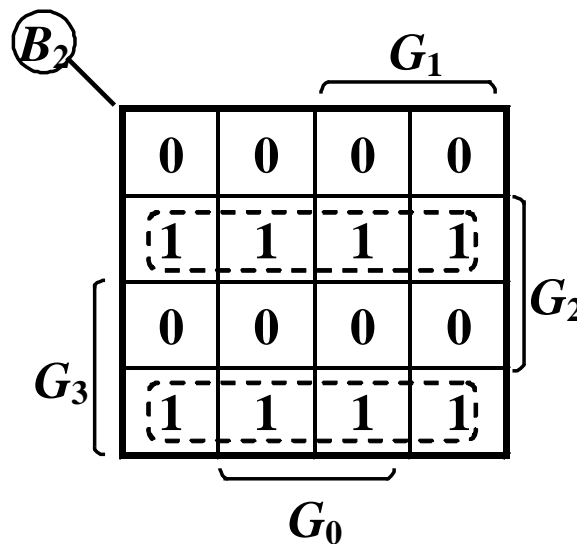


2. 组合逻辑电路设计

(2) 画出各输出函数的卡诺图，并化简和变换。



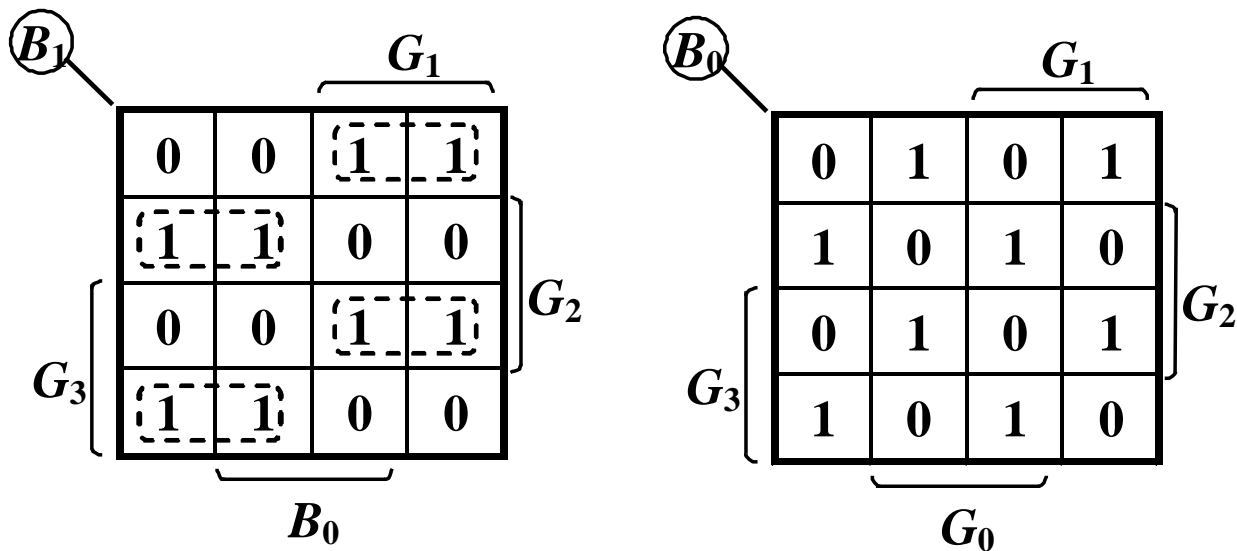
$$B_3 = G_3$$



$$\begin{aligned} B_2 &= G_3 \bar{G}_2 + \bar{G}_3 G_2 \\ &= B_3 \oplus G_2 \end{aligned}$$



2. 组合逻辑电路设计



$$B_1 = G_3 \bar{G}_2 \bar{G}_1 + \bar{G}_3 G_2 \bar{G}_1 + G_3 G_2 G_1 + \bar{G}_3 \bar{G}_2 G_1$$

$$= (G_3 \bar{G}_2 + \bar{G}_3 G_2) \bar{G}_1 + \overline{G_3 \bar{G}_2 + \bar{G}_3 G_2} G_1$$

$$= G_3 \oplus G_2 \oplus G_1$$

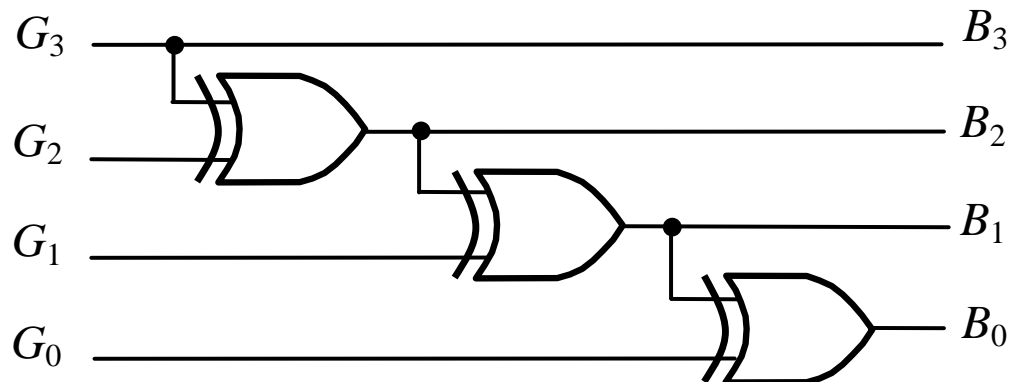
$$B_0 = G_3 \oplus G_2 \oplus G_1 \oplus G_0$$



2. 组合逻辑电路设计

(3) 根据逻辑表达式，画出逻辑图

用异或门代替与门和或门能使逻辑电路比较简单。考虑相同乘积项可以减少门电路数目，降低实现电路的成本。





2. 组合逻辑电路设计

例3 半加器 *Half-Adder*

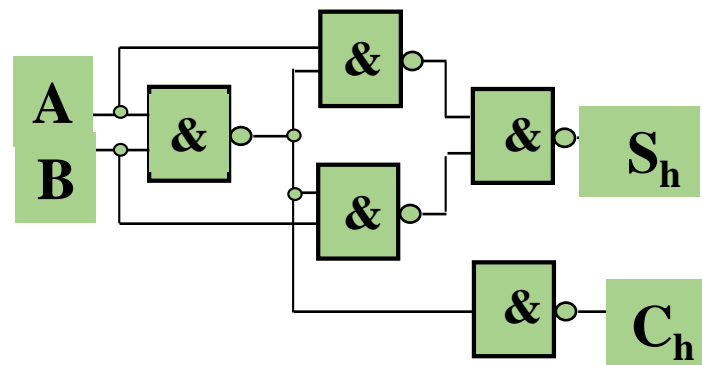
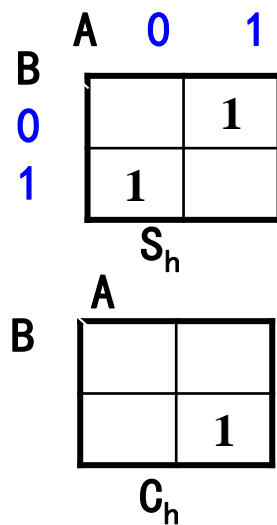
输入变量：加数A、B

输出函数：和 S_h 、进位 C_h

$$S_h = \bar{A}B + A\bar{B} = A \oplus B$$

$$C_h = AB$$

A	B	S_h	C_h
0	0	0	0
0	1	1	0
1	0	1	0
1	1	0	1





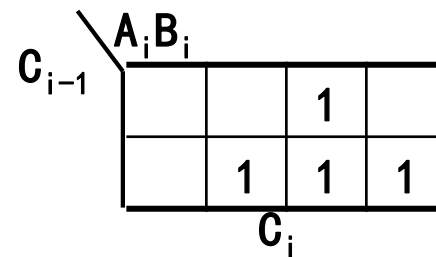
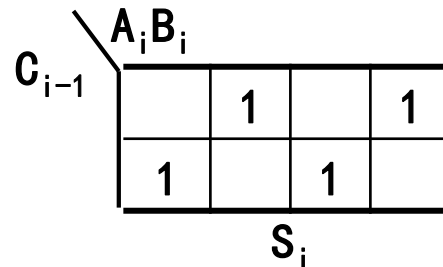
2. 组合逻辑电路设计

例4 全加器Full-Adder

输入变量：被加数 A_i 、加数 B_i 、来自低位的进位 C_{i-1}

输出函数：本位和 S_i 、本位向高位的进位 C_i

A_i	B_i	C_{i-1}	S_i	C_i
0	0	0	0	0
0	0	1	1	0
0	1	0	1	0
0	1	1	0	1
1	0	0	1	0
1	0	1	0	1
1	1	0	0	1
1	1	1	1	1



$$\begin{aligned}
 S_i &= A_i \oplus B_i \oplus C_{i-1} \\
 &= \overline{A_i} \overline{B_i} C_{i-1} + \overline{A_i} B_i \overline{C_{i-1}} + A_i \overline{B_i} \overline{C_{i-1}} + A_i B_i C_{i-1}
 \end{aligned}$$

$$C_i = A_i B_i + A_i C_{i-1} + B_i C_{i-1}$$

二级与或电路



2. 组合逻辑电路设计

用“与或非”门实现全加器

$$C_i = A_i B_i + A_i C_{i-1} + B_i C_{i-1}$$

$$\overline{C_i} = \overline{A_i B_i + A_i C_{i-1} + B_i C_{i-1}}$$

$$S_i = m_1 + m_2 + m_4 + m_7 \quad \text{为了使用原变量}$$

$$m_1 = C_{i-1} \cdot \overline{C_i}$$

$$m_2 = B_i \cdot \overline{C_i}$$

$$m_4 = A_i \cdot \overline{C_i}$$

$$m_7 = A_i \cdot B_i \cdot C_{i-1}$$

} 禁止法

$$S_i = \overline{A_i B_i C_{i-1}} + \overline{A_i B_i \overline{C_{i-1}}} + \overline{A_i \overline{B_i} C_{i-1}} + \overline{A_i \overline{B_i} \overline{C_{i-1}}}$$

$$\text{故 } S_i = C_{i-1} \cdot \overline{C_i} + B_i \cdot \overline{C_i} + A_i \cdot \overline{C_i} + A_i \cdot B_i \cdot C_{i-1}$$

$$= \overline{C_i} \cdot (C_{i-1} + B_i + A_i) + A_i \cdot B_i \cdot C_{i-1}$$

C_{i-1}	$A_i B_i$			
		1		1
	1		1	

S_i

C_{i-1}	$A_i B_i$			
			1	
		1	1	1

C_i

C_{i-1}	$A_i B_i$			
		1	1	
1		1	1	1

$\overline{C_i}$

0	2	6	4
1	3	7	5



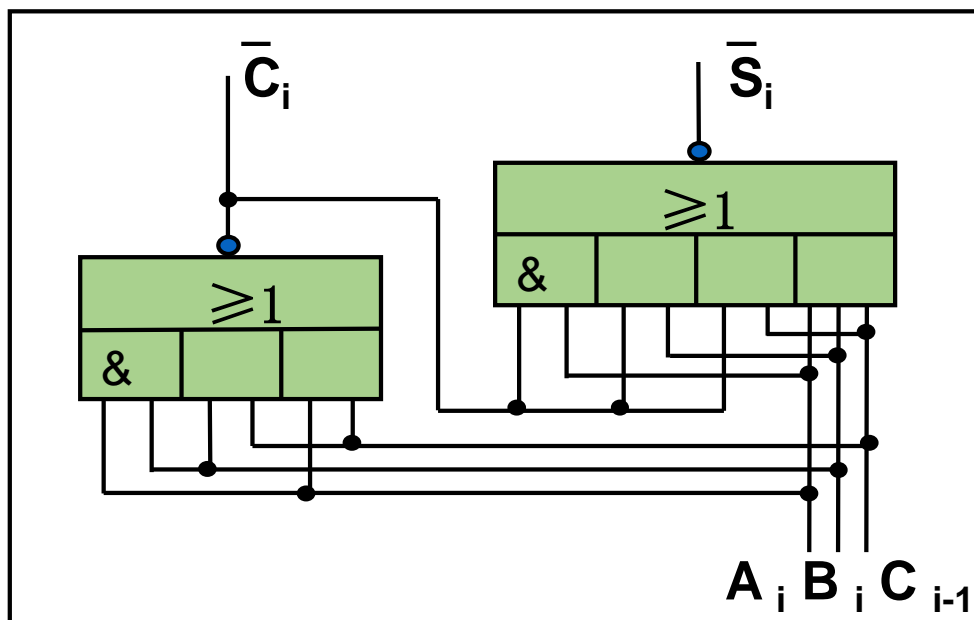
2. 组合逻辑电路设计

用“与或非”门实现全加器

$$\overline{C_i} = \overline{A_i B_i + A_i C_{i-1} + B_i C_{i-1}}$$

没有使用非门

$$\overline{S_i} = \overline{\overline{C_i} \cdot (C_{i-1} + B_i + A_i)} + A_i \cdot B_i \cdot C_{i-1}$$





2. 组合逻辑电路设计

例5 比较器：Comparators

输入变量：两个正整数 $x = x_2x_1$, $y = y_2y_1$

输出函数：

三个比较结果

$F_1(x > y)$, $F_2(x < y)$, $F_3(x = y)$

①根据先比较高位后比较低位的原则，列出使函数为1的简化真值表：

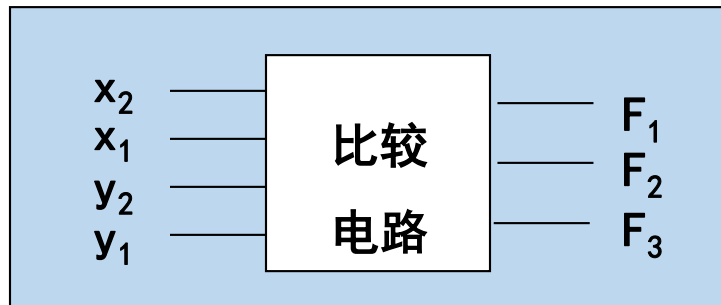
x_2 y_2	x_1 y_1	F_1 F_2 F_3
1 0	d d	1 0 0
0 1	d d	0 1 0
0 0	1 0	1 0 0
	0 1	0 1 0
	0 0	0 0 1
	1 1	0 0 1
1 1	1 0	1 0 0
	0 1	0 1 0
	0 0	0 0 1
	1 1	0 0 1

为什么要按位分开写真值表？



2. 组合逻辑电路设计

②由简化真值表直接写出逻辑表达式:



$$F_1 = x_2 \bar{y}_2 + \bar{x}_2 \bar{y}_2 x_1 \bar{y}_1 + x_2 y_2 x_1 \bar{y}_1$$

$$F_2 = \bar{x}_2 y_2 + \bar{x}_2 \bar{y}_2 \bar{x}_1 y_1 + x_2 y_2 \bar{x}_1 y_1$$

$$F_3 = \bar{x}_2 \bar{y}_2 \bar{x}_1 \bar{y}_1 + \bar{x}_2 \bar{y}_2 x_1 y_1 \\ + x_2 y_2 \bar{x}_1 \bar{y}_1 + x_2 y_2 x_1 y_1$$

x_2	y_2	x_1	y_1	F_1	F_2	F_3
1	0	d	d	1	0	0
0	1	d	d	0	1	0
0	0	1	0	1	0	0
		0	1	0	1	0
		0	0	0	0	1
		1	1	0	0	1
1	1	1	0	1	0	0
		0	1	0	1	0
		0	0	0	0	1
		1	1	0	0	1

逻辑电路图参见教材P58图2.28(c)。



2. 组合逻辑电路设计

由逻辑问题描述直接写出逻辑表达式。

例6：设计一个房间报警电路。

如果：

①意外事件发生输入PANIC为1；

②使能输入ENABLE为1、出口标志输入EXITING为0、房间没有加密(SECURE)； 则报警输出ALARM为1。

如果：窗(WINDOW)、门(DOOR)及车库(GARAGE)都是1 则房间加密(SECURE)。

$$ALARM = PANIC + ENABLE \cdot \overline{EXITING} \cdot \overline{SECURE}$$

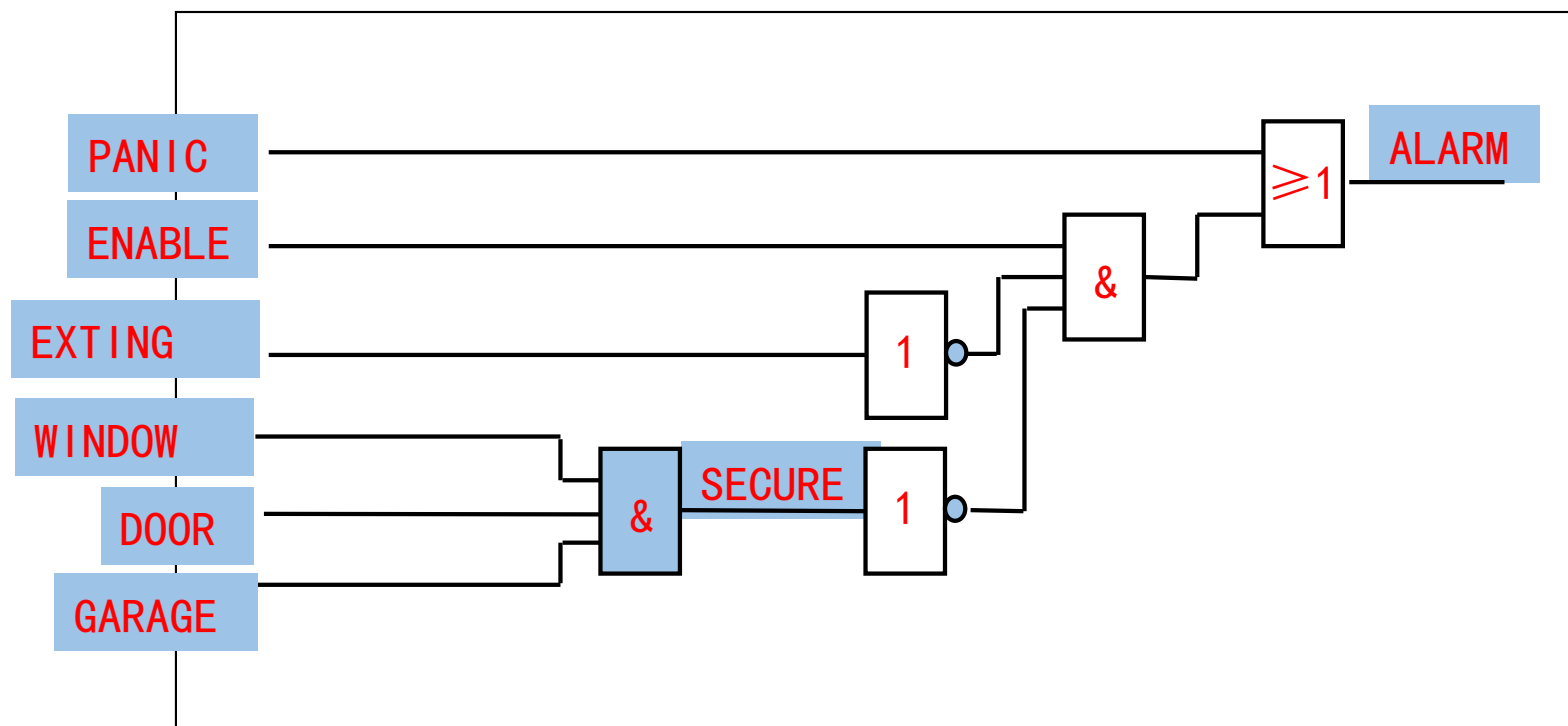
$$SECURE = WINDOW \cdot DOOR \cdot GARAGE$$

$$ALARM = PANIC + ENABLE \cdot \overline{EXITING} \cdot \overline{(WINDOW \cdot DOOR \cdot GARAGE)}$$



2. 组合逻辑电路设计

报警电路逻辑图





2. 组合逻辑电路设计

例7 码制转换电路

输入为2421码ABCD
输出为余3码 $Y_3Y_2Y_1Y_0$
分析 列出真值表:

关键是找出两者之间的等值关系。

填卡诺图

十进制数	A B C D	$Y_3Y_2Y_1Y_0$
0	0 0 0 0	0 0 1 1
1	0 0 0 1	0 1 0 0
2	0 0 1 0	0 1 0 1
3	0 0 1 1	0 1 1 0
4	0 1 0 0	0 1 1 1
	0 1 0 1	d
	0 1 1 0	d
	0 1 1 1	d
	1 0 0 0	d
	1 0 0 1	d
	1 0 1 0	d
5	1 0 1 1	1 0 0 0
6	1 1 0 0	1 0 0 1
7	1 1 0 1	1 0 1 0
8	1 1 1 0	1 0 1 1
9	1 1 1 1	1 1 0 0



2. 组合逻辑电路设计

第一步：填出所有的“d”

	AB			
CD				d
		d		d
		d		
		d		d

Y_3

	AB			
CD				d
		d		d
		d		
		d		d

Y_2

	AB			
CD				d
		d		d
		d		
		d		d

Y_1

	AB			
CD				d
		d		d
		d		
		d		d

Y_0

ABCD	$Y_3Y_2Y_1Y_0$
0 0 0 0	0 0 1 1
0 0 0 1	0 1 0 0
0 0 1 0	0 1 0 1
0 0 1 1	0 1 1 0
0 1 0 0	0 1 1 1
0 1 0 1	d
0 1 1 0	d
0 1 1 1	d
1 0 0 0	d
1 0 0 1	d
1 0 1 0	d
1 0 1 1	1 0 0 0
1 1 0 0	1 0 0 1
1 1 0 1	1 0 1 0
1 1 1 0	1 0 1 1
1 1 1 1	1 1 0 0



2. 组合逻辑电路设计

第二步：按 Y_3 、 Y_2 、 Y_1 和 Y_0 分别填完卡诺图

	AB			
CD			1	d
		d	1	d
		d	1	1
		d	1	d

Y_3

	AB			
CD		1		d
	1	d		d
	1	d	1	
	1	d		d

Y_2

	AB			
CD	1	1		d
		d	1	d
	1	d		
		d	1	d

Y_1

	AB			
CD	1	1	1	d
		d		d
		d		
	1	d	1	d

Y_0

A B C D				$Y_3 Y_2 Y_1 Y_0$
0	0	0	0	0 0 1 1
0	0	0	1	0 1 0 0
0	0	1	0	0 1 0 1
0	0	1	1	0 1 1 0
0	1	0	0	0 1 1 1
0	1	0	1	d
0	1	1	0	d
0	1	1	1	d
1	0	0	0	d
1	0	0	1	d
1	0	1	0	d
1	0	1	1	1 0 0 0
1	1	0	0	1 0 0 1
1	1	0	1	1 0 1 0
1	1	1	0	1 0 1 1
1	1	1	1	1 1 0 0



2. 组合逻辑电路设计

第三步：找出最小覆盖并写出最简表达式

		1	d
	d	1	d
	d	1	1
	d	1	d

Y_3

		1		d
	1	d		d
	1	d	1	
	1	d		d

Y_2

	1	1		d
		d	1	d
	1	d		
		d	1	d

Y_1

	1	1	1	d
		d		d
		d		
	1	d	1	d

Y_0

$$Y_3 = A$$

$$Y_2 = \overline{A}B + \overline{A}C + \overline{A}D + BCD$$

$$Y_1 = A \oplus C \oplus D$$

$$Y_0 = \overline{D}$$



2. 组合逻辑电路设计

例8 逻辑电路的变换

为了提高电路的速度，提高器件的利用率，从而减少IC的数量、也为了减少外部的连接线和提高电路的可靠性，需要对从逻辑表达式直接画出的逻辑电路图进行变换，尽可能使其用**同一类型的输出端带非**的门来实现。

(1) “与—或”电路变换为“与非—与非”电路

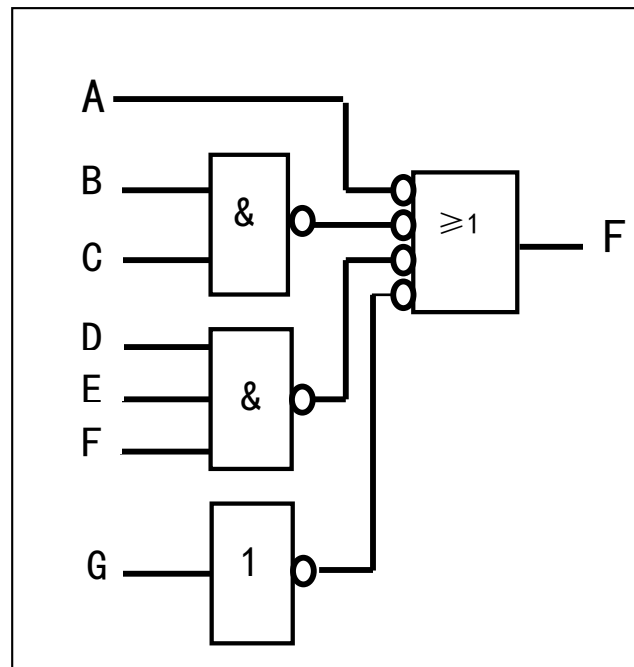
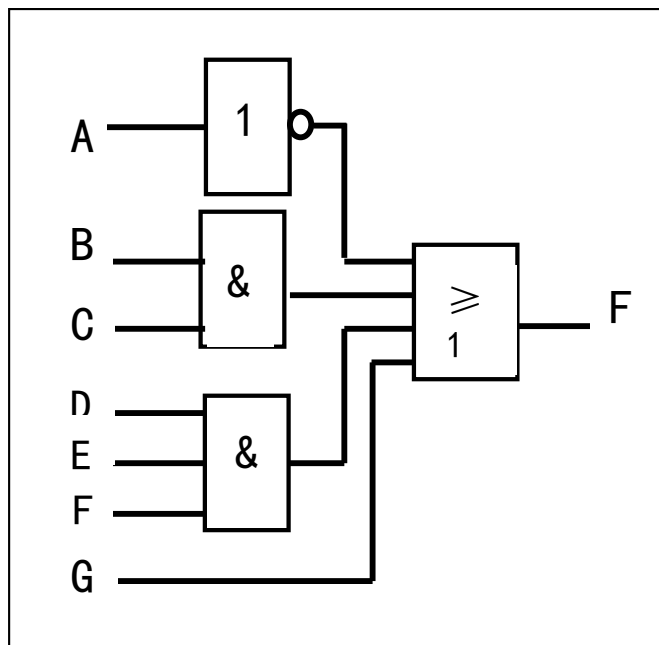
$$\begin{aligned} \text{例 } F &= \overline{A} + BC + DEF + G \\ &= \overline{\overline{\overline{A} + BC + DEF + G}} \quad (\text{原函数二次求反}) \\ &= \overline{\overline{A} \overline{BC} \overline{DEF} \overline{G}} \quad (\text{运用反演规则}) \\ &= \overline{A \overline{BC} \overline{DEF} \overline{G}} \end{aligned}$$



2. 组合逻辑电路设计

对应的两个不同的电路如下：

$$F = \overline{A} + BC + DEF + G$$
$$= \overline{A} \overline{BC} \overline{DEF} \overline{G}$$

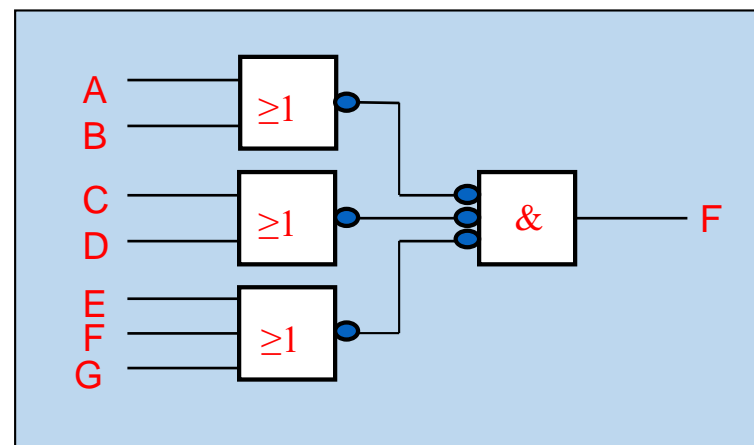
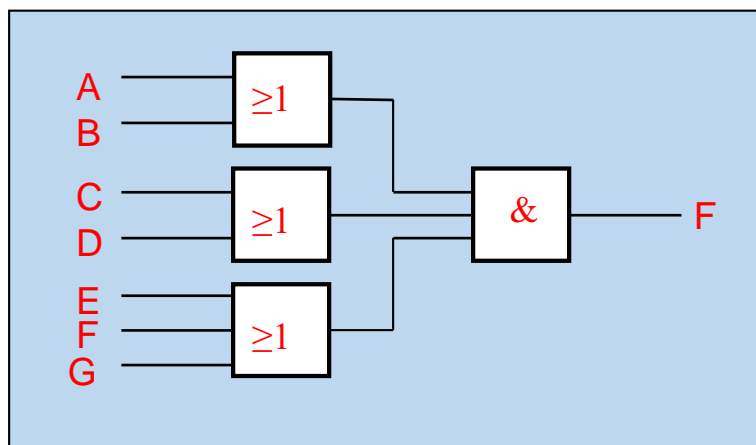




2. 组合逻辑电路设计

(2) “或—与” 电路变换为 “或非—或非” 电路

$$\begin{aligned} \text{例 } F &= (A + B)(C + D)(E + F + G) \\ &= \overline{\overline{(A + B)(C + D)(E + F + G)}} && \text{(原函数二次求反)} \\ &= \overline{\overline{(A + B)} + \overline{\overline{(C + D)}} + \overline{\overline{(E + F + G)}}} && \text{(运用反演规则)} \\ &= \overline{\overline{(A + B)} \cdot \overline{\overline{(C + D)}} \cdot \overline{\overline{(E + F + G)}}} && \text{(运用反演规则)} \end{aligned}$$





2. 组合逻辑电路设计

(3) “与—或” 电路变换为 “与或非” 电路

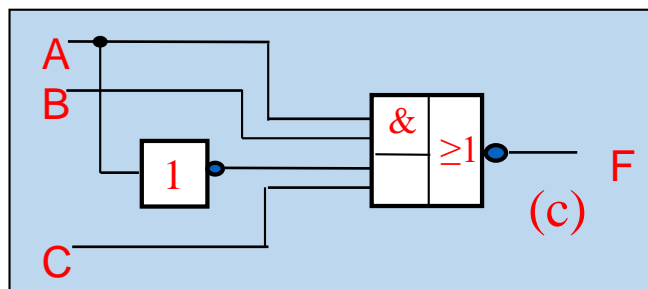
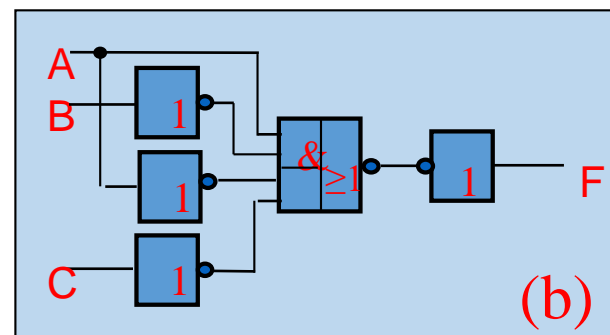
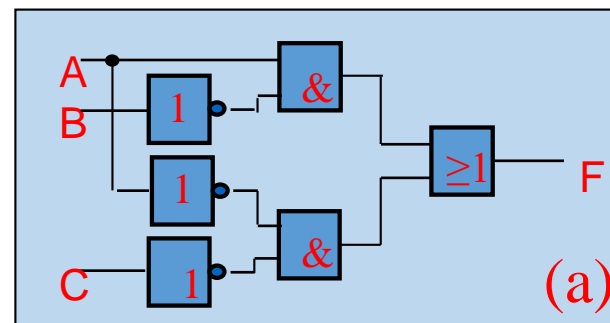
例 $F = \overline{AC} + \overline{AB}$ (a)

$$= \overline{\overline{AC} + \overline{AB}} \quad (b)$$

$$\overline{F} = \overline{\overline{AC} + \overline{AB}}$$
$$= (A + C)(\overline{A} + \overline{B})$$

$$= AB + \overline{AC}$$

$$F = \overline{AB + \overline{AC}} \quad (c)$$





2. 组合逻辑电路设计

减少集成块的数量

Reduce the Numbers of IC

目前采用的小规模门电路SSI是把几个相同的门封装在同一个集成块中，在逻辑电路中使用的SSI的数目越少，则电路的印刷电路板的面积、功耗、总成本越小，而可靠性越高。

所以，减少SSI的数目是化简的最终目标。在实际应用中，对SSI的计算与分立元件的计算不一样。



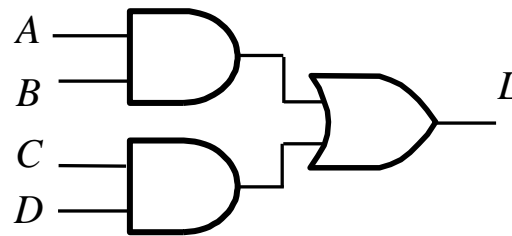
2. 组合逻辑电路设计

组合逻辑电路的优化实现

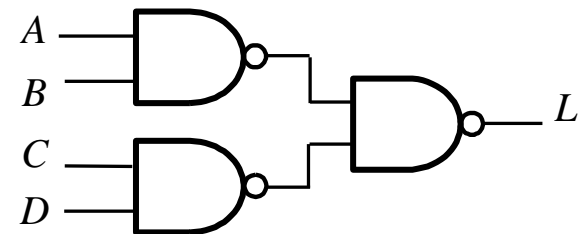
用指定芯片中特定资源实现逻辑函数，使电路的成本低并且工作速度快。
因此需要对逻辑表达式进行变换，以减少芯片资源的数目和连线。

(1) 单输出电路

$$\begin{aligned} L &= AB + CD \\ &= \overline{\overline{AB} \cdot \overline{CD}} \end{aligned}$$



(a)与-或结构



(b)与非门结构

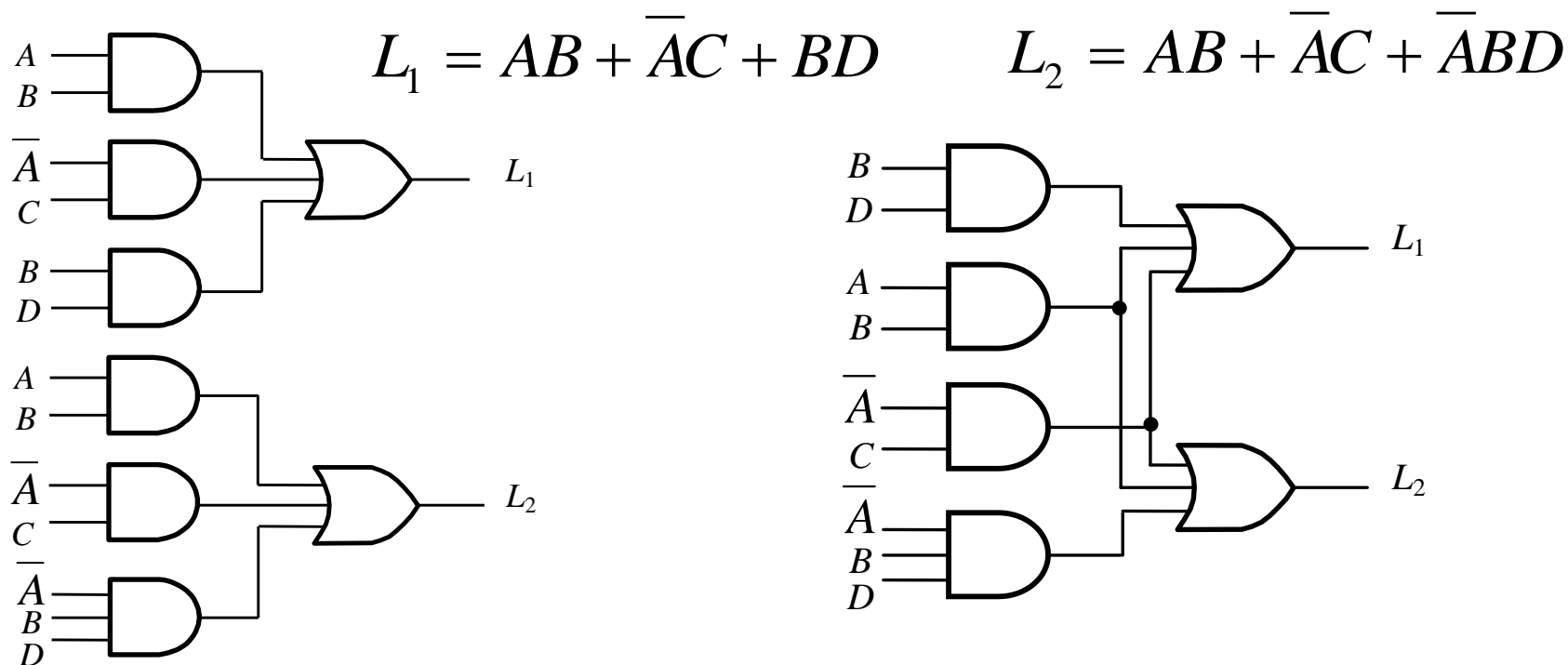
- 相同输入端的与非门比与门和或门所用晶体管少，速度快。
- 图(b)电路最优



2. 组合逻辑电路设计

(2) 多输出电路

输出多个逻辑函数时需要考虑**共享相同乘积项**，减少逻辑门数目。



(a)如果分别实现两个逻辑函数，需要6个与门和两个或门。

(b)如果考虑相同乘积项，需要4个与门两个或门，如图。



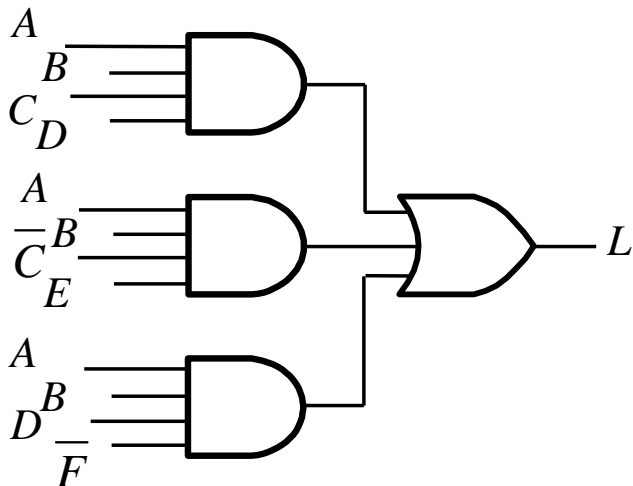
2. 组合逻辑电路设计

(3) 多级逻辑电路 当限定逻辑门输入端数目，则需要进行逻辑变换。

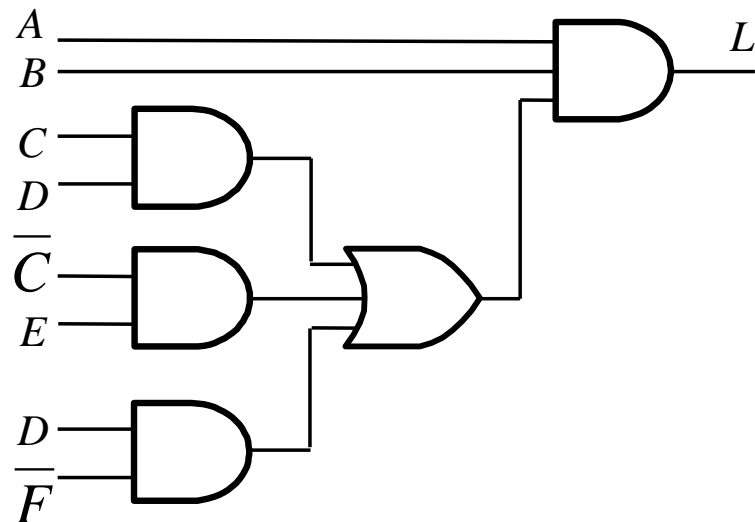
(1) 提取公因子 $L = ABCD + AB\bar{C}E + ABD\bar{F}$

用与门、或门实现时，限定逻辑门的扇入数为3，需要变换成：

$$L = AB(CD + \bar{C}E + D\bar{F})$$



(a)



(b)

图(a)电路为2级，图(b)为3级，但电路连线减少了。图(a)16根连线，图(b)13根。



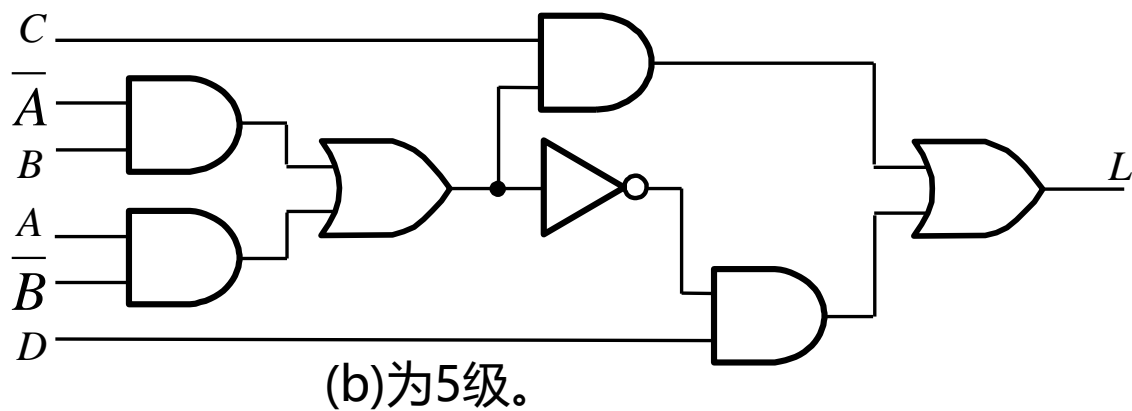
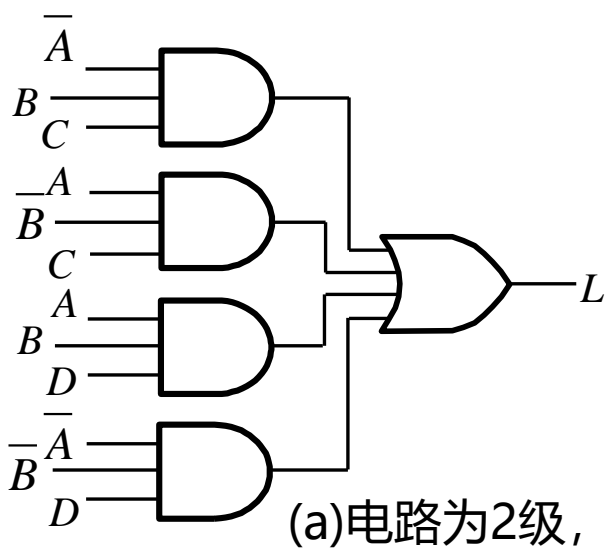
2. 组合逻辑电路设计

(2) 函数分解

$$L = \bar{A}BC + A\bar{B}C + ABD + \bar{A}\bar{B}D$$

用与门、或门实现时，限定逻辑门的扇入数为3，需要变换成：

$$L = (\bar{A}B + A\bar{B})C + (AB + \bar{A}\bar{B})D = (\bar{A}B + A\bar{B})C + \overline{(\bar{A}B + A\bar{B})}D$$



上述变换方法只适合手工化简，当变量数很多时，优化策略写入程序由计算机完成。



数字逻辑基础

下一节内容：

组合逻辑电路中的竞争与险象