



数字逻辑电路

时序电路的分析与设计

西安交通大学

电子物理与器件教育部重点实验室
等离子体与微波电子学研究所

张小宁



时序电路的分析与设计

学习要求

- **熟悉**时序电路的一般形式、分类和描述方法
- **掌握**时序电路双稳态元件的内部结构、逻辑符号、次态真值表和次态方程
- **熟练掌握**同步时序逻辑电路的分析和设计方法
- **掌握**脉冲异步时序逻辑电路的分析和设计方法
- **熟练掌握**常用时序中规模集成电路MSI的应用



时序电路的分析与设计

- 1. 时序电路基础**
2. 同步时序电路的分析与设计
3. 异步时序电路的分析与设计
4. 常用MSI时序逻辑器件及其应用



基本概念

- ① **时序（逻辑）电路**：可以存储数字信息的一种逻辑电路。时序电路的输出不仅依赖于现在的输入状态，而且也依赖于过去的输入状态。时序逻辑电路由组合电路和存储电路构成的。
- ② **时序电路的分类**：按其引起状态发生变化的原因不同分为同步时序电路和异步时序电路。
- ③ **同步时序电路**：电路在统一时钟控制CP/CLK下，同步改变状。同步时序电路也称为状态机。
- ④ **异步时序电路**：没有统一的同步时钟脉冲，但是必须有时钟脉冲，电路状态的改变是由输入信号的变化直接引起的。
- ⑤ **构成时序电路的单元**：**锁存器、触发器**、计数器、寄存器、节拍分配器。



锁存器

S R锁存器、 \overline{S} /R锁存器、D锁存器



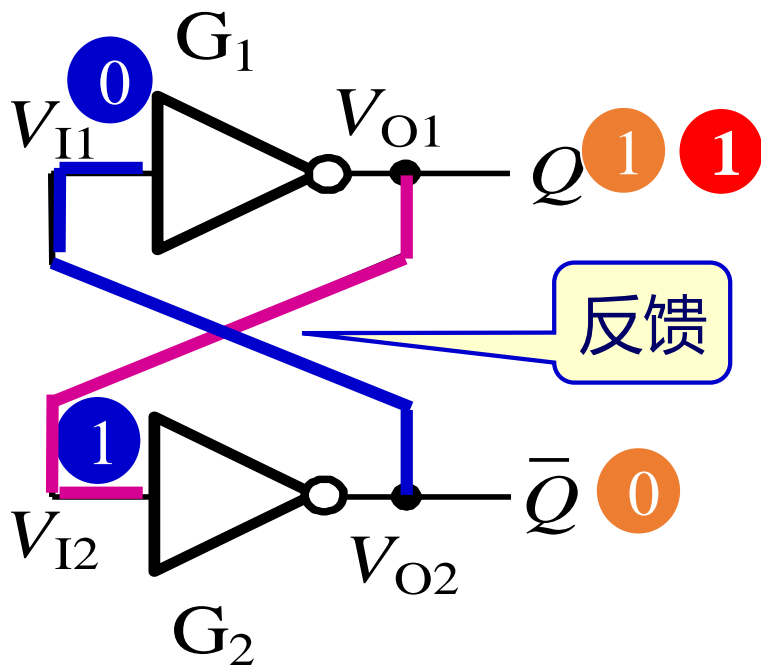
S R 锁存器

Set **R**eset **L**atch

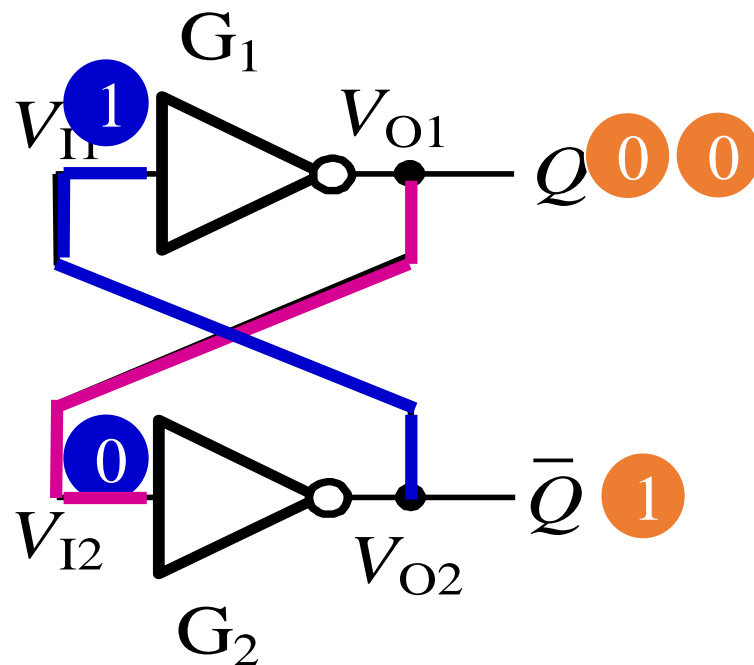


基本双稳态电路结构及数字逻辑分析

通电后如果 $Q = 1$



通电后如果 $Q = 0$



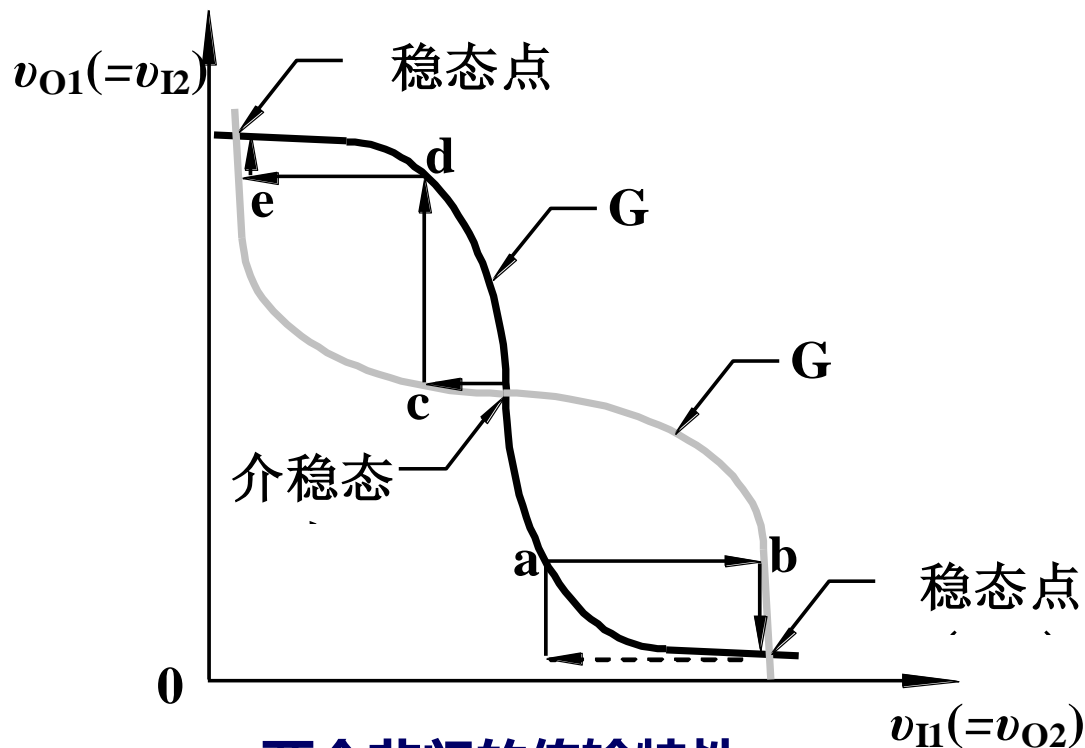
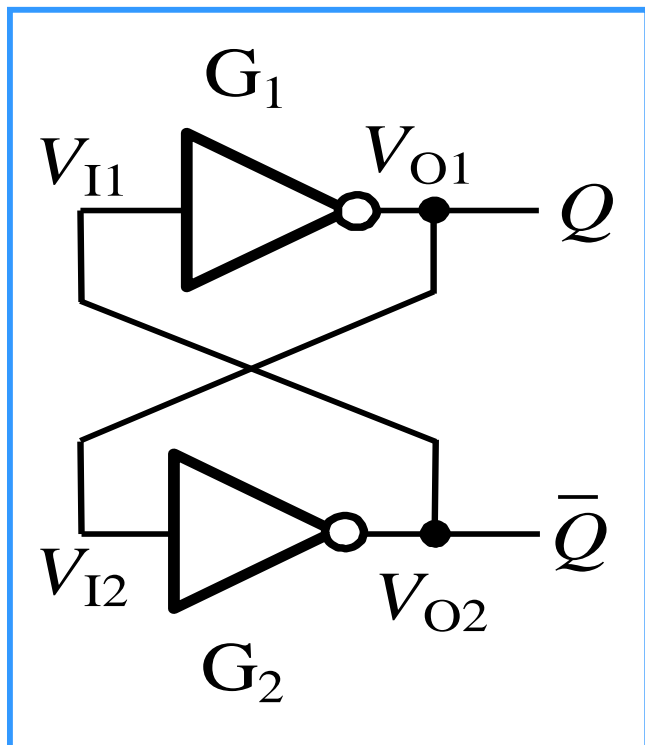
电路有两种逻辑状态，一旦进入其中一种，就能保持长期不变；具有记忆1位二进制数据的功能。



模拟特性分析

$$V_{O1} = V_{I2}$$

$$V_{I1} = V_{O2}$$



两个非门的传输特性

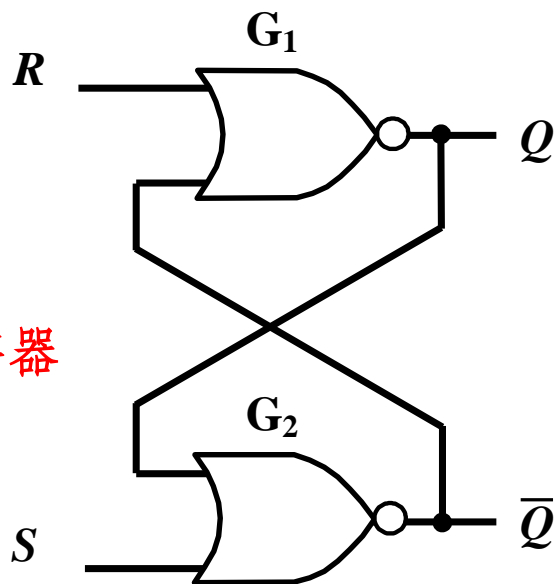
- 通电后进入0/1的状态是随机的
- 没有控制机构，无法在通电运行后改变或控制它的状态。



S R锁存器

(1) 基本SR 锁存器 (*Set-Reset Latche*)

电路结构



一对或非门组成的S-R锁存器

现态： R 、 S 信号作用前 Q 端的状态，现态用 Q^n 表示。

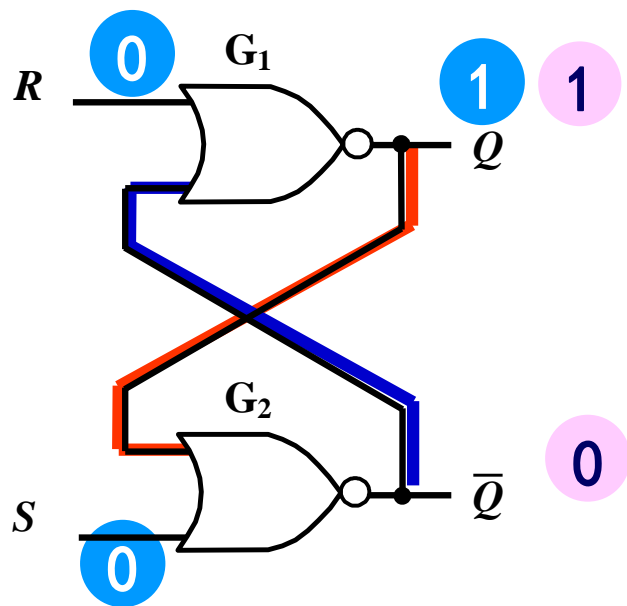
次态： R 、 S 信号作用后 Q 端的状态，次态用 Q^{n+1} 表示。



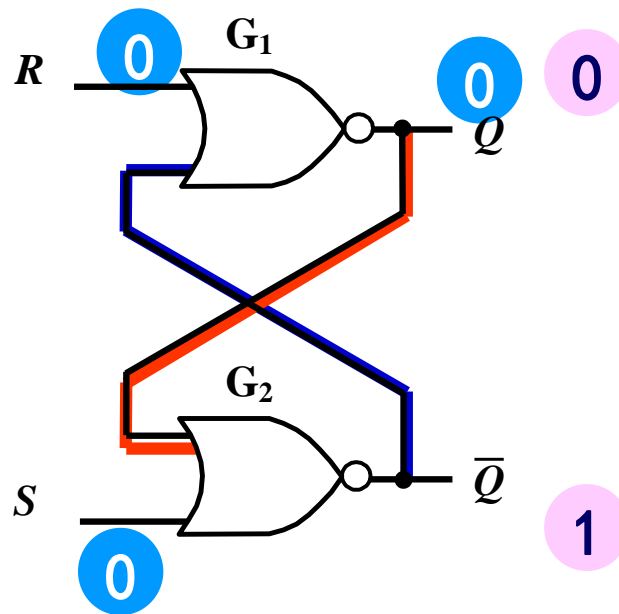
基本SR锁存器工作原理

$R=0$ 、 $S=0$

状态不变



若现态 $Q^n = 1$



若现态 $Q^n = 0$

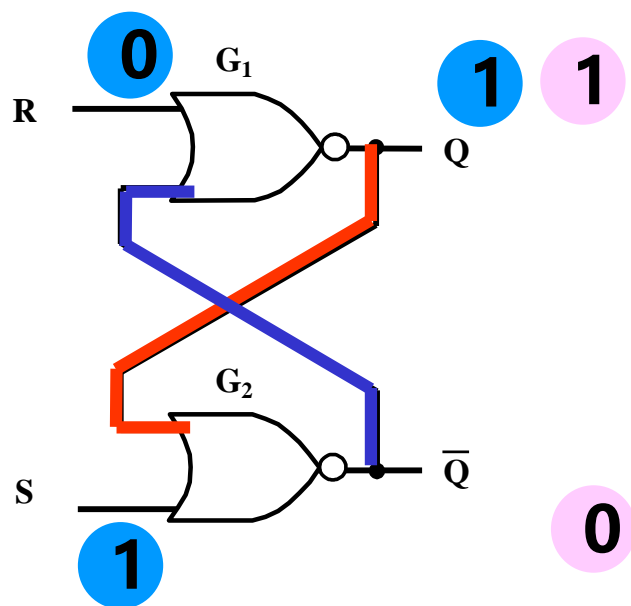


基本SR 锁存器工作原理

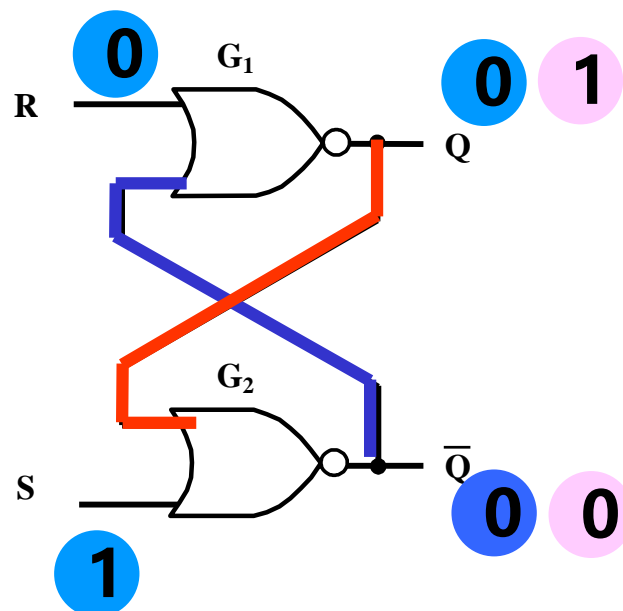
$R=0$ 、 $S=1$

置 1

无论现态 Q^n 为 0 或 1，锁存器的次态为 1 态。信号消失后新的状态将被记忆下来。



若现态 $Q^n = 1$



若现态 $Q^n = 0$

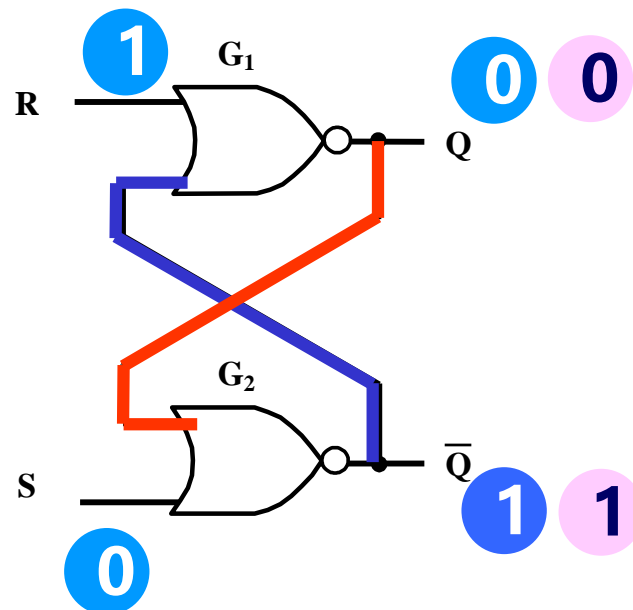
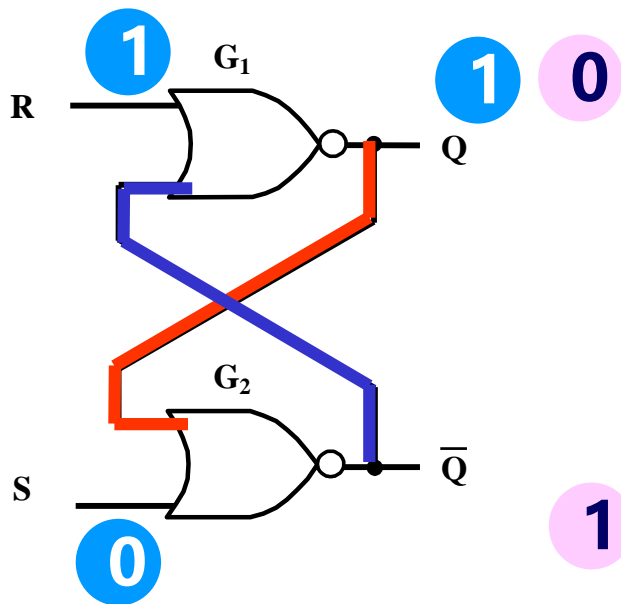


基本SR 锁存器工作原理

$R=1$ 、 $S=0$

置(清) 0

无论现态 Q^n 为 0 或 1，锁存器的次态为 0 态。信号消失后新的状态将被记忆下来。



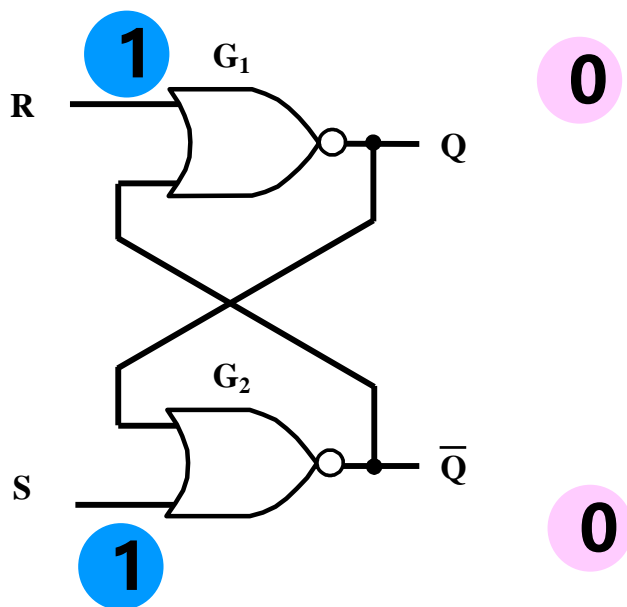


基本SR 锁存器工作原理

$S=1$ 、 $R=1$

状态不确定

无论现态 Q^n 为0或1，触发器的次态 Q^{n+1} 、 \bar{Q}^{n+1} 都为0。



触发器的输出既不是0态，也不是1态。当 S 、 R 同时回到0时，由于两个与非门的延迟时间无法确定，使得触发器最终稳定状态也不能确定。

约束条件： $SR = 0$

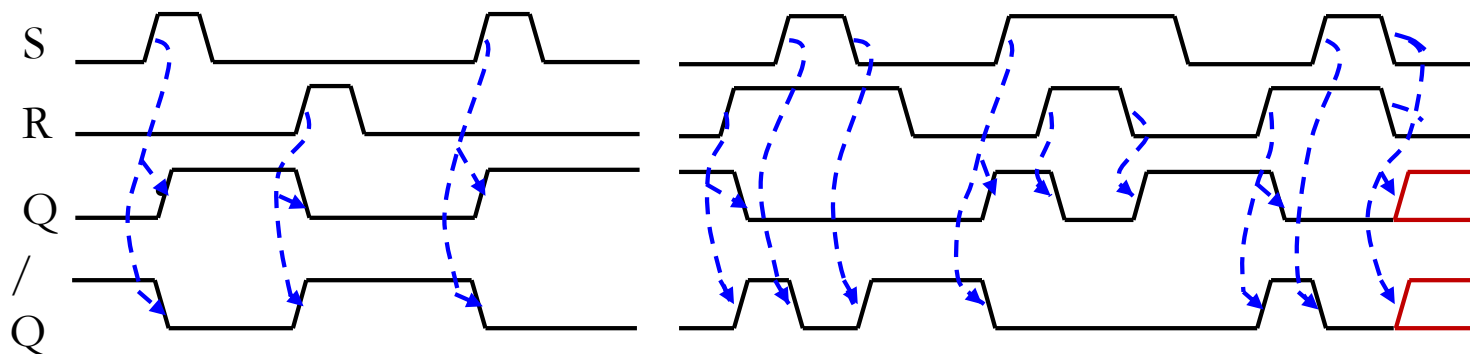


基本SR 锁存器功能及波形

根据组合电路的分析方法可得到功能表如右图。由功能表得到的典型操作时序图如下图所示(b)、(c)

(a) 功能表

S	R	Q	/Q
0	0	保持不变	
0	1	0	1
1	0	1	0
1	1	0	0

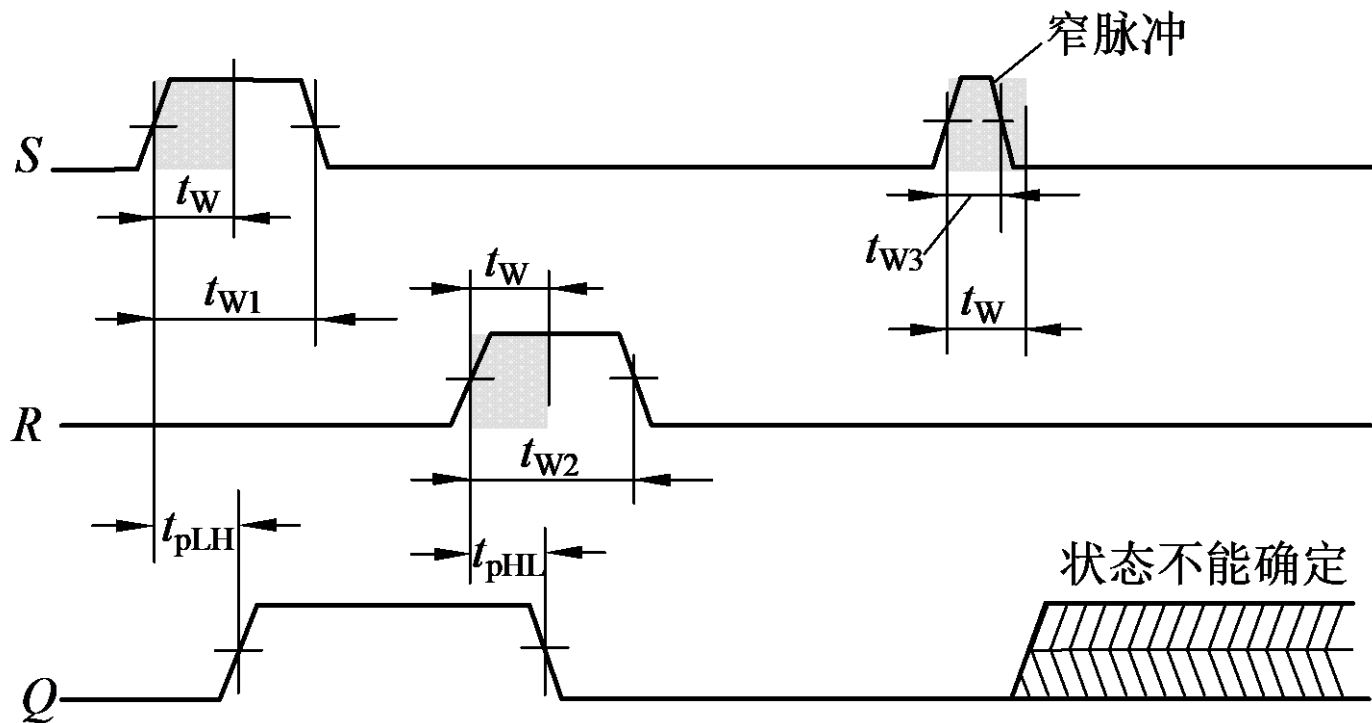


(b) 正常输入

(c) S 和 R 同时有效



基本SR锁存器的动态特性

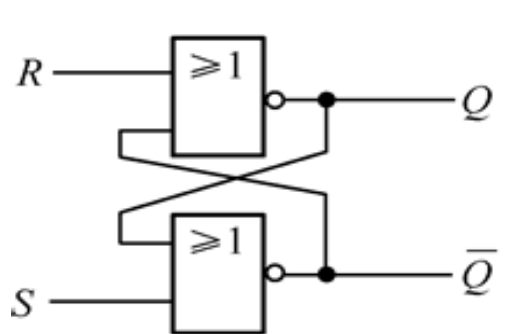


定时图

- t_{pLH} 和 t_{pHL} 分别为输出由高到低和由低到高时，相对于输入的延迟时间。
- 脉冲宽度 t_W ：如果输入脉冲宽度 $< t_W$ ，Q未越过介稳态点，S端信号撤出，会使输出状态不稳定。图中 t_{W1} 和 t_{W2} 均 $> t_W$ 。



基本SR 锁存器总结



① 电路图

S	R	Q^{n+1}
0	0	Q
0	1	0
1	0	1
1	1	d

③ 简化次态真值表

SR	00	01	11	10
Q=0	0	0	d	1
Q=1	1	0	d	1

④ 卡诺图

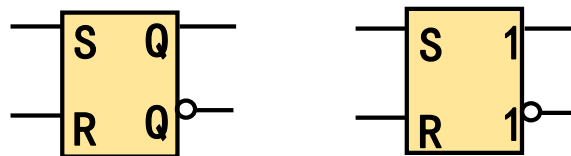
S	R	Q	Q^{n+1}
0	0	0	0
0	0	1	1
0	1	0	0
0	1	1	0
1	0	0	1
1	0	1	1
1	1	0	d
1	1	1	d

② 次态真值表

⑤ 次态方程 $Q^{n+1} = S + \overline{R} \cdot Q$

约束条件: $S \cdot R = 0$

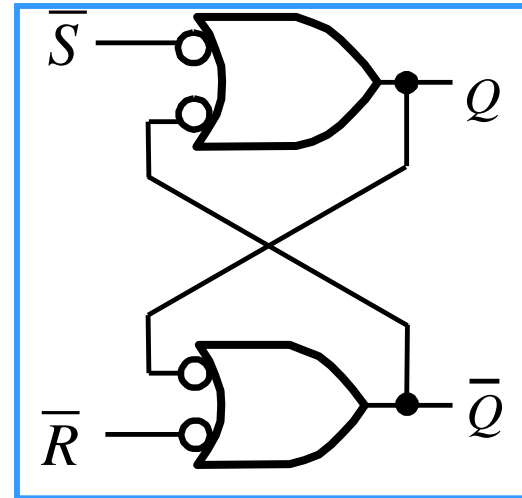
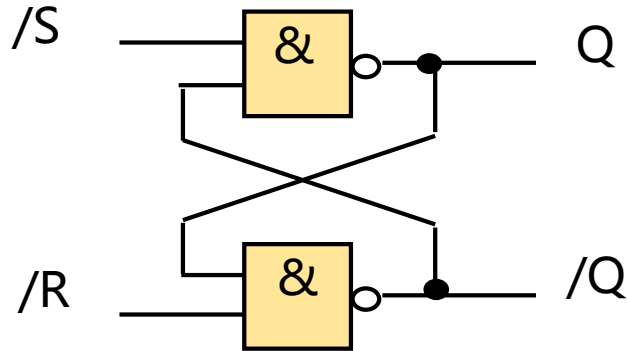
⑥ 逻辑符号





\overline{S} \overline{R} 锁存器 (\overline{S} - \overline{R} Latch)

由与非门构成，具有低有效置位及复位。



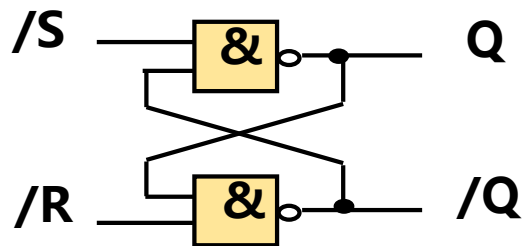
\overline{S} - \overline{R} 锁存器与S - R锁存器的主要区别是：

- (1) \overline{S} 及 \overline{R} 都是低有效，因此当 $\overline{S} = \overline{R} = 1$ 时，电路输出保持不变。
- (2) 当 \overline{S} 及 \overline{R} 同时有效时，输出 Q 及 \overline{Q} 都变为 1，后者是当 S 及 R 同时有效时，输出 Q 及 \overline{Q} 都变为 0。两种情况输出都是不满足互补关系，这是不允许的。



S R 锁存器(/S- /R Latche)

① 电路图



③ 简化次态真值表

/S	/R	Q^{n+1}
0	0	d
0	1	1
1	0	0
1	1	Q

④ 卡诺图

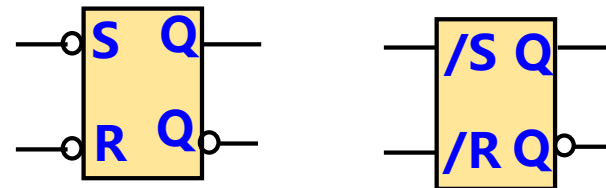
/S/R	00	01	11	10
0	d	1	0	0
1	d	1	1	0

② 次态真值表

/S	/R	Q	Q^{n+1}
0	0	0	d
0	0	1	d
0	1	0	1
0	1	1	1
1	0	0	0
1	0	1	0
1	1	0	0
1	1	1	1

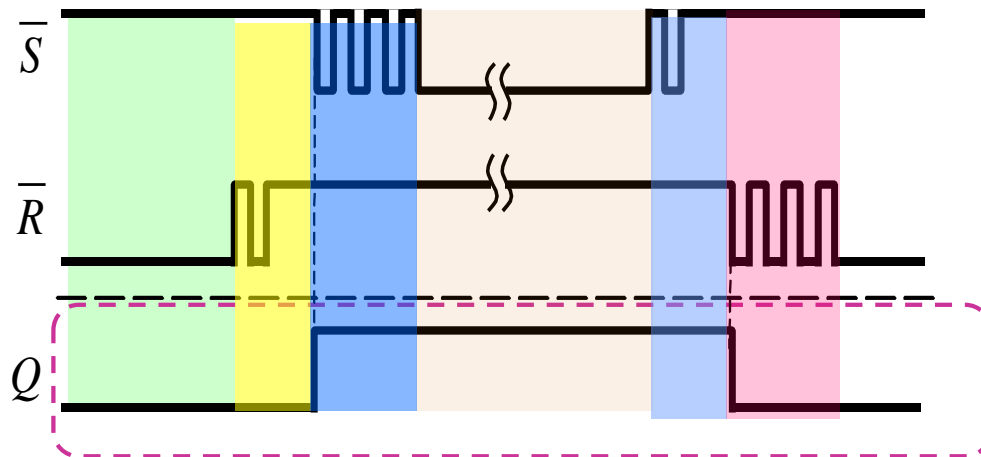
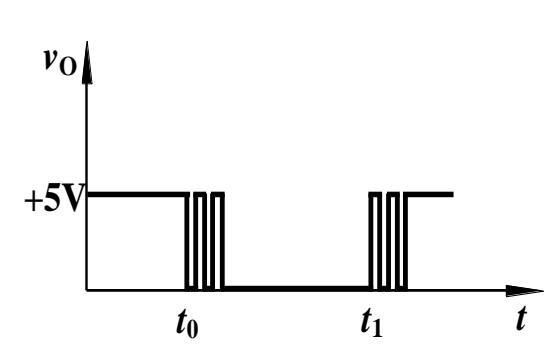
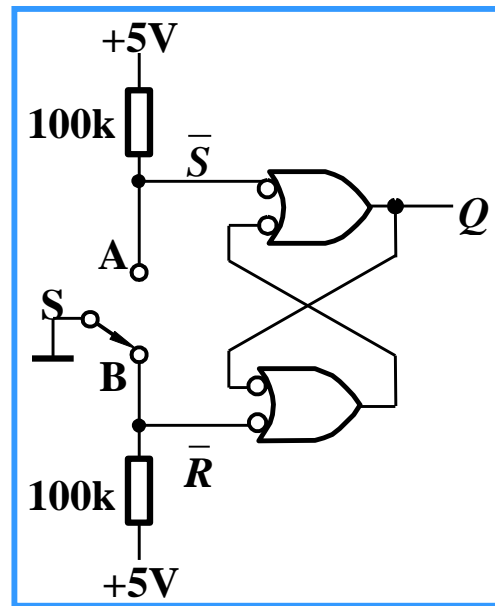
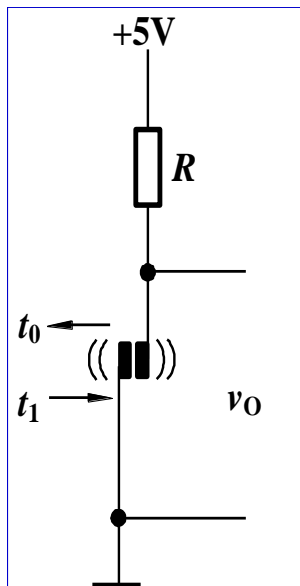
⑤ 次态方程: $Q^{n+1} = \overline{/S} + /R \cdot Q$
 约束条件: $\overline{/S} \cdot \overline{/R} = 0$

⑥ 逻辑符号





例 运用基本SR锁存器消除机械开关触点抖动引起的脉冲输出。

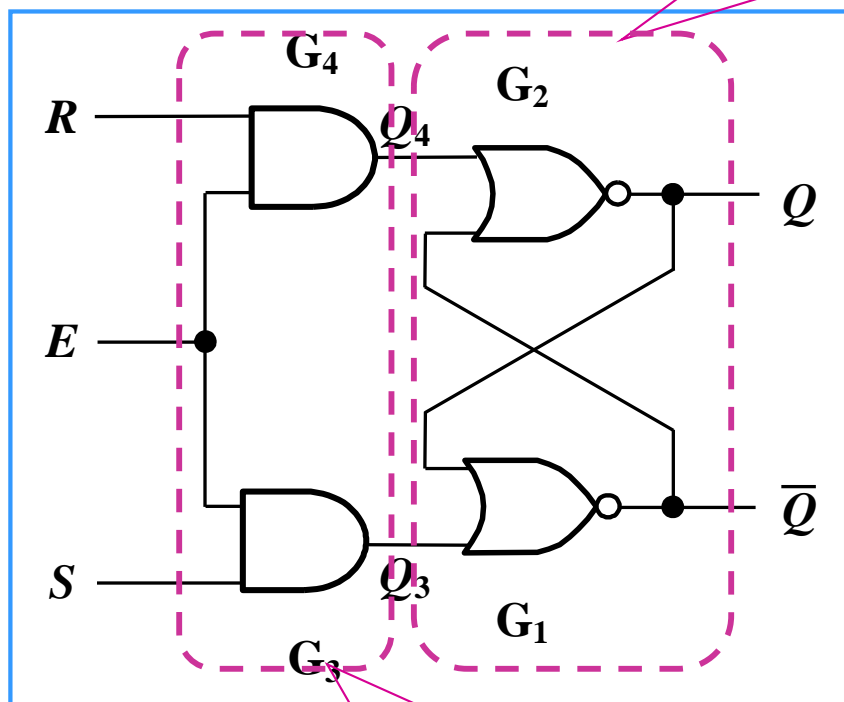




门控SR 锁存器

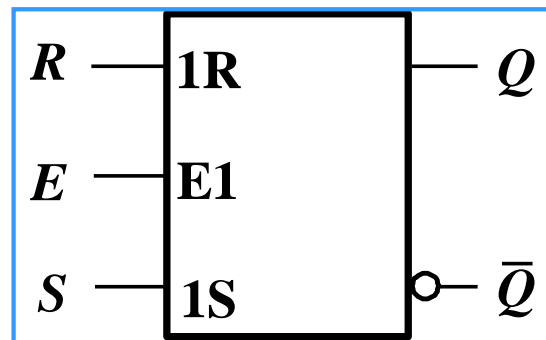
1. 电路结构(或非门)

简单SR锁存器



使能信号控制门电路

国标逻辑符号





门控SR 锁存器工作原理

$E=0$: 状态不变

$E=1$: $Q_3 = S$ $Q_4 = R$

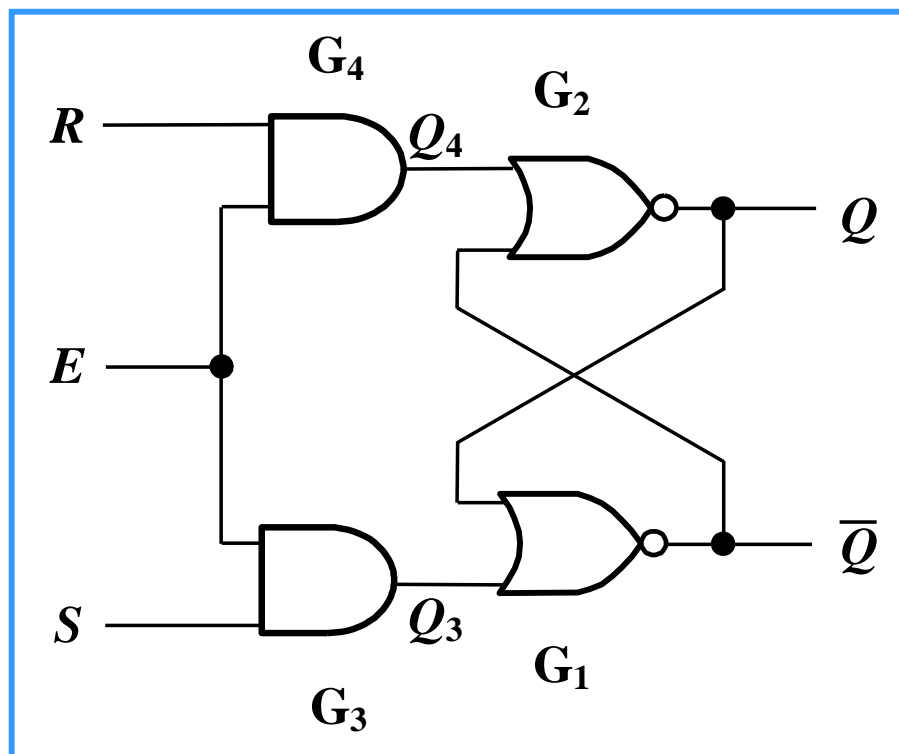
状态发生变化。

$S=0, R=0$: $Q^{n+1} = Q^n$

$S=1, R=0$: $Q^{n+1} = 1$

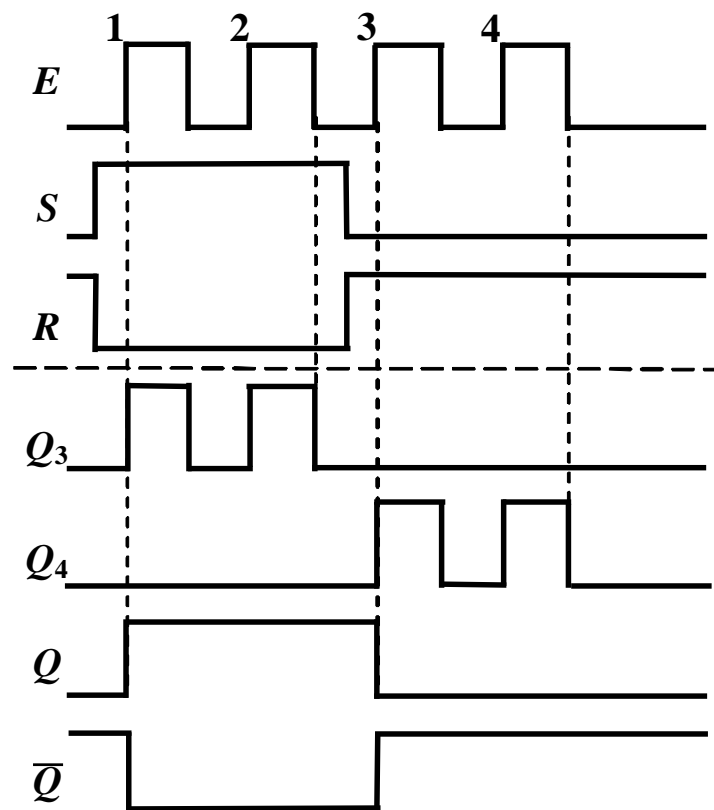
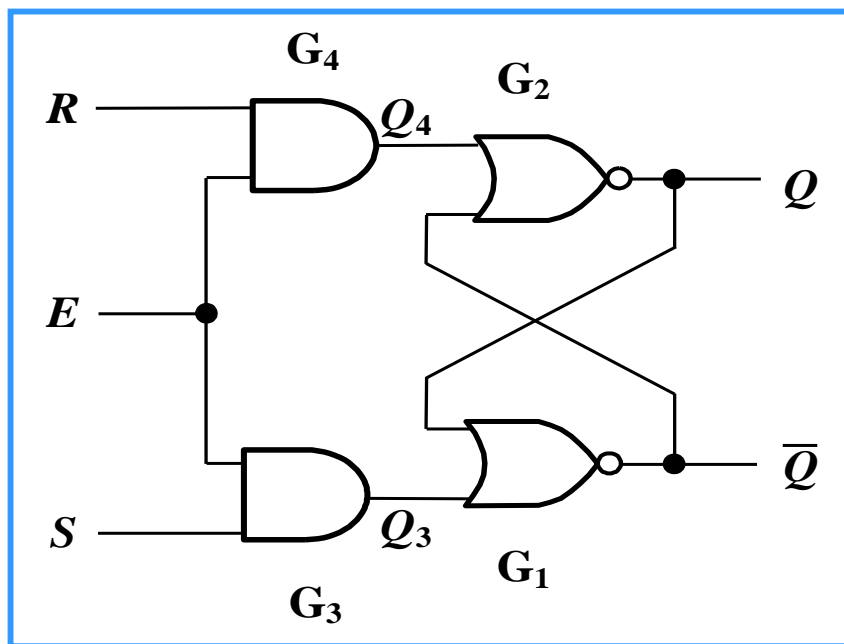
$S=0, R=1$: $Q^{n+1} = 0$

$S=1, R=1$: $Q^{n+1} = \Phi$





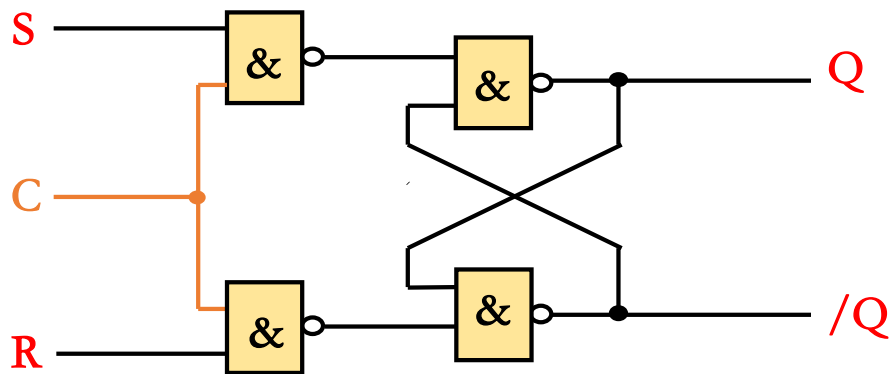
例：逻辑门控SR锁存器的 E 、 S 、 R 的波形如下图虚线上边所示，锁存器的原始状态为 $Q = 0$ 试画出 Q_3 、 Q_4 、 Q 和 \bar{Q} 的波形。



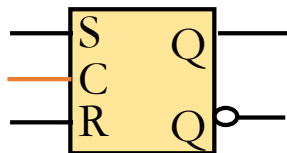


带使能端的S- R 锁存器 (与非门实现)

用使能输入端信号C 进行控制，当使能信号C有效时，输入才影响输出



用与非门实现的电路



逻辑符号

功能表

S	R	C	Q	/Q
0	0	1	保持不变	
0	1	1	0	1
1	0	1	1	0
1	1	1	1	1
d	d	0	保持不变	

次态方程:

$$Q^{n+1} = S + \overline{R} \cdot Q$$

$$\text{约束条件: } S \cdot R = 0$$



D 锁存器

Data **L**atch



1. 传输门控D锁存器

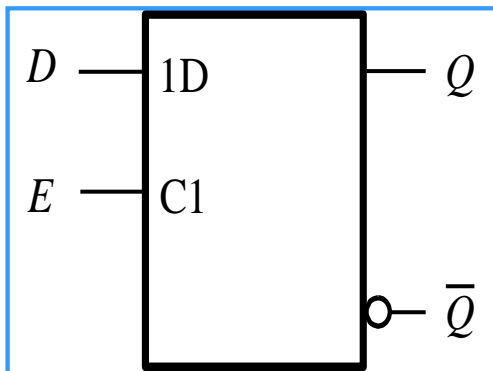
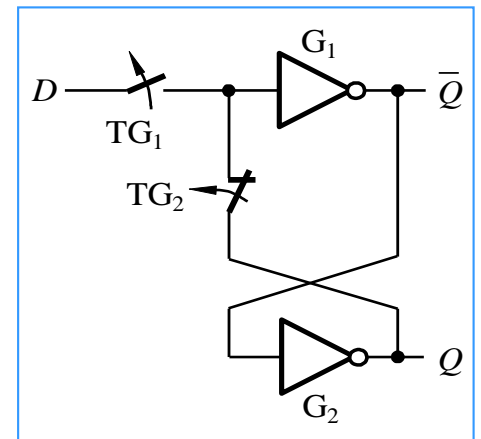
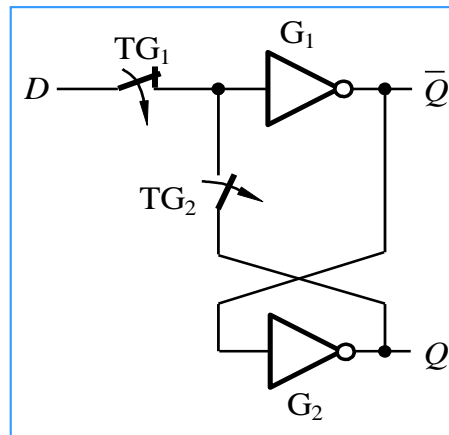
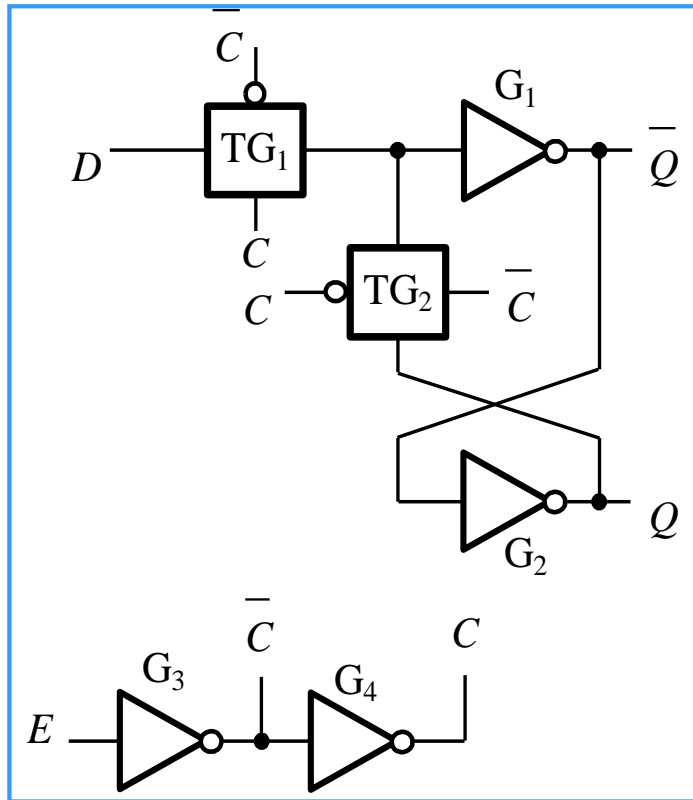
(1) 逻辑电路及工作原理

(a) $E=1$ 时

TG₁导通,
TG₂断开
 $Q = D$

(b) $E=0$ 时

TG₂导通,
TG₁断开
 Q 不变

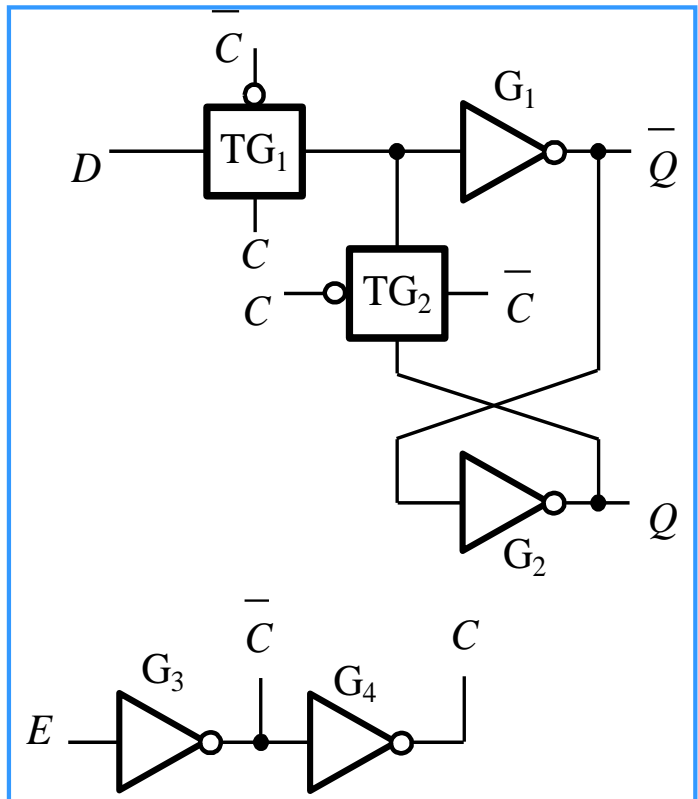


逻辑符号



(2) 逻辑功能及工作波形

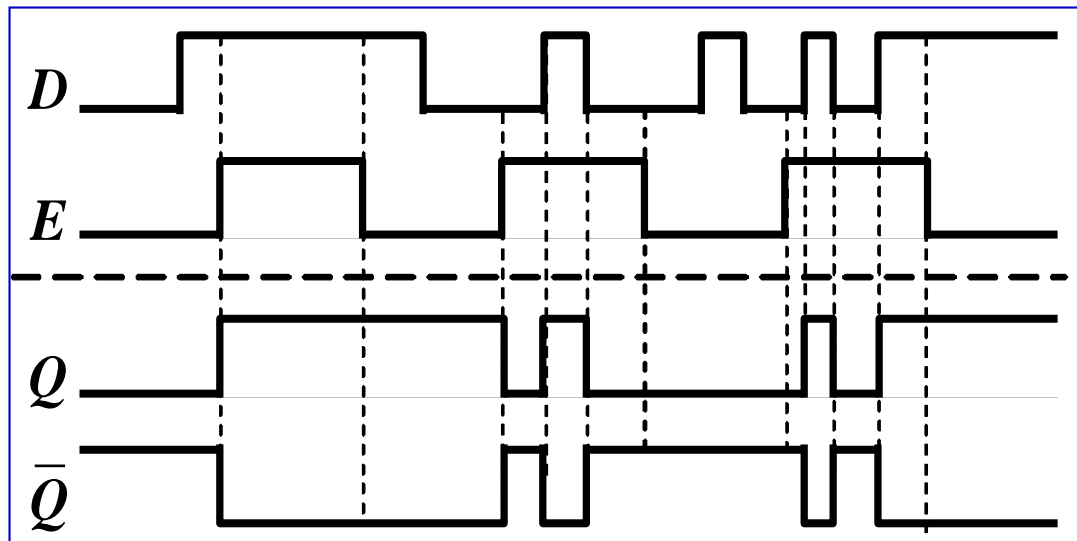
D锁存器的功能表



$E=0$, Q 不变

$E=1$ $Q = D$

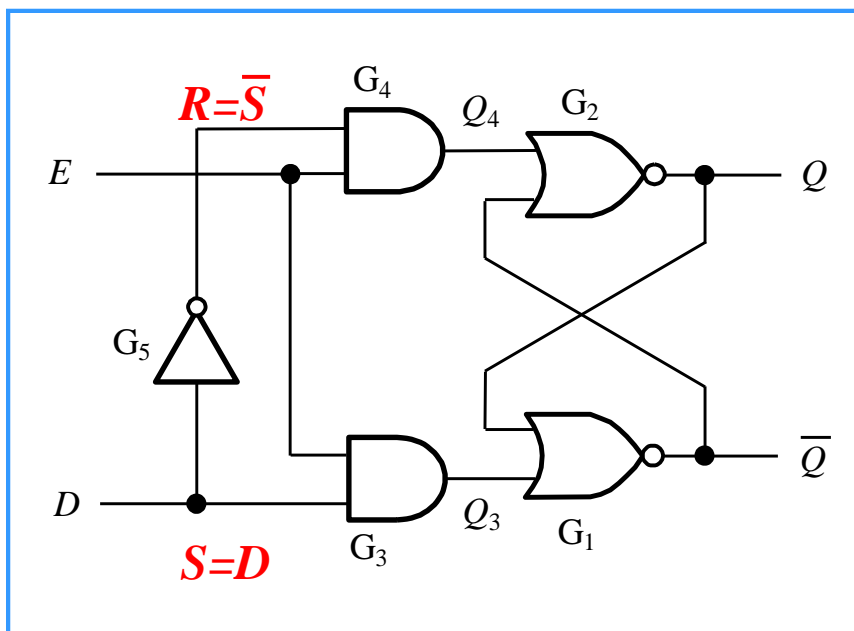
E	D	Q	\bar{Q}	功能
0	×	不变	不变	保持
1	0	0	1	置0
1	1	1	0	置1





2. 逻辑门控D锁存器

(或非门) D锁存器逻辑电路图



D锁存器的功能表

E	D	Q	\bar{Q}	功能
0	×	不变	不变	保持
1	0	0	1	置0
1	1	1	0	置1

$E=0$ Q 不变

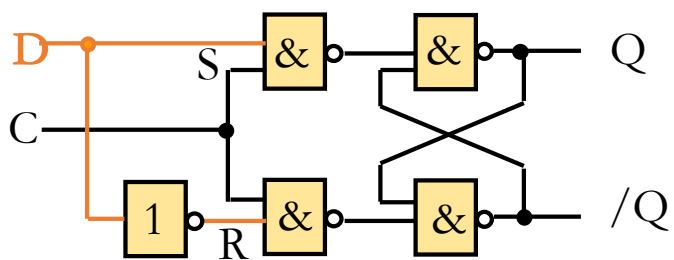
$E=1$ $D=0$ $S=0$ $R=1$ $Q=0$

$D=1$ $S=1$ $R=0$ $Q=1$



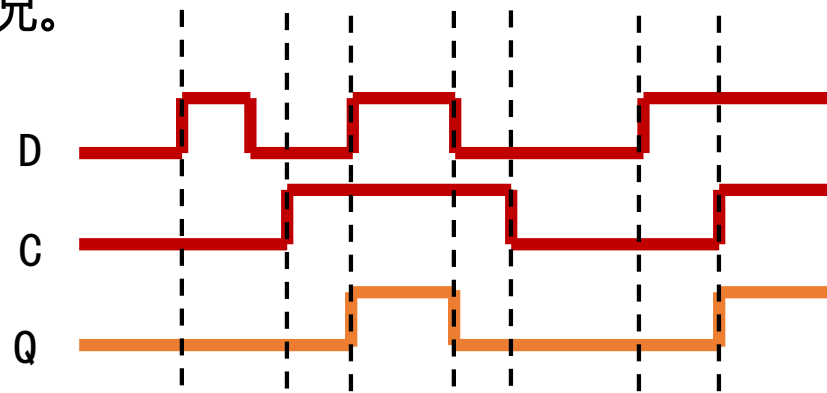
(与非门) D锁存器逻辑电路图

用带使能端的 S-R锁存器及一个非门可以构成D锁存器，如左图。由于 $S=D, R=D$ ，因此 S端及 R端不会出现同时为 1 的情况。



与非门实现D锁存器

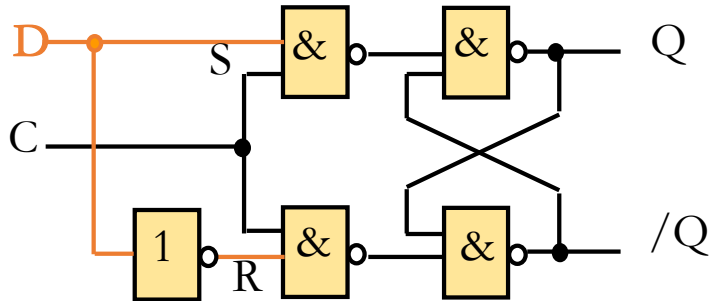
工作过程





(与非门) D锁存器逻辑电路图

① 电路图



② 次态真值表

D	Q	Q^{n+1}
0	0	0
0	1	0
1	0	1
1	1	1

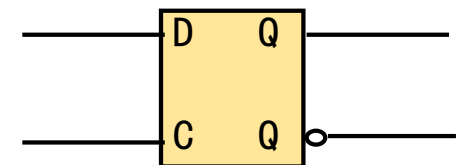
③ 简化的次态真值表

D	Q^{n+1}
0	0
1	1

④ 次态方程: $Q^{n+1} = D$

Q	D	0	1
0		0	1
1		0	1

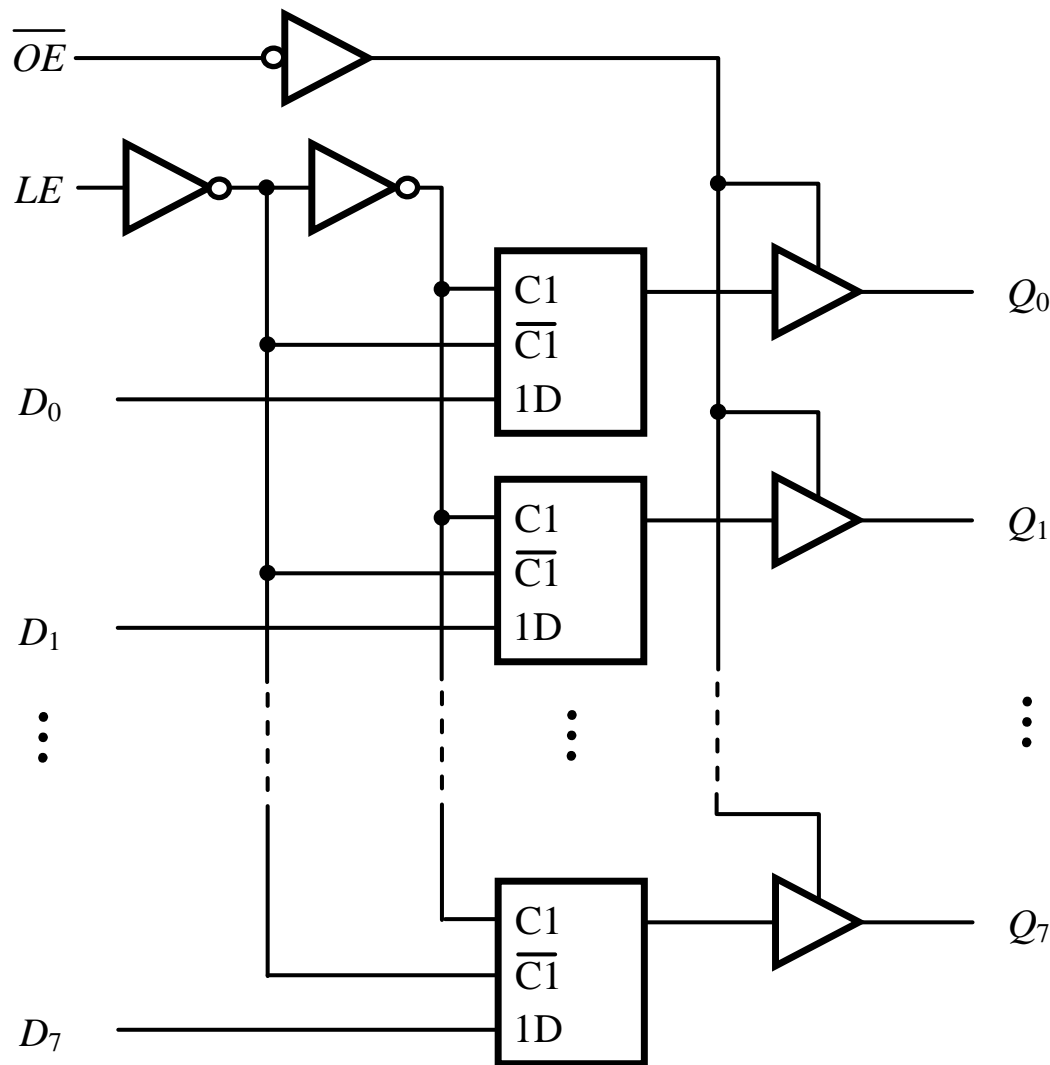
⑤ 逻辑符号





典型的D锁存器集成电路

74HC/HCT373 八D锁存器





74HC/HCT373的功能表

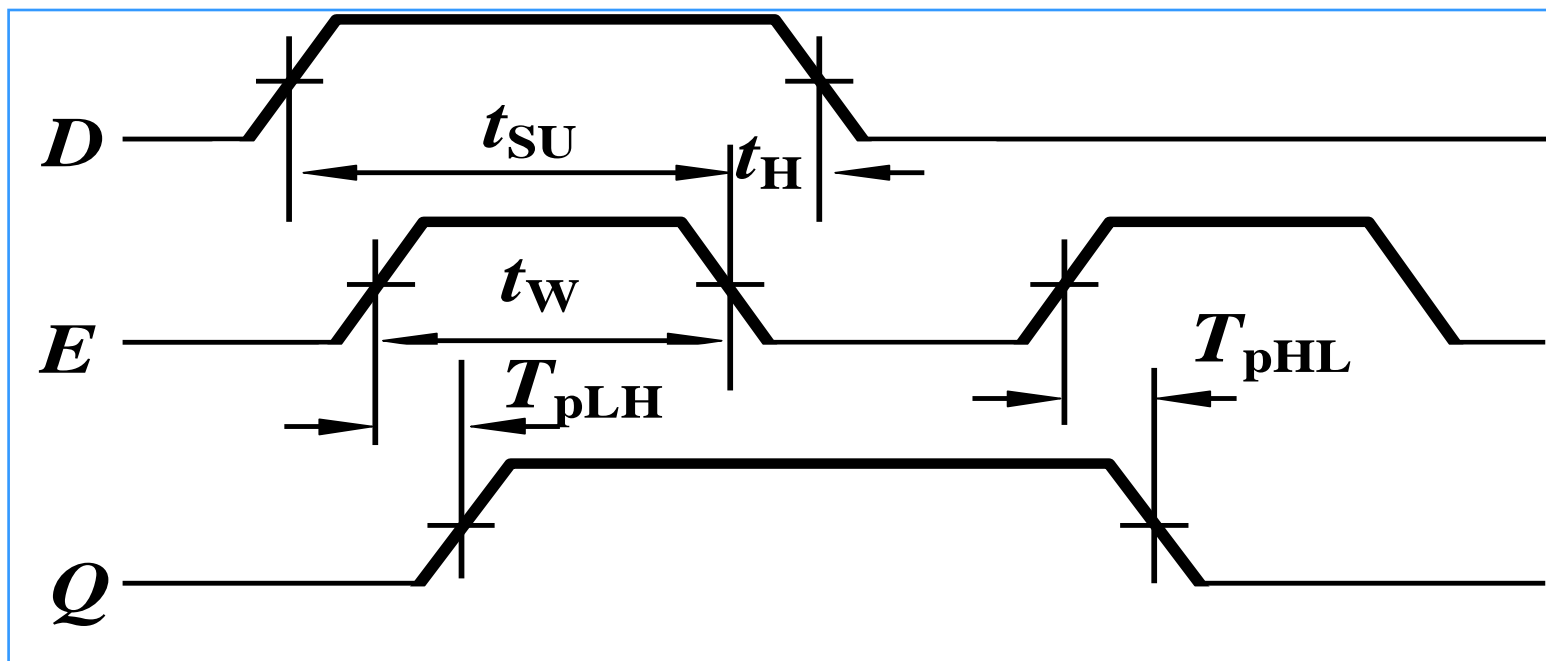
工作模式	输 入			内部锁存器 状 态	输 出
	\overline{OE}	LE	D_n		Q_n
使能和读锁存器 (传送模式)	L	H	L	L	L
	L	H	H	H	H
锁存和读锁存器	L	L	L*	L	L
	L	L	H*	H	H
锁存和禁止输出	H	×	×	×	高阻
	H	×	×	×	高阻

L*和H*表示门控电平 LE 由高变低之前瞬间 D_n 的逻辑电平。



D锁存器的动态特性

定时图:表示电路动作过程中, 对各输入信号的时间要求以及输出对输入信号的响应时间。



有建立时间 t_{SU} 、保持时间 t_H 、脉冲宽度 t_W 等。



触发器

Data Flip-Flop, SR Flip-Flop,
Jack Kilby Flip-Flop, Toggle Flip-Flop

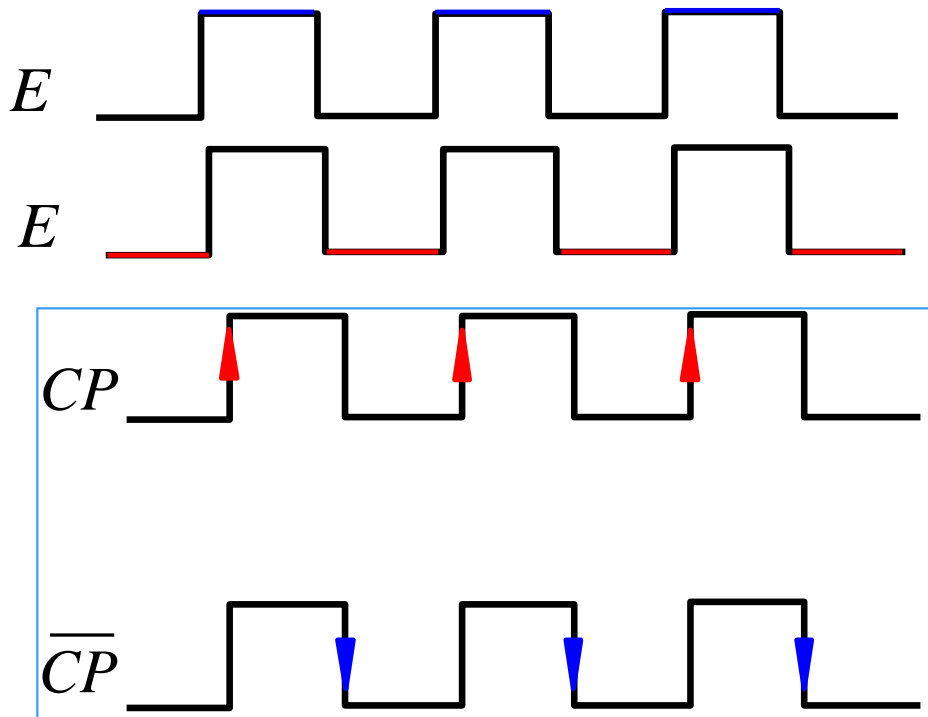


触发器的电路结构和工作原理

锁存器与触发器

锁存器在E的高(低)电平期间对信号敏感

触发器在CP (/CP) 的上升沿(下降沿)对信号敏感

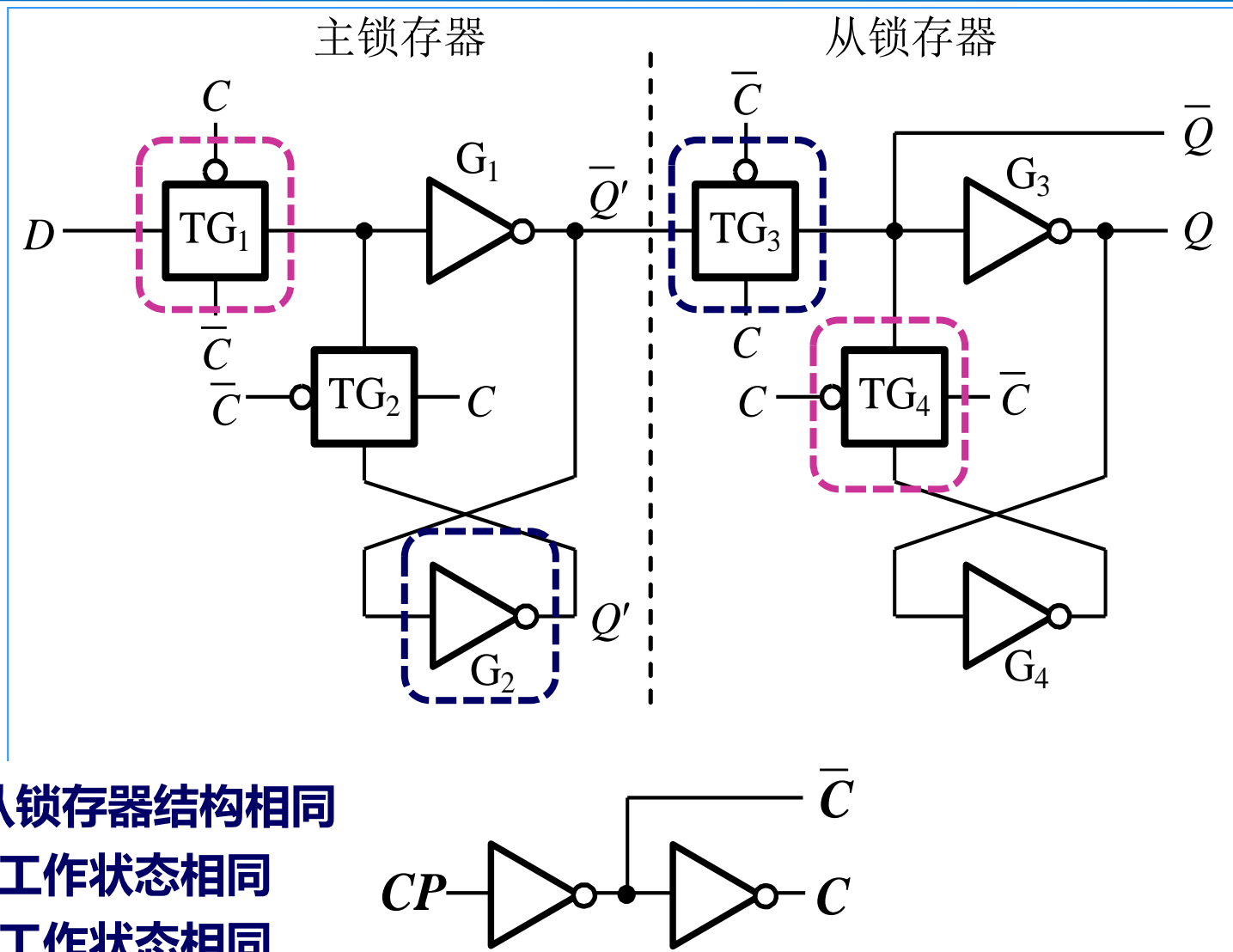


触发器的三种电路结构：主从触发器；维持阻塞触发器；传输延迟触发器。 COMS 主从D触发器占用芯片面积最小，逻辑设计简单，在大规模COMS IC, FPGA/CPLD, ASIC普遍应用。



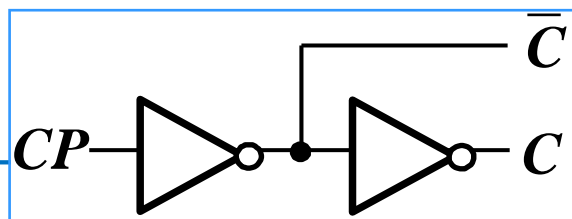
主从D触发器的电路结构和工作原理

1. 电路结构



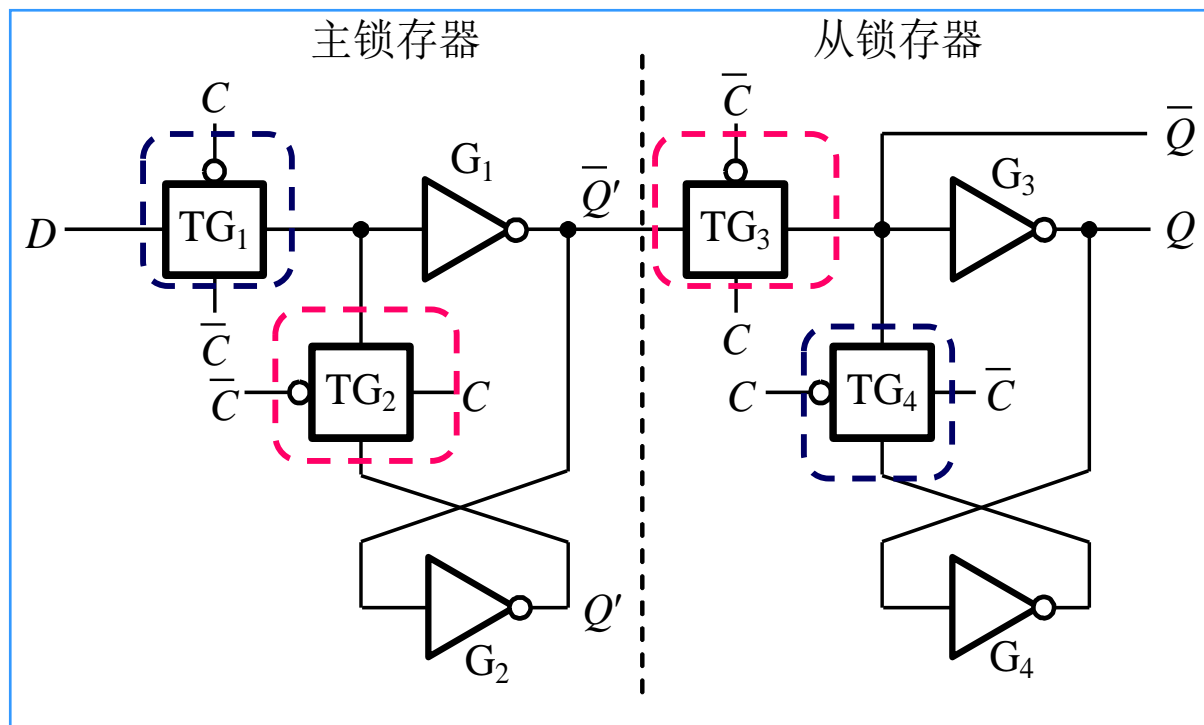


2. 工作原理



(1) CP=0时:

$$\bar{C} = 1, C = 0,$$



TG₁导通, TG₂断开——输入信号D 送入主锁存器。

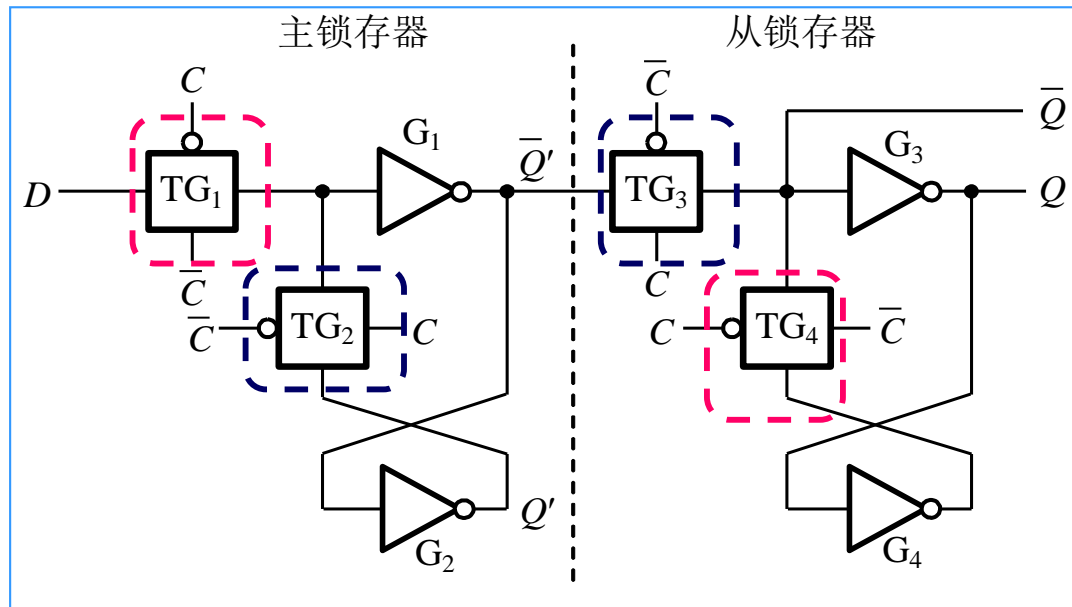
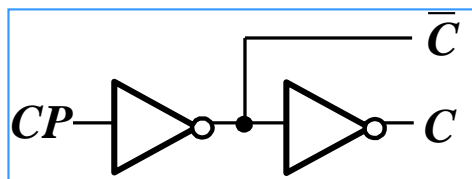
Q'跟随D端的状态变化, 使Q'=D。

TG₃断开, TG₄导通——从锁存器维持在原来的状态不变。



(2) CP由0跳变到1 :

$$\bar{C} = 0, C = 1,$$



TG₁断开, TG₂导通——输入信号D 不能送入主锁存器。

主锁存器维持原态不变。

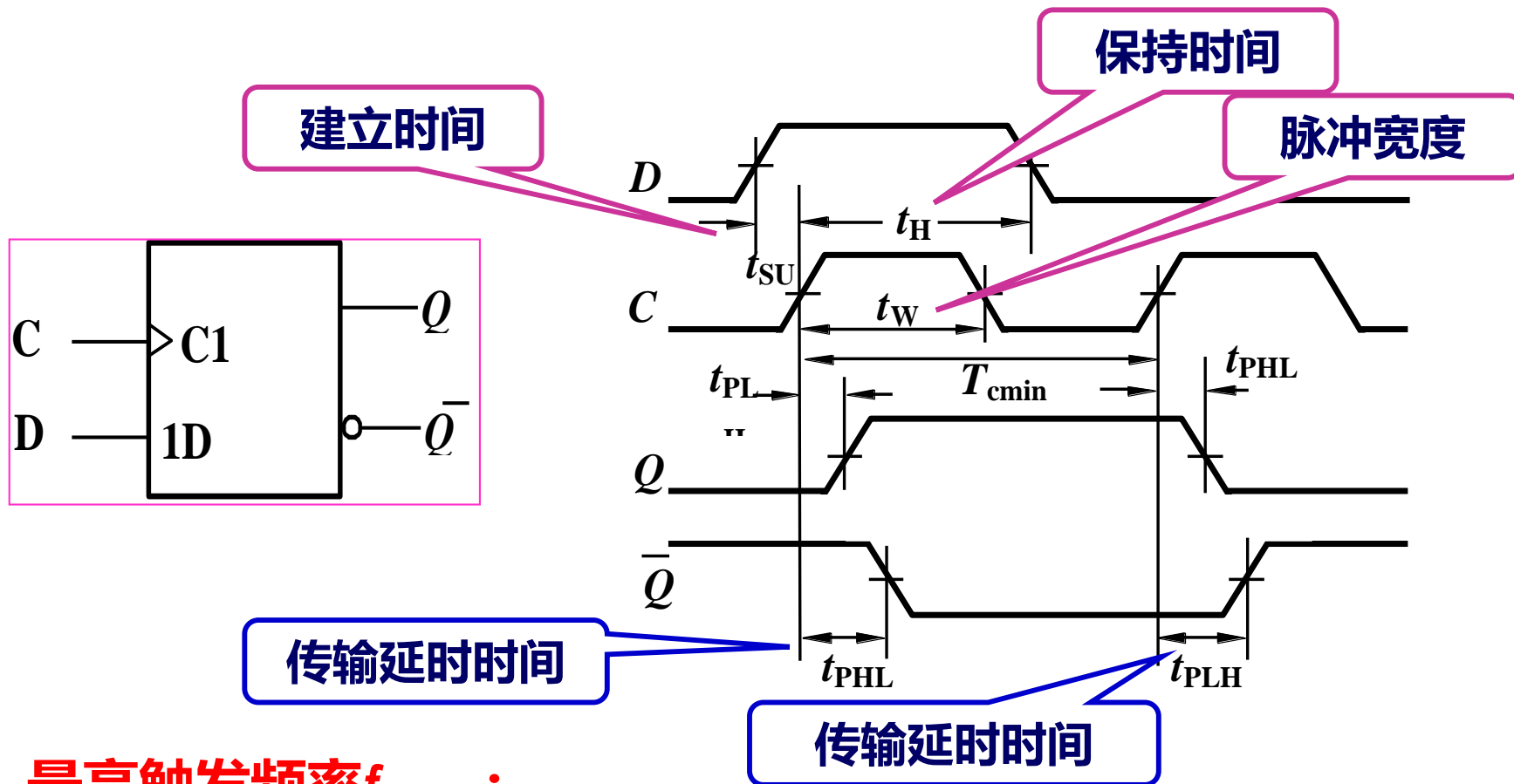
TG₃导通, TG₄断开——从锁存器Q'的信号送Q端。

触发器的状态仅仅取决于CP信号上升沿到达前瞬间的D信号



主从D触发器的动态特性

动态特性反映其触发器对输入信号和时钟信号间的时间要求，以及输出状态对时钟信号响应的延迟时间。

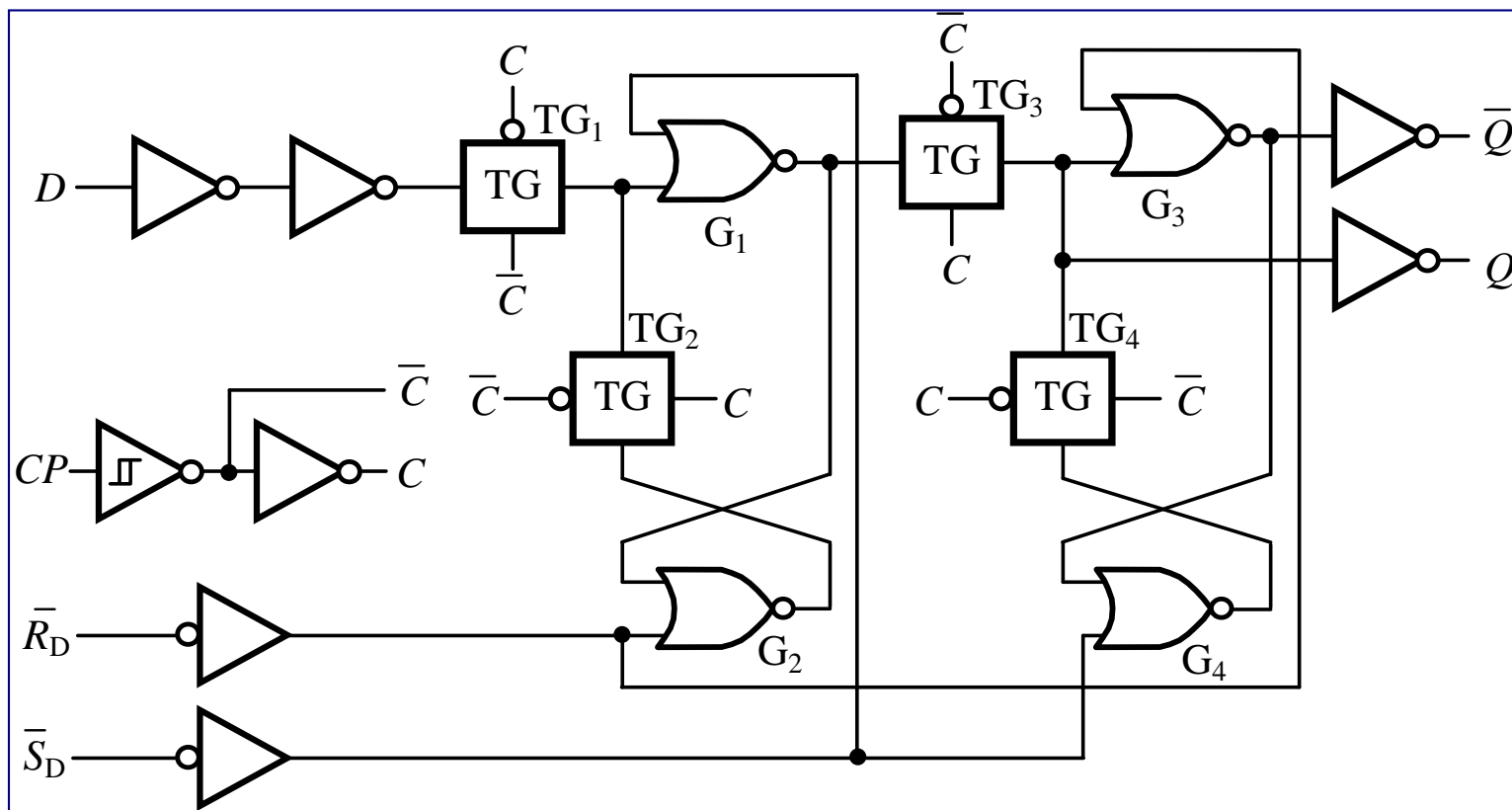


最高触发频率 f_{cmax} :



典型主从D触发器集成电路

74HC/HCT74 中D触发器的逻辑图

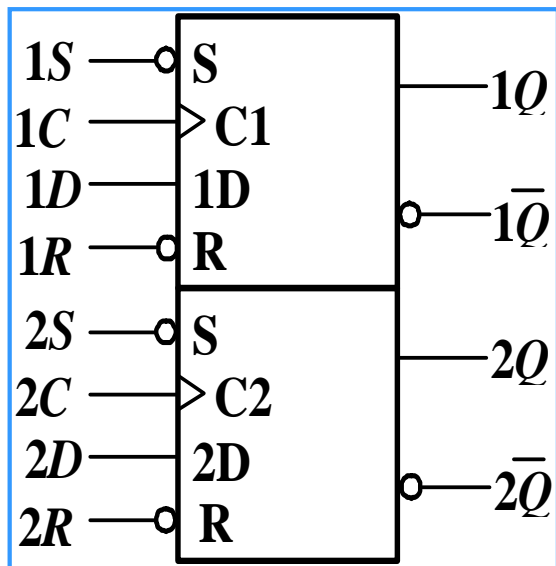




74HC/HCT74的逻辑符号和功能表

74HC/HCT74的功能表

国标逻辑符号



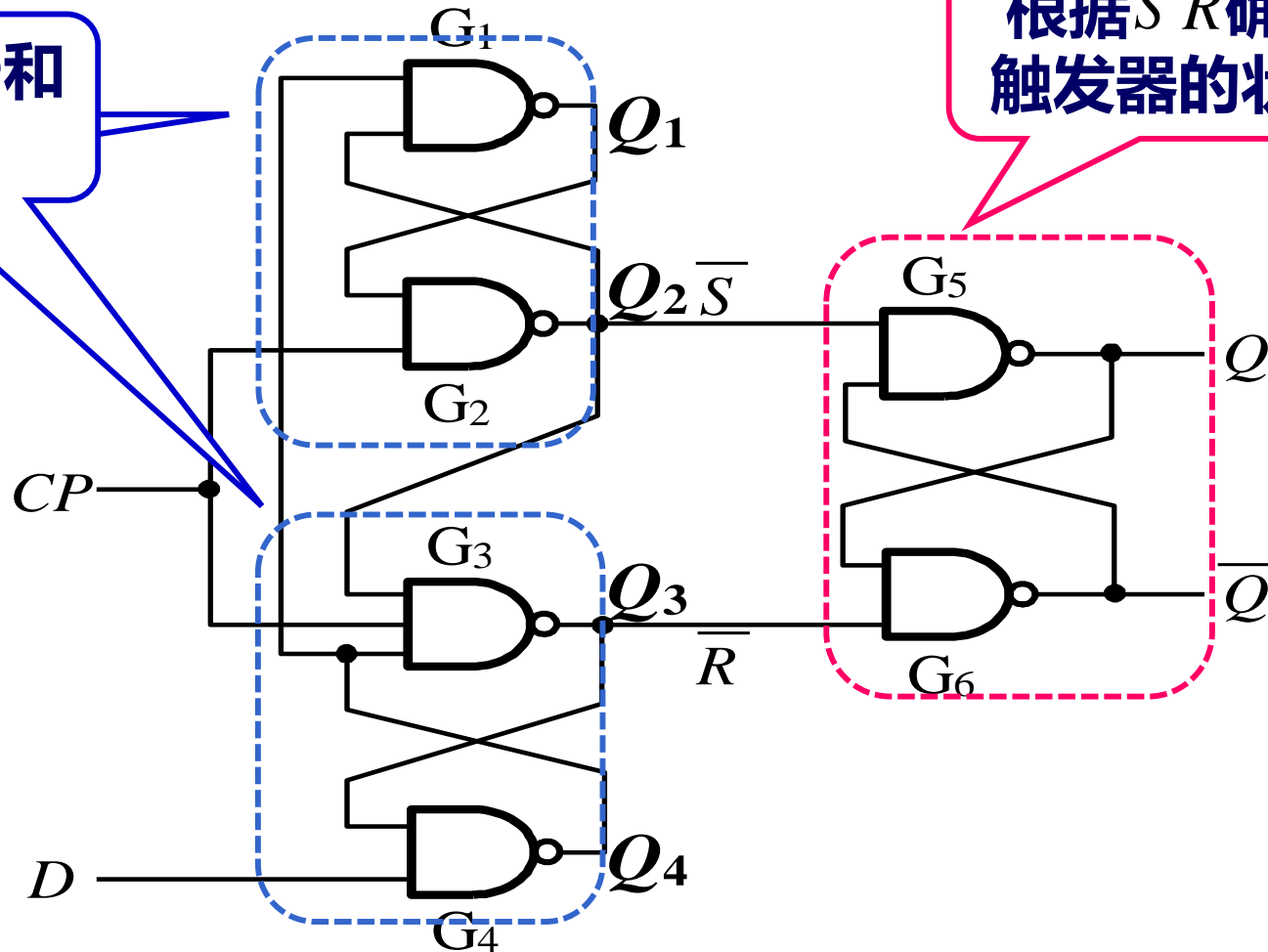
输 入				输 出	
\bar{S}_D	\bar{R}_D	CP	D	Q	\bar{Q}
L	H	×	×	H	L
H	L	×	×	L	H
L	L	×	×	H	H
\bar{S}_D	\bar{R}_D	CP	D	Q^{n+1}	\bar{Q}^{n+1}
H	H	↑	L	L	H
H	H	↑	H	H	L

具有直接置1、直接置0，正边沿触发的D功能触发器



维持阻塞D触发器

响应输入 D 和 CP 信号





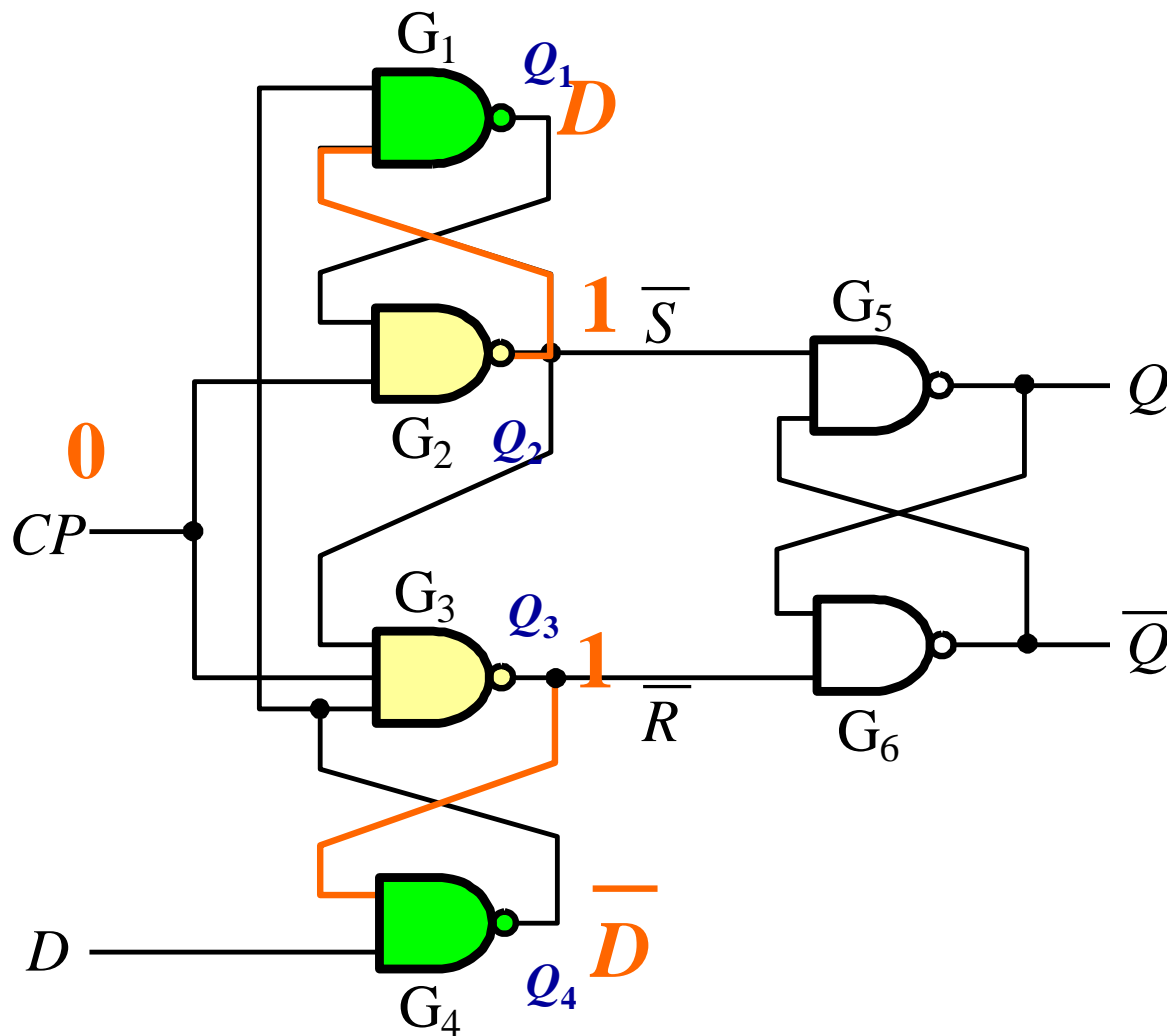
维持阻塞D触发器工作原理

$CP = 0$

$Q_4 = \bar{D} \quad Q_1 = D$

$Q^{n+1} = Q^n$

\bar{D} 信号存于 Q_4



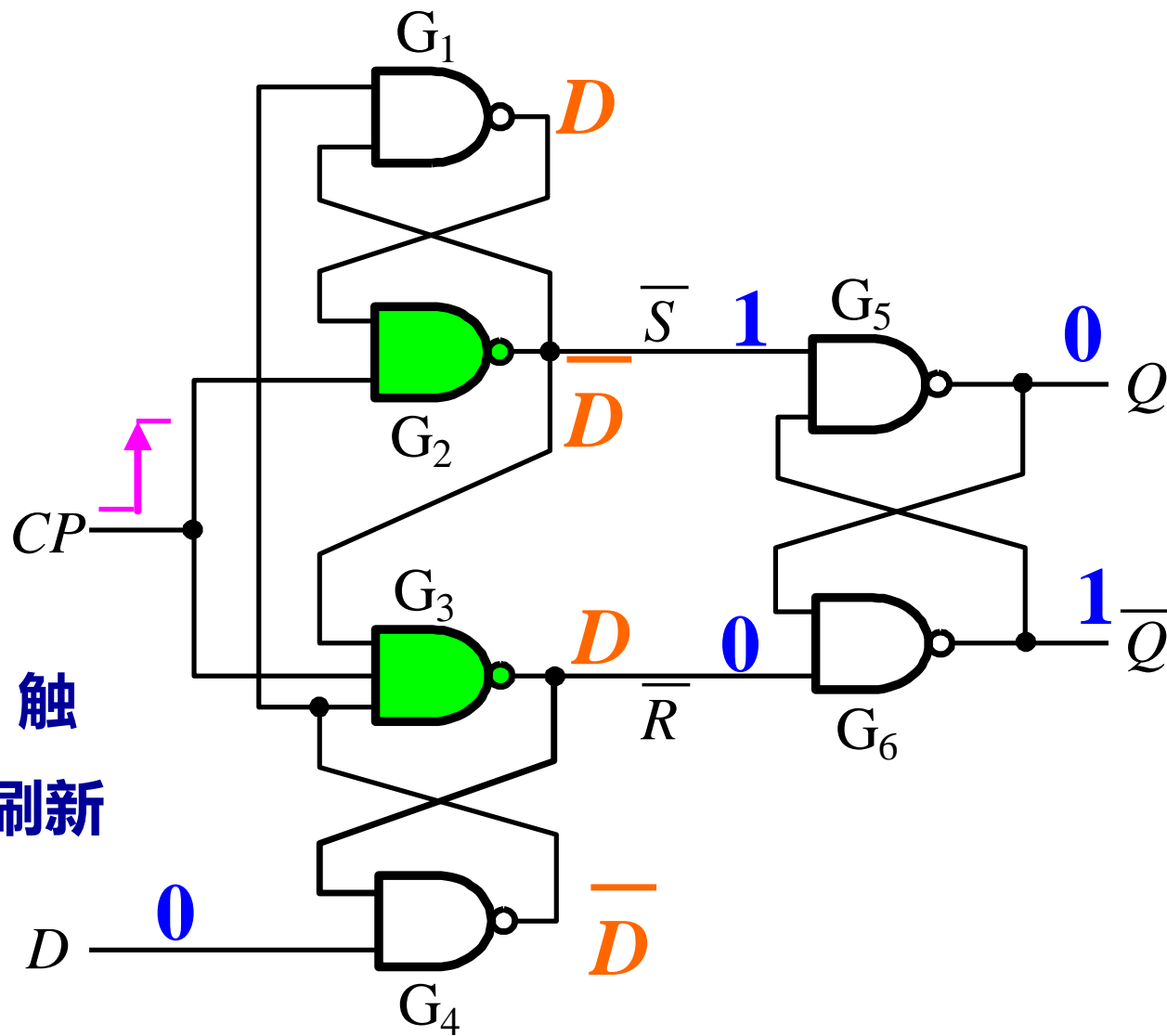
D 信号进入触发器,为状态刷新作好准备, Q保持不变



当CP由0跳变为1

$$Q^{n+1} = D$$

在CP脉冲的上升沿，触发器按此前的D信号刷新

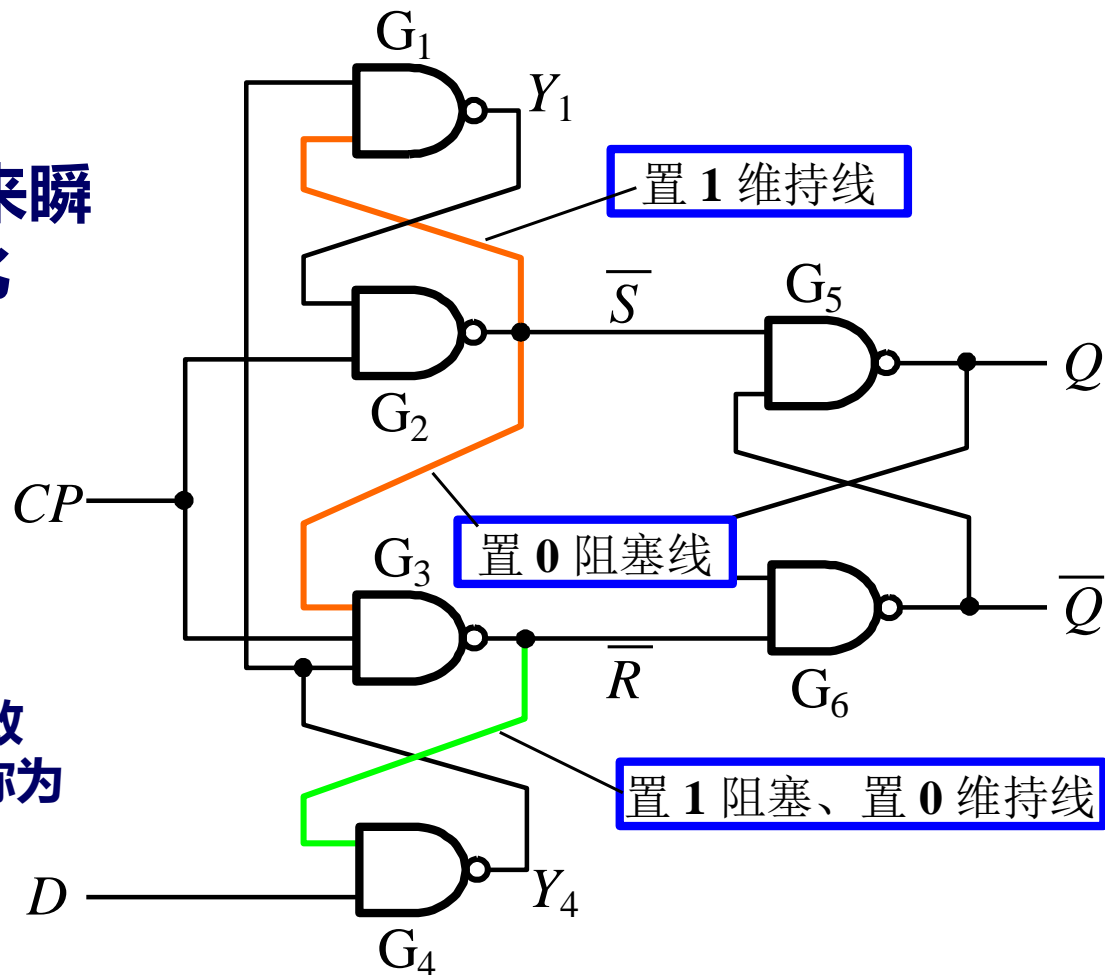




当 $CP = 1$ D 信号不影响 \overline{S} 、 \overline{R} 的状态, Q 的状态不变

在 CP 脉冲的上升沿到来瞬间使触发器的状态变化

$CP=1$, $\overline{S}=0$, G_1 和 G_3 封锁, 导致 $Y_1=1$, 进一步维持 $\overline{S}=0$, 因此称为置1维持线...

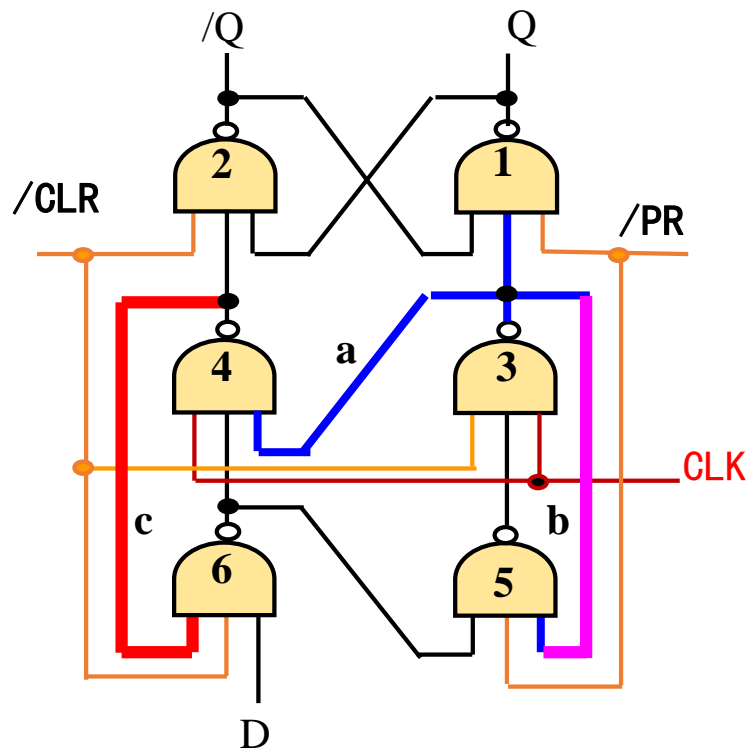




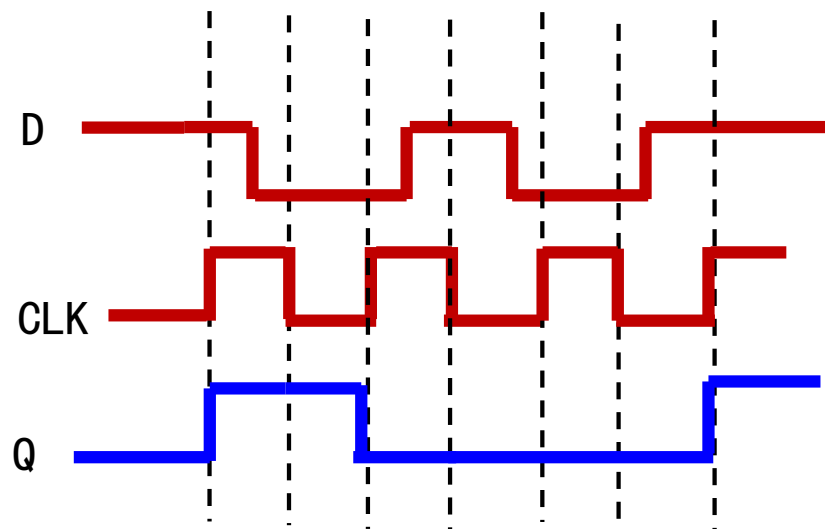
与非门构成的边沿触发D触发器 (维持阻塞)

在控制信号的有效边沿(前沿或后沿)时接收数据。可以置0/1

电路结构



边沿触发D触发器的工作过程

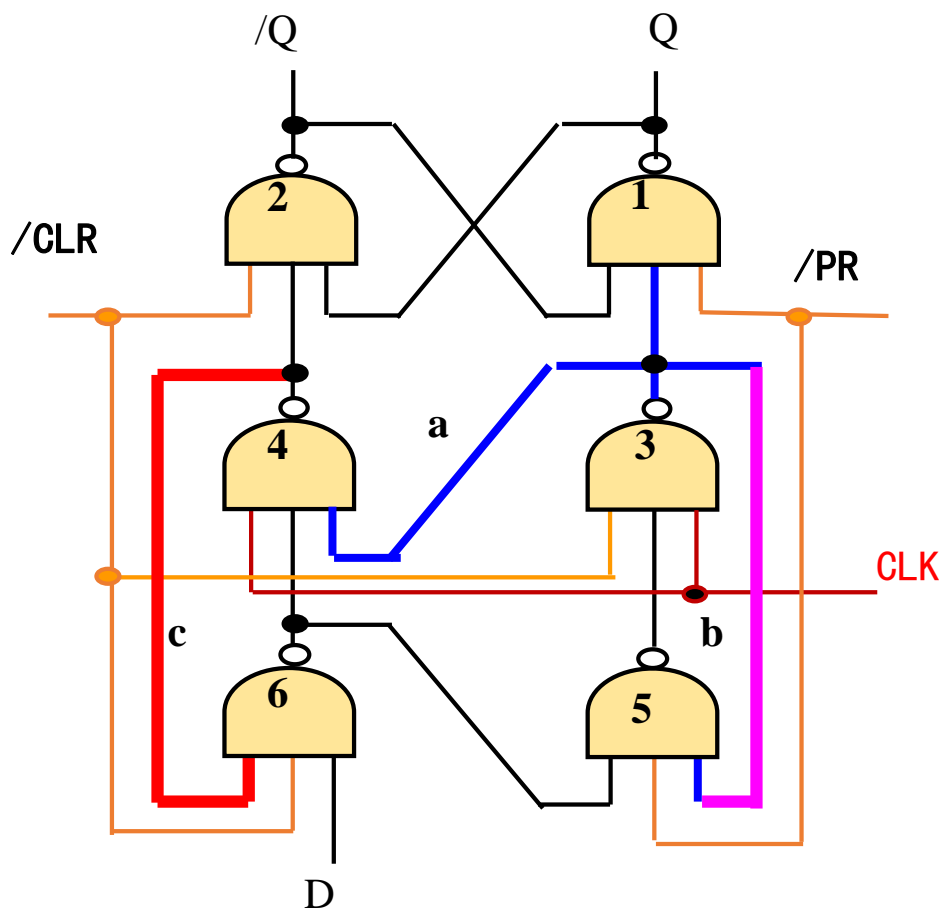


① 一个带时钟控制的SR触发器(由门1,门2,门3和门4组成); ② 两个信号接收门(门5和6), 门5和6生成互补数据 D 和 $/D$, 并加在门3和4的输入端上。

D 是数据输入端; PR (Preset) 和 CLR (Clear) 是强制置 1 和置 0 端。a、b、c 三条线是内部反馈线。



边沿触发D触发器的功能分析：



- ① 状态改变只发生在CLK脉冲的上升沿；
- ② CLK脉冲保持高电平期间信号端D的变化并不会影响Q端的输出。

这类D触发器被称为边沿触发的维持-阻塞触发器。

a 反馈线被称为置0阻塞线

b 反馈线被称为置1维持线

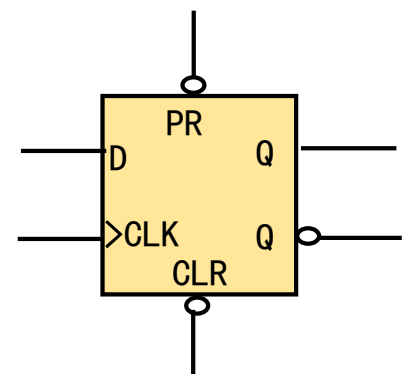
c 反馈线被称为置0维持线

/PR 是强制置 1 端

/CLR 是强制置 0 端



前沿触发D 触发器



a. 前沿触发D触发器逻辑符号

b. 功能表

D	CLK	Q	/Q
0	\uparrow	0	1
1	\uparrow	1	0
d	0	保持不变	
d	1	保持不变	

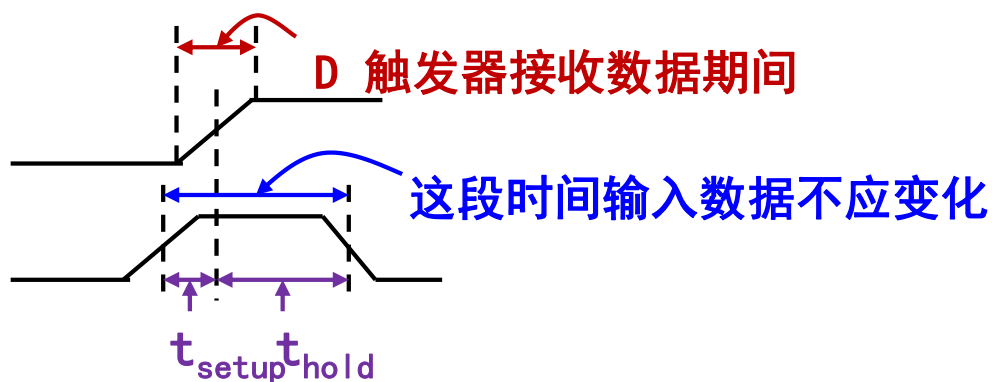
c. 次态真值表

D	Q^{n+1}
0	0
1	1

D	0	1
Q	0	1
1	0	1

CLK

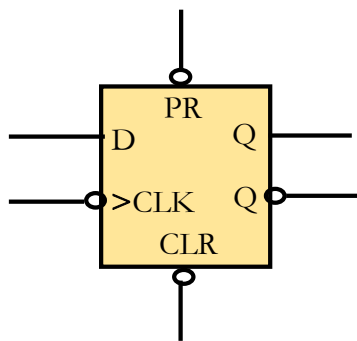
d. 次态方程: $Q^{n+1} = D$



e. D 触发器的两个工作时间



后沿D 触发器



a. 后沿触发D触发器

D	CLK	Q	/Q
0	\downarrow	0	1
1	\downarrow	1	0
d	0	保持不变	
d	1	保持不变	

b. 功能表

D	Q^{n+1}
0	0
1	1

c. 次态真值表

	D	
	0	1
Q		
0	0	1
1	0	1

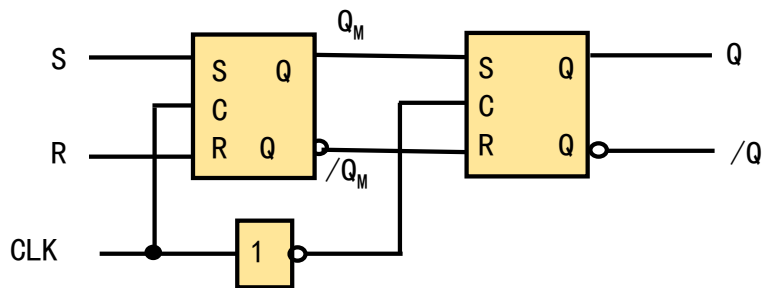
d. 次态方程: $Q^{n+1} = D$



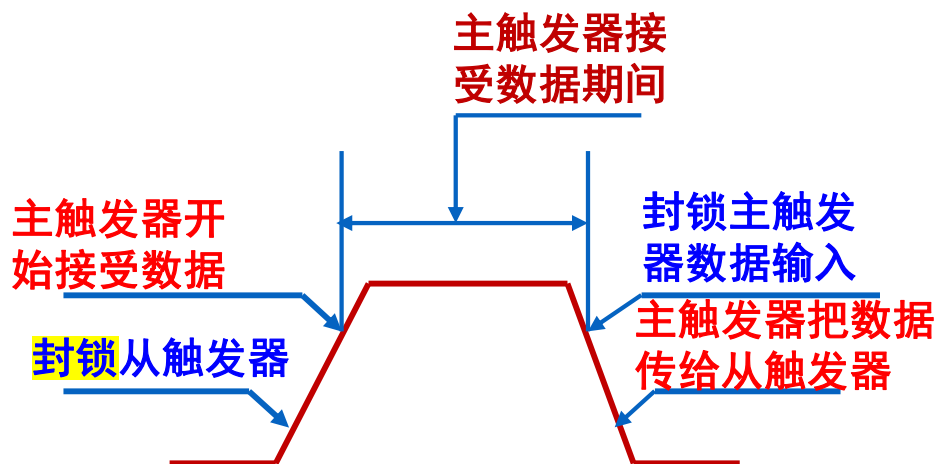
主从S-R 触发器 *Master/slave S-R Flip-flop*

主从触发器由**主触发器**和**从触发器**两部分构成。

主从触发器是在**脉冲下降沿改变输出**：**①** 在触发脉冲C作用时间(C为高电平期间)，S、R状态的变化将记入主触发器；**②** 在C下降沿时间，从触发器接收此时刻的主触发器状态。



(a) 用两个带使能端S-R锁存器构成的触发器

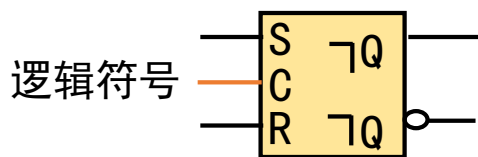


(b) 触发脉冲 C 作用期间的情况

触发脉冲作用期间的情况：

当触发信号C上跳时，主触发器接受数据，此时，从触发器输出不变，只有当触发信号C跳下时，主触发器才把数据传给从触发器从而引起输出变化，与此同时锁住了主触发器。如图(b)所示。

由于门的传输延迟时间的影响，为保证稳定地将S、R状态记入主从触发器，要求在触发脉冲下降沿到达前一段时间，S、R值已稳定。





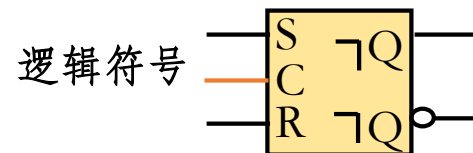
主从S-R 触发器的特性:

- 由于主从触发器的输出在触发脉冲上升沿时并不马上改变，因此在逻辑符号上，输出端应加输出限定符号“ \neg ”表示延迟输出。
- 主从触发器虽然是在触发信号的下降沿改变输出，但它并不是后沿触发的边沿触发器，因此在逻辑符号中控制输入端 C 上既没有动态输入限定符号，也没有逻辑非符号，“ \neg ”延迟输出符号表示了下降沿改变输出的特性。

主从S-R触发器的次态真值表，即次态方程与带使能端的 S - R 锁存器相同。

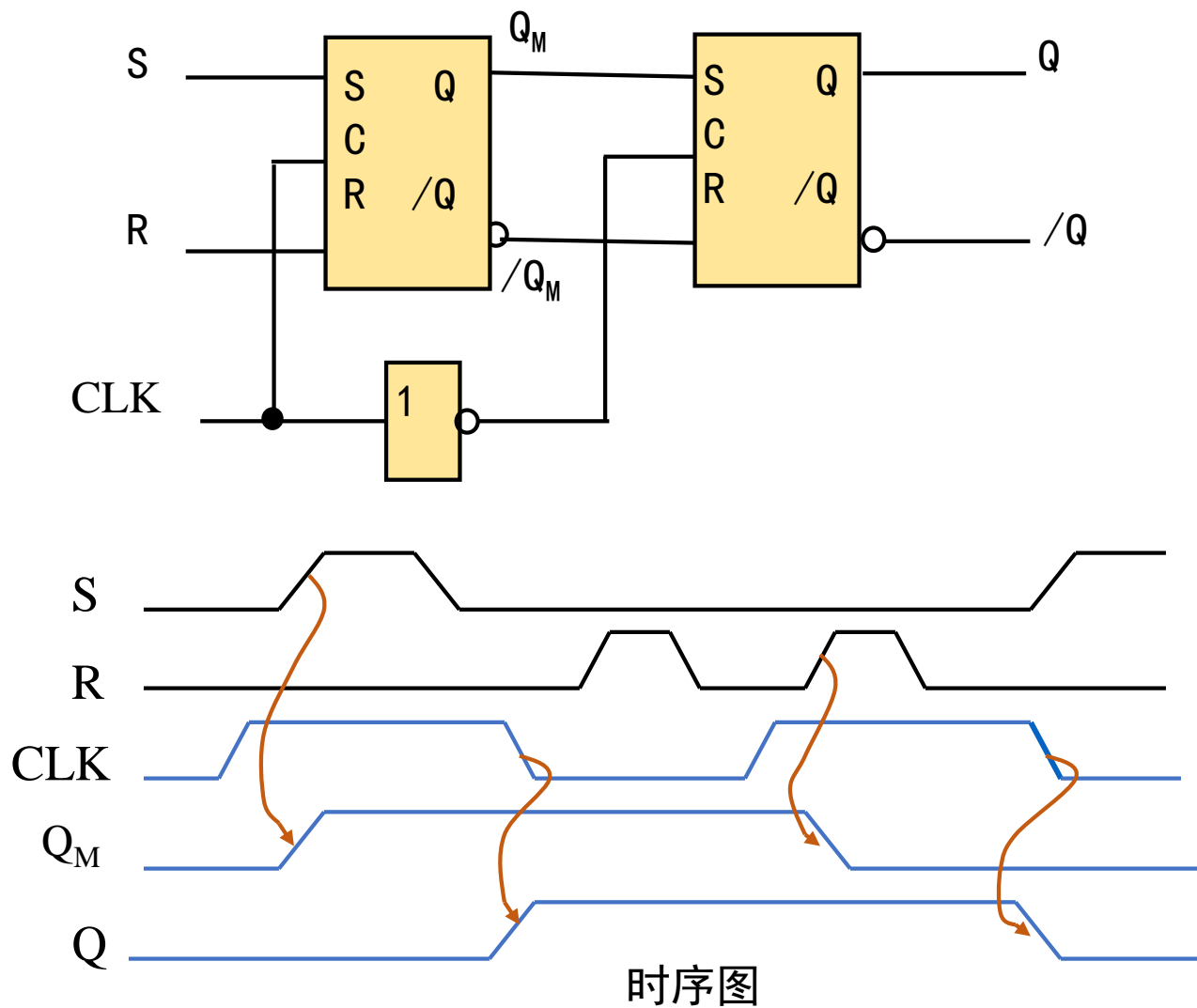
(c) 功能表

S	R	C	Q	$\neg Q$
d	d	0	保持不变	
0	0	\neg	保持不变	
0	1	\neg	0	1
1	0	\neg	1	0
1	1	\neg	不确定	





主从S-R 触发器工作过程时序图

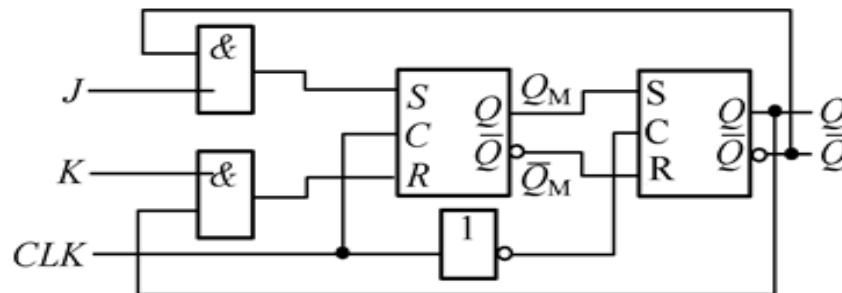




主从J-K 触发器Master/slave J-K Flip-flop

在主从 S-R 触发器的使用过程中不允许S、R输入同时有效，这给应用带来不便。

J-K 触发器利用输出Q及/Q不会同时为1或0这一特性，将输入J、K先分别同/Q及Q“相与”后再输入到主触发器的S及R输入端，从而保证主触发器的S及R端不会同时有效，见图(a)。



(a) 用S-R 锁存器构成的JK触发器

(b) 功能表

J	K	C	Q	/Q
d	d	0	保持不变	
0	0	⌋	保持不变	
0	1	⌋	0	1
1	0	⌋	1	0
1	1	⌋	变反	

(c) 次态真值表

J	K	Q	Q _{n+1}
0	0	0	0
0	0	1	1
0	1	0	0
0	1	1	0
1	0	0	1
1	0	1	1
1	1	0	1
1	1	1	0



主从J-K触发器的特性

J	K	Q^{n+1}
0	0	Q
0	1	0
1	0	1
1	1	\bar{Q}

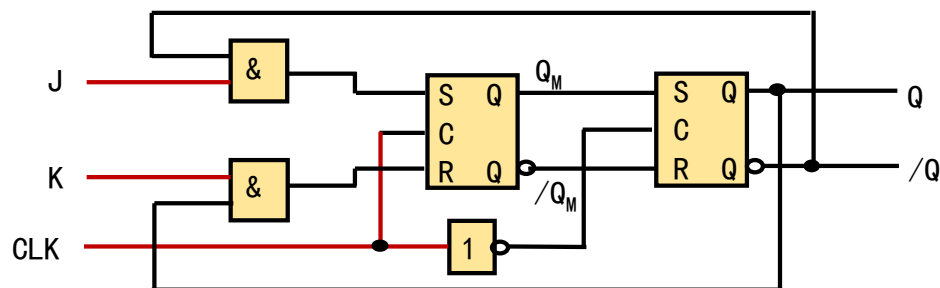
(d) 简化的次态真值表

SR	00	01	11	10
Q = 0	0	0	1	1
Q = 1	1	0	0	1

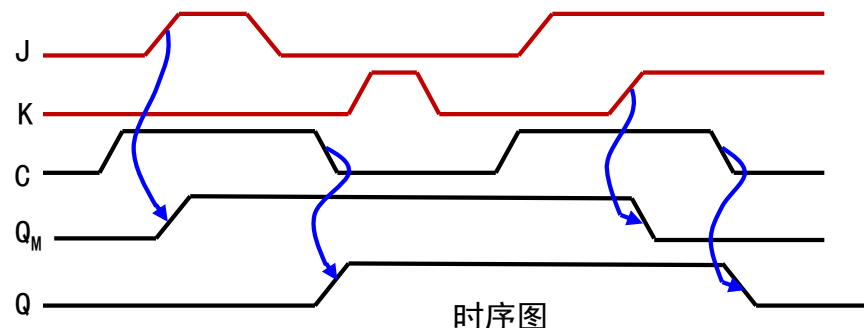
(e) 卡诺图

(f) 次态方程 $Q^{n+1} = J \cdot \bar{Q} + \bar{K} \cdot Q$

主从J-K 触发器工作过程时序图



电路图



时序图

主从结构的触发器，输出Q， Q_M 的时序特点总是相同

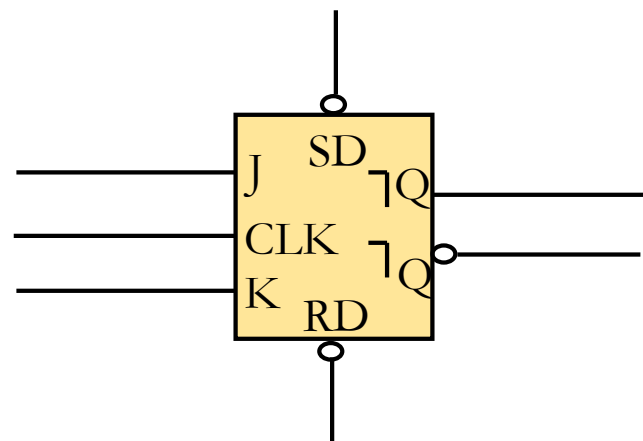


主从J-K触发器的逻辑符号：

当 $J = K = 0$ 时，触发器处于保持状态，而当 $J = K = 1$ 时， $Q^{n+1} = \neg Q$ ，触发器具有计数功能。

为使触发器稳定工作，要求触发脉冲的最小宽度需大于主触发器的状态转换稳定时间，即大于2个门的传输时间；时间间隔要大于4个门的传输时间。

与主从S-R 触发器一样，在触发脉冲后沿到达前的一段时间，输入J、K信号值应持续不变。为了使触发器预先置于某一初始状态，在电路中还设置了一个直接置位端SD及直接复位端RD。

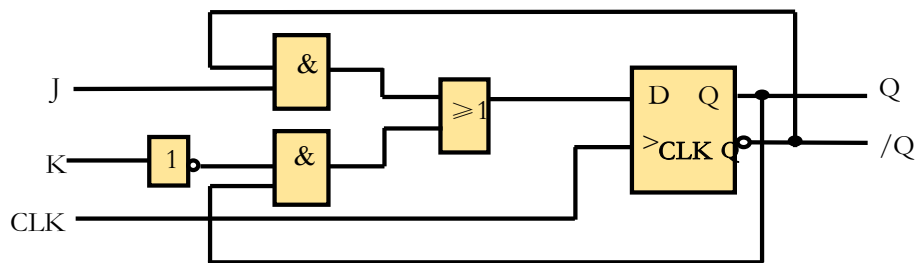


逻辑符号



边沿触发J-K 触发器 (由D触发器构成的等价电路)

(a) 电路图 *Edge-triggered JK Flip-flop*



其中：D 输入端的逻辑表达式为

$$D = J \cdot \bar{Q} + \bar{K} \cdot Q$$

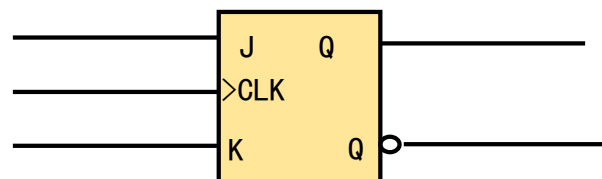
而 D 触发器的次态方程为： $Q^{n+1} = D$

因此，有： $Q^{n+1} = J \cdot \bar{Q} + \bar{K} \cdot Q$

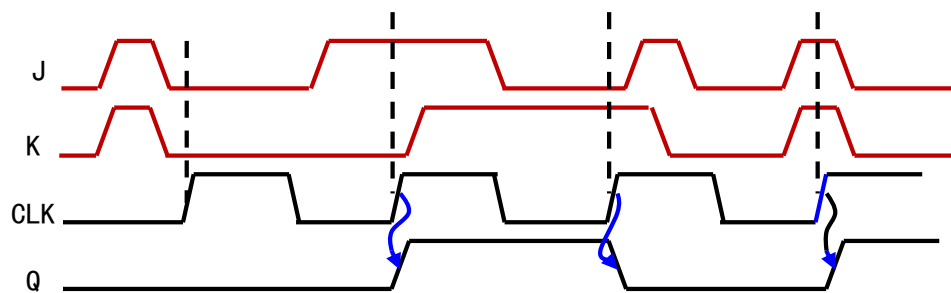
边沿触发J-K 触发器的特性：

(b) 功能表

J	K	CLK	Q	/Q
d	d	0	保持不变	
d	d	1	保持不变	
0	0	\uparrow	保持不变	
0	1	\uparrow	0	1
1	0	\uparrow	1	0
1	1	\uparrow	变反	



(c) 逻辑符号



(d) 工作时序图



边沿触发J - K 触发器

边沿触发 JK触发器类似于 D 触发器也要求有建立时间和保持时间，但其建立时间较脉冲触发的 JK 触发器为短，因此应用更为广泛。

主从结构的 JK 触发器要求在时钟脉冲 CLK的下降沿到来之前，输入端J、K必须稳定较长时间，以便输入的变化能传送到主触发器的输出 Q_M 及 \bar{Q}_M 。

JK 触发器常用于同步时序电路中，有时 JK触发器的次态逻辑要比 D触发器简单，不过大部分时序电路采用的是 D触发器。这是由于 D触发器只需一个数据输入端，使得设计出的电路更加简单。因此，在大多数可编程逻辑器件(PLD)中，包含的只有 D触发器。**典型的边沿触发 JK触发器型号是 74LS109。**



触发器的功能



D 触发器的功能

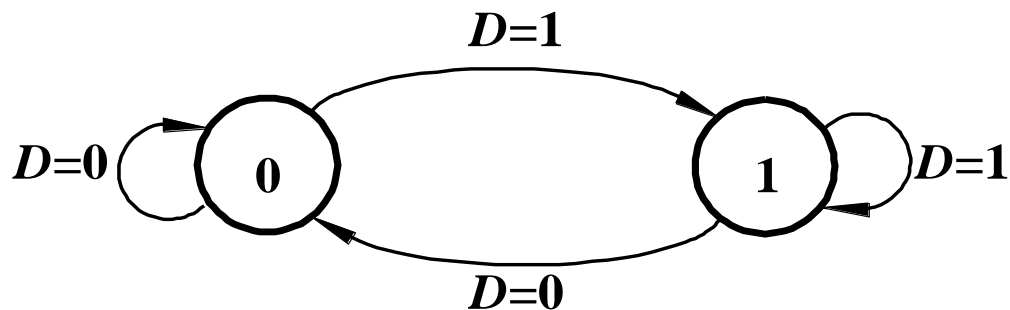
1. 特性表

D	Q^n	Q^{n+1}
0	0	0
0	1	0
1	0	1
1	1	1

2. 特性方程

$$Q^{n+1} = D$$

3. 状态图





JK 触发器

1. 特性表

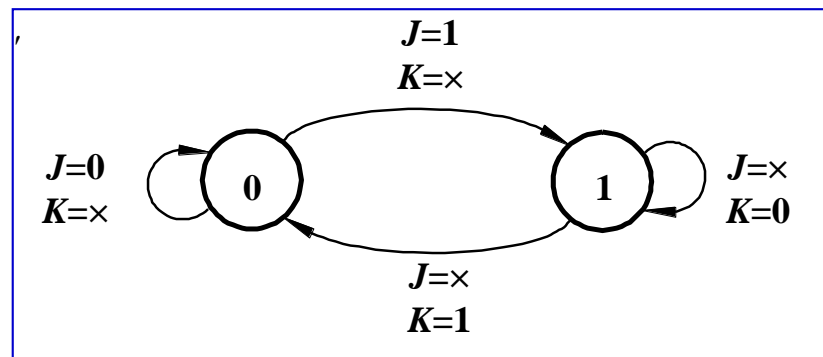
J	K	Q^n	Q^{n+1}	说明
0	0	0	0	状态不变
0	0	1	1	
0	1	0	0	置 0
0	1	1	0	
1	0	0	1	置 1
1	0	1	1	
1	1	0	1	翻 转
1	1	1	0	

2. 特性方程

$J \backslash KQ^n$	00	01	11	10
0	0	1	0	0
1	1	1	0	1

$$Q^{n+1} = J\bar{Q}^n + \bar{K}Q^n$$

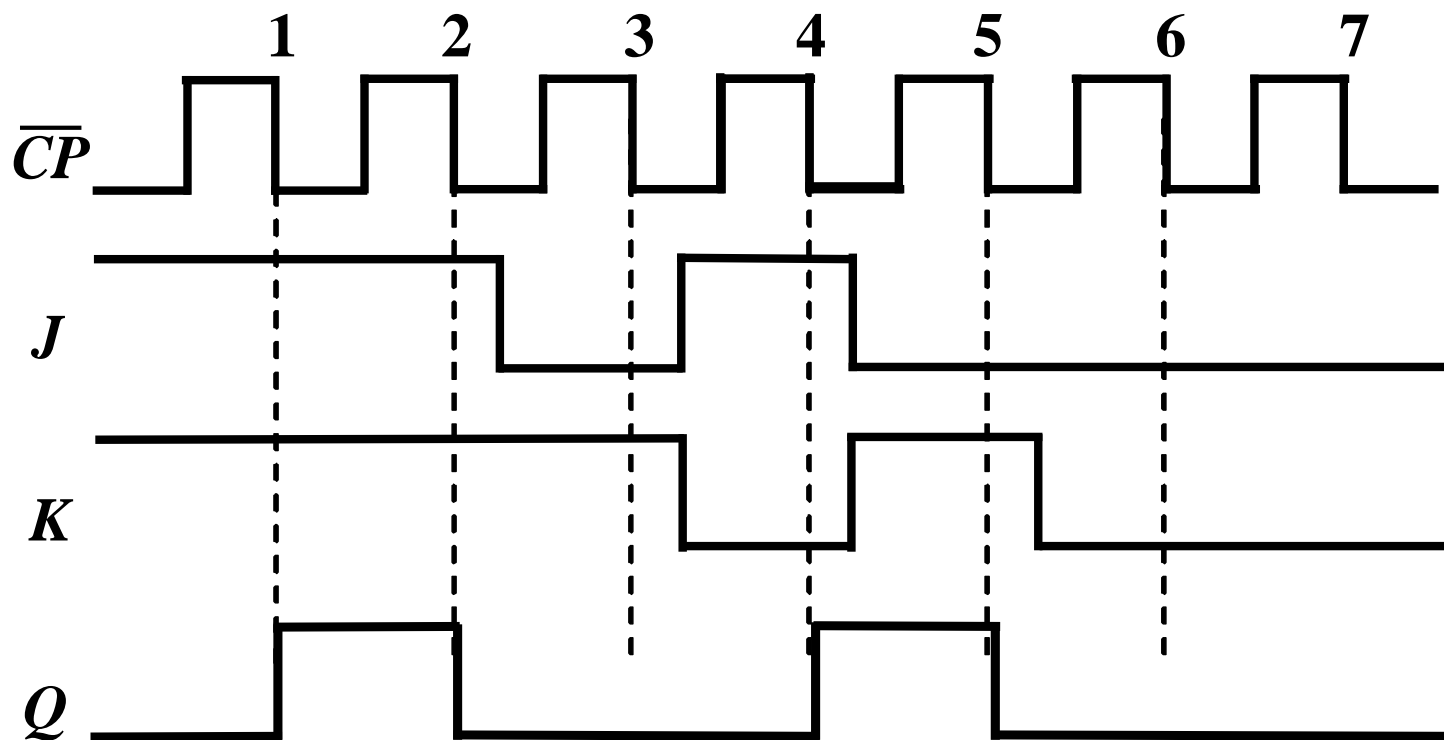
3. 状态转换图





$$Q^{n+1} = J\bar{Q}^n + \bar{K}Q^n$$

例5.4.1 设下降沿触发的JK触发器时钟脉冲和 J 、 K 信号的波形如图所示试画出输出端 Q 的波形。设触发器的初始状态为0。



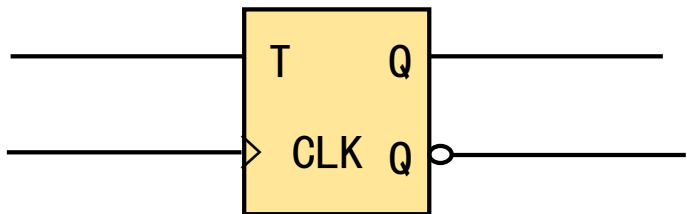


T 触发器 *T Flip-flop*

T触发器是一个计数触发器。

其功能为：**当T输入端为1时**，每来一个计数脉冲CLK，输出就变反一次。

(a) 逻辑符号



(b) 功能表

T	CLK	Q	/Q
d	0	保持不变	
d	1	保持不变	
0	d	保持不变	
1	d	变反	

(d) 简化次态真值表

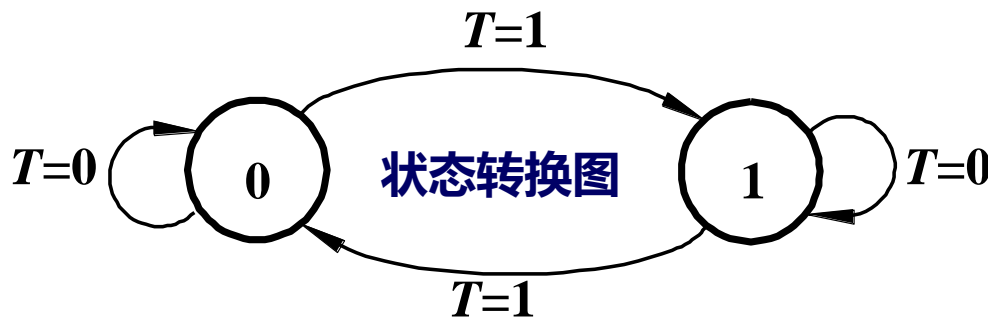
T	Q ⁿ⁺¹
0	Q
1	/Q

(c) 次态真值表

T	Q	Q ⁿ⁺¹
0	0	0
0	1	1
1	0	1
1	1	0

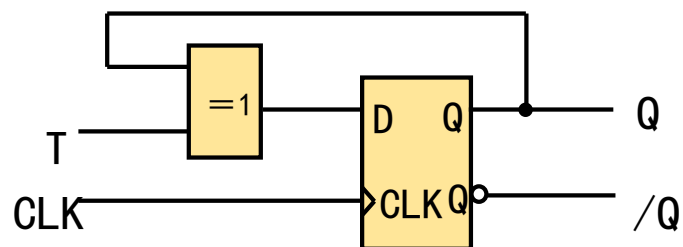
(e) 次态方程

$$Q^{n+1} = T \cdot \overline{Q} + \overline{T} \cdot Q$$

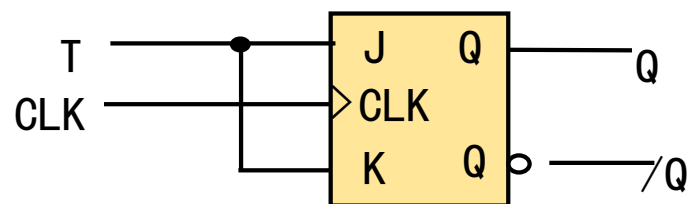




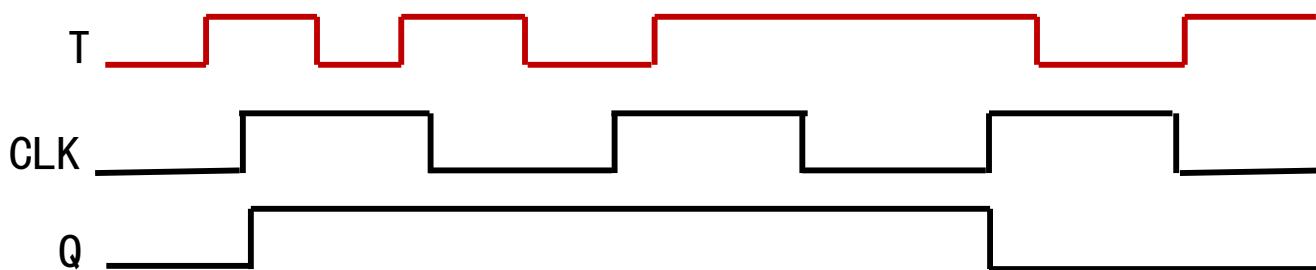
T 触发器的实现



用 D 触发器实现



用J-K触发器实现

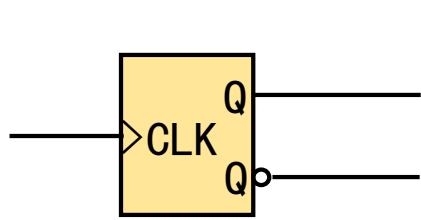


T 触发器典型时间图

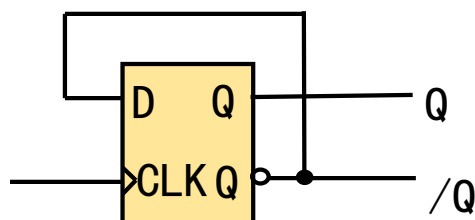


无使能控制的 T 触发器

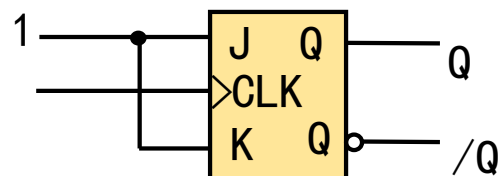
T触发器的 T 端实际是一个使能控制端，只有在 $T = 1$ 时，触发器 T 才处于计数状态。在一些应用场合无需使能控制，这种 T 触发器很容易用 D 触发器及 JK 触发器构成，下图给出了无使能控制端的 T 触发器的逻辑符号、电路构成及工作时序图。



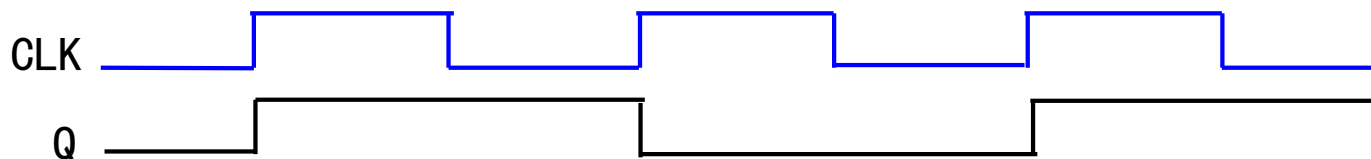
(a) 逻辑符号



(b) 由 D 触发器构成



(c) 用 J-K 触发器构成

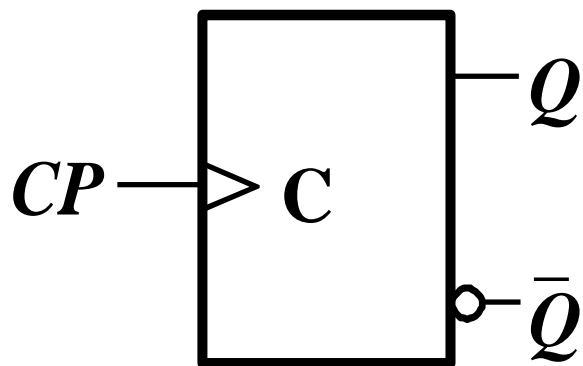


工作时序图



T' 触发器 (T=1)

逻辑符号



特性方程

$$Q^{n+1} = \overline{Q^n}$$

时钟脉冲每作用一次，触发器翻转一次。



SR 触发器

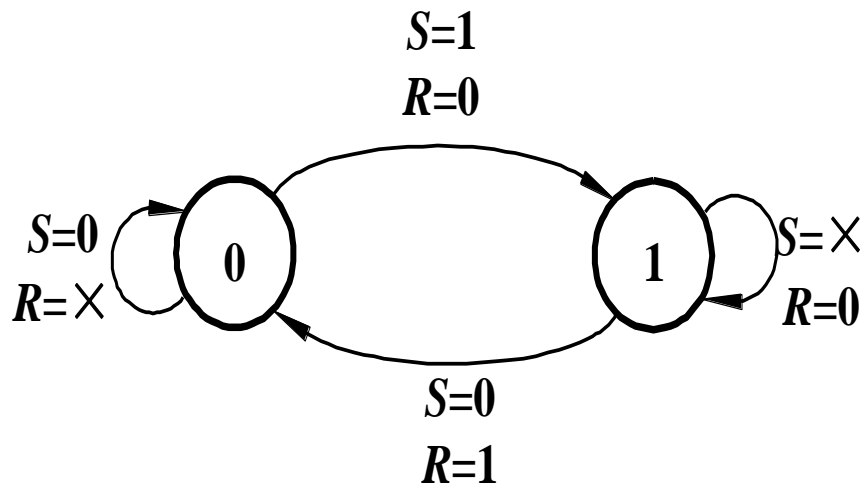
1. 特性表

Q^n	S	R	Q^{n+1}
0	0	0	0
0	0	1	0
0	1	0	1
0	1	1	不确定
1	0	0	1
1	0	1	0
1	1	0	1
1	1	1	不确定

2. 特性方程

$$\begin{cases} Q^{n+1} = S + \bar{R}Q^n \\ SR=0 \text{ (约束条件)} \end{cases}$$

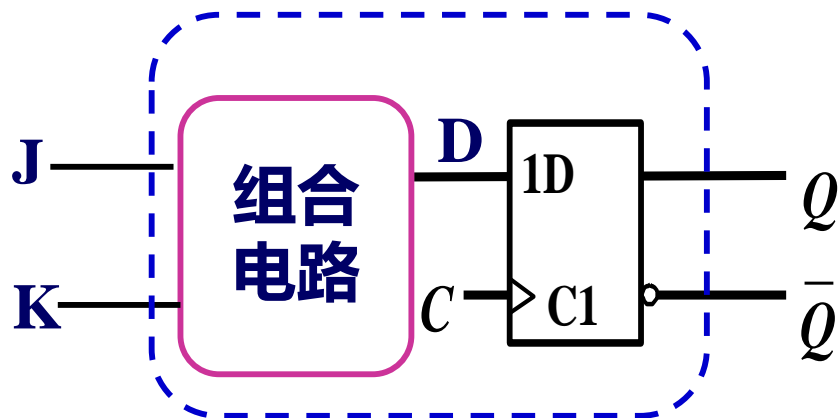
3. 状态图



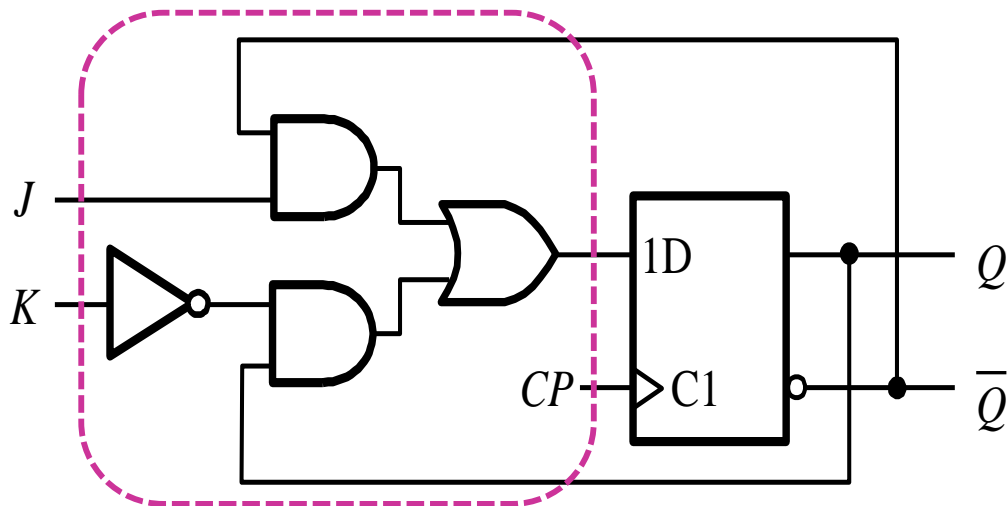


D触发器功能的转换

1. D 触发器构成 JK 触发器



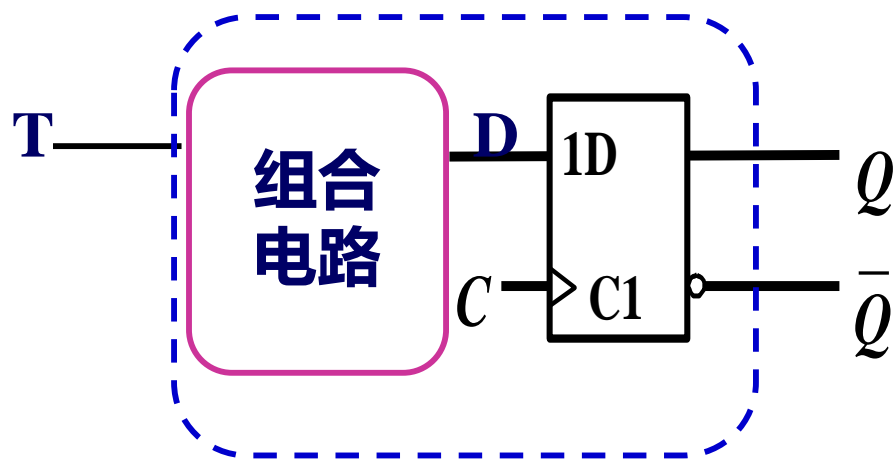
$$Q^{n+1} = JQ^n + \bar{K}Q^n$$
$$Q^{n+1} = D$$



$$D = J\bar{Q} + \bar{K}Q$$



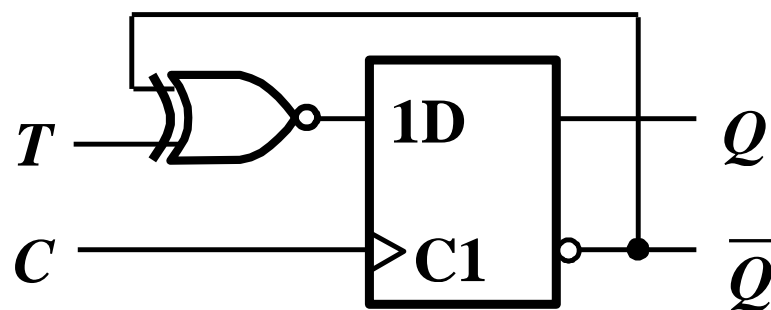
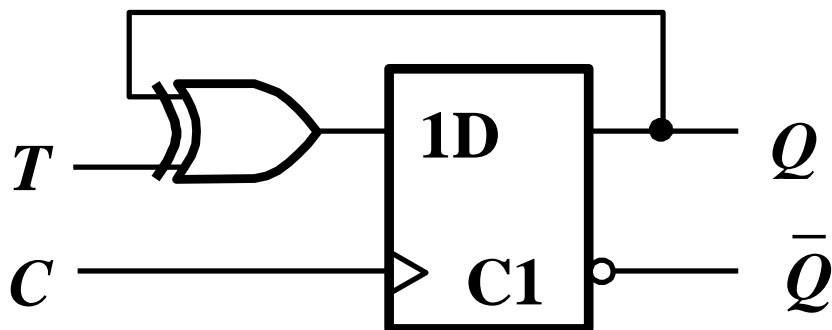
D 触发器构成 T 触发器



$$Q^{n+1} = D$$

$$Q^{n+1} = T\bar{Q}^n + \bar{T}Q^n$$

$$D = T\bar{Q} + \bar{T}Q = T \oplus Q$$



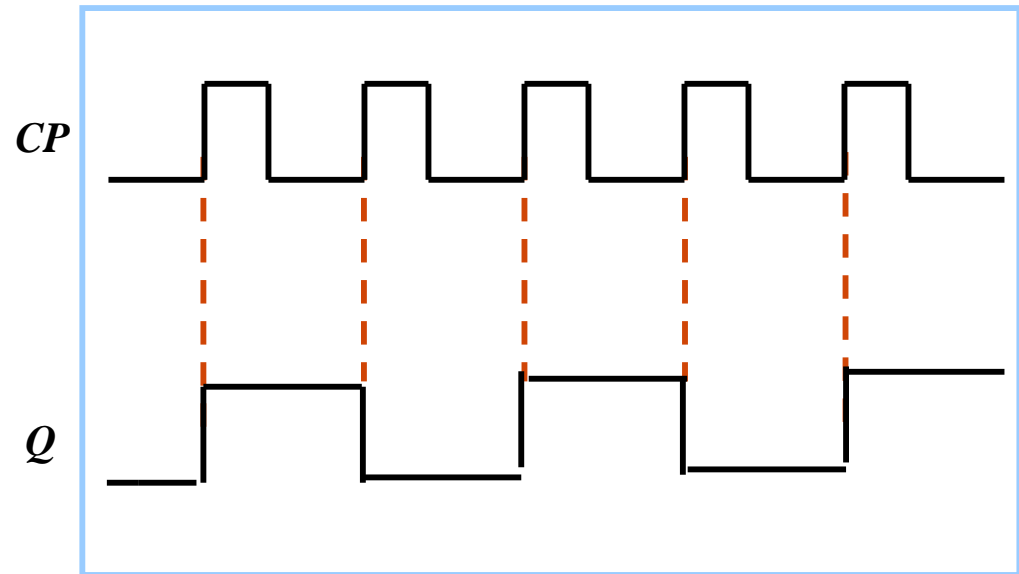
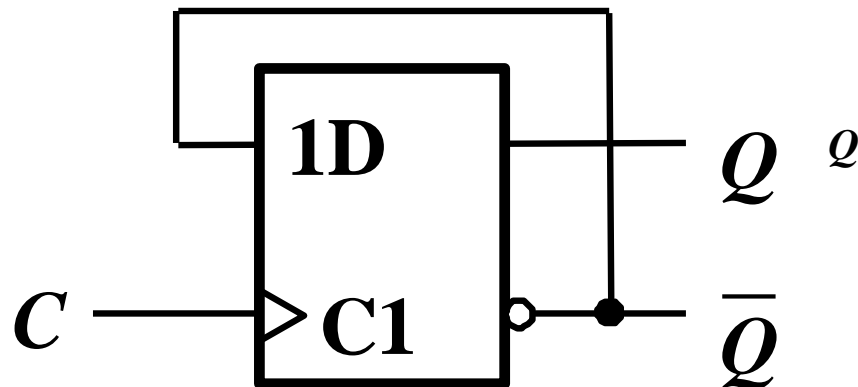


D 触发器构成 T' 触发器

$$Q^{n+1} = D$$

$$Q^{n+1} = \overline{Q^n}$$

$$D = \overline{Q^n}$$



二分频



本章小结

- ① 锁存器和触发器都是具有存储功能的逻辑电路，是构成时序电路的基本逻辑单元。每个锁存器或触发器都能存储1位二值信息。
- ② 锁存器是对脉冲电平敏感的电路，在一定电平作用下改变状态。
- ③ 触发器是对时钟脉冲边沿敏感的电路，它们在时钟脉冲的上升沿或下降沿作用下改变状态。
- ④ 触发器按逻辑功能分类有D触发器、JK触发器、T (T') 触发器和SR触发器。它们的功能可用特性表、特性方程和状态图来描述。
- ⑤ 触发器的电路结构与逻辑功能没有必然联系。



时序电路的分析与设计

下一节内容：

同步时序电路的分析与设计