

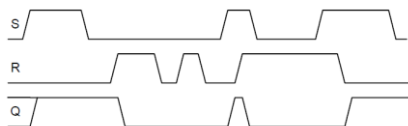
一、单项选择题（总分 10 分，每题 1 分）

1. 下列布尔表达式化简错误的是：（ ）

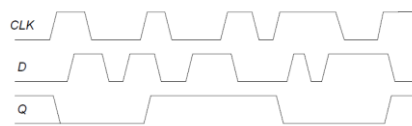
- (A) $(A + C) \cdot (A + \bar{C}) = A$
- (B) $(B + C) \cdot (\bar{B} + D) \cdot (C + D) = (B + C) \cdot (\bar{B} + D)$
- (C) $B \cdot (B + C) = B + B \cdot C$
- (D) $A + (C \cdot D) = (A + C) \cdot (\bar{A} + D)$

2. 请问下列时序逻辑器件波形图有误的是：（ ）

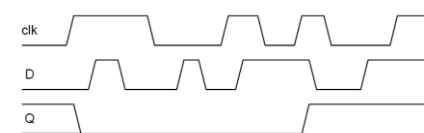
(A) SR 锁存器



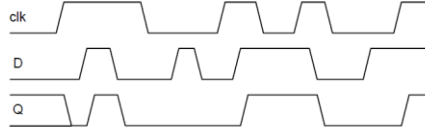
(B) D 触发器



(C) D 锁存器



(D) D 锁存器



3. 关于同步置位与异步置位相关概念及代码错误的是：（ ）

- (A) 电路中异步置位是马上生效的，与时钟无关
- (B) 电路中同步置位只能在时钟的上升或下降沿才能置位生效
- (C) 以下代码描述了同步置位：

```
always_ff @(posedge clk)
    if (set)    q <= 1'b1;
    else       q <= d;
```

(D) 以下代码描述了异步置位：

```
always_ff @(posedge clk or negedge clk)
    if (set)    q <= 1'b1;
    else       q <= d;
```

4. 对 ASIC 芯片设计流程，描述正确的是：（ ）

- (A) 规格制定→综合优化→代码实现仿真→后端布局布线→流片
- (B) 规格制定→综合优化→后端布局布线→代码实现仿真→流片

(C) 规格制定→代码实现仿真→综合优化→后端布局布线→流片

(D) 规格制定→代码实现仿真→后端布局布线→综合优化→流片

5. 下列关于移位运算的描述错误的是 () :

(A) 11011 LSR 3 = 00011

(B) 10001 ASL 3 = 01100

(C) 11001 ASR 3 = 11111

(D) 10011 ROR 3 = 01110

二、问答与画图题 (总分 36 分)

1. 什么是组合逻辑电路的传输延迟? 什么是时序逻辑电路的建立时间? 什么是时序逻辑电路的保持时间? (6 分)
2. 求布尔表达式 $Y=A \bar{C} \bar{D} + BC + \bar{B}D + A \bar{B} + \bar{A}C + \bar{B} \bar{C}$ 的最简式? 并画出其对应的原理图。(6 分)
3. 下图所示, 输入 a、时钟 clk、复位 nreset (低电平有效), 输出 Z。(8 分)

Input(a)	PresentState	NextState	Output(Z)
0	NO_ONE	NO_ONE	0
1	NO_ONE	ONE_ONE	0
0	ONE_ONE	ONE_ONE	0
1	ONE_ONE	TWO_ONE	0
0	TWO_ONE	NO_ONE	0
1	TWO_ONE	THREE_ONE	1
0	THREE_ONE	NO_ONE	0
1	THREE_ONE	THREE_ONE	1

- (1) 画出上述 FSM 的状态转换图;
- (2) 写出状态机的状态编码表、状态转换表、状态输出表 (二进制码);
- (3) 写出下一个状态和输出的布尔表达式;
- (4) 画出这个状态机的原理图。

三、计算题（10分）

1. 某三位同学 A、B、C 分别设计了 64 位加法器，分别是行波进位加法器、4 位块组成的先行进位加法器和前缀加法器，请通过计算公式说明。假设他们的设计中使用的 2 输入门的延迟都是 100ps，全加器的延迟是 300ps。（5分）
哪位同学设计的加法器延迟最低、运算最快？（2分）
B 同学设计的先行进位加法器的延迟是多少？（3分）

四、编程题（编程代码最好有必要的注释）（总分 10 分）

- 1 请用 SystemVerilog 硬件描述语言编程实现下图所示状态机，其中输入 A、B、Reset（高电平有效，异步复位）、时钟 clk，输出 Y，编写主模块（5 分）及 Testbench（2 分）、画出主模块对应的电路原理图（3 分）。（10 分）

